

特性

可选的LVDS/CMOS输出

最高6 LVDS(1.2 GHz)或12 CMOS(250 MHz)输出

每个通道的功率小于16 mW(工作频率为100 MHz)

积分抖动: 54 fs(12 kHz至20 MHz)

加性宽带抖动: 100 fs

传播延迟: 2.0 ns(LVDS)

输出上升/下降时间: 135 ps(LVDS)

输出间偏斜: 65 ps(LVDS)

休眠模式

引脚可编程控制

电源: 1.8 V

应用

低抖动时钟分配

时钟与数据信号恢复

电平转换

无线通信

有线通信

医疗和工业成像

自动测试设备(ATE)和高性能仪器仪表

概述

ADCLK846是一款1.2 GHz/250 MHz LVDS/CMOS扇出缓冲器, 针对低抖动、低功耗应用进行了优化。其配置范围为6 LVDS至12 CMOS输出, 包括LVDS和CMOS输出组合。两条控制线用于选择LVDS输出或CMOS输出作为固定输出。

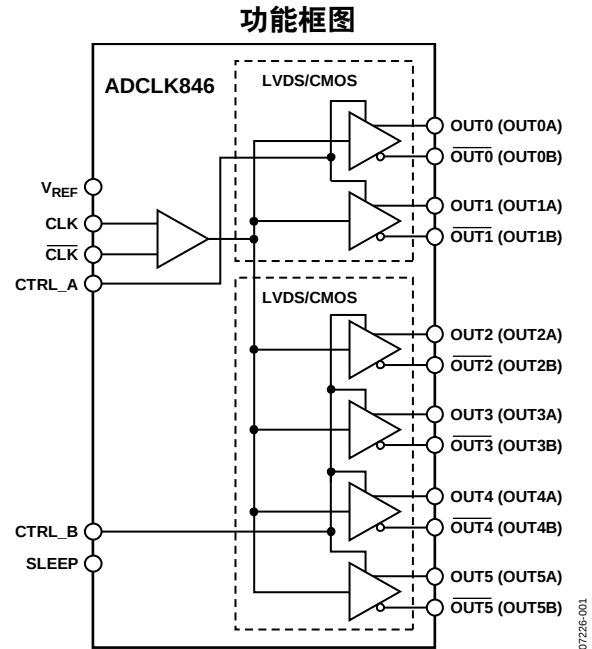


图1.

包括LVPECL、LVDS、HSTL、CML、CMOS在内的各种单端、差分逻辑电平均可作为时钟输入。

表8列出了各类连接的接口。SLEEP引脚可使能休眠模式, 以关闭器件。

该器件采用24引脚LFCSP封装。器件的额定工作温度范围为-40°C至+85°C(标准工业温度范围)。

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

AD中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, AD不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考AD提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2009–2010 Analog Devices, Inc. All rights reserved.

目录

特性	1	典型工作特性	8
应用	1	功能描述	11
功能框图	1	时钟输入	11
概述	1	交流耦合应用	11
修订历史	2	时钟输出	12
技术规格	3	控制和功能引脚	12
电气特性	3	电源	12
时序特性	4	应用信息	13
时钟特性	5	在ADC时钟应用中使用ADCLK846输出	13
逻辑和电源特性	5	LVDS时钟分配	13
绝对最大额定值	6	CMOS时钟分配	13
确定结温	6	输入终端选项	14
ESD警告	6	外形尺寸	15
热性能	6	订购指南	15
引脚配置和功能描述	7		

修订历史

2010年5月—修订版A至修订版B

更改积分随机抖动条件	4
------------------	---

2009年6月—修订版0至修订版A

格式更新	通篇
------------	----

2009年4月-版本0：初始版

技术规格

电气特性

除非另有说明，有典型值规格在 $V_S = 1.8\text{ V}$ 和 $T_A = 25^\circ\text{C}$ 的条件下测得。除非另有说明，最小/最大值规格适用于以下工作范围： $V_S = 1.8\text{ V} \pm 5\%$ 、 $T_A = -40^\circ\text{C}$ 至 $+85^\circ\text{C}$ 。除非另有说明，输入压摆率 $> 1\text{ V/ns}$ 。

表1

参数	符号	最小值	典型值	最大值	单位	条件
时钟输入						差分输入
输入频率		0		1200	MHz	
差分输入灵敏度			150		mV p-p	压摆率较高时(电压摆幅较高)，从而改善抖动性能
输入电平				1.8	V p-p	较大的电压摆幅可启动保护二极管，降低抖动性能
输入共模电压	V_{CM}	$V_S/2 - 0.1$		$V_S/2 + 0.05$	V	输入具有自偏置；使能交流耦合
输入共模范围	V_{CMR}	0.4		$V_S - 0.4$	V	输入信号与200 mV p-p信号进行直流耦合
输入电压失调			30		mV	
单端输入灵敏度			150		mV p-p	CLK交流耦合； $\overline{\text{CLK}}$ 交流旁路至地
输入电阻(差分)			7		k Ω	
输入电容	C_{IN}		2		pF	
输入偏置电流(各引脚)		-350		+350	μA	输入满摆幅
LVDS时钟输出						终端电阻为100 Ω ；差分(OUTx 、 $\overline{\text{OUTx}}$)摆幅与频率的关系见图9
输出频率				1200	MHz	
差分输出电压	V_{OD}	247	344	454	mV	
	ΔV_{OD}			50	mV	
失调电压	V_{OS}	1.125	1.25	1.375	V	
	ΔV_{OS}			50	mV	
短路电流	I_{SA}, I_{SB}		3	6	mA	各引脚(输出短接至GND)
CMOS时钟输出						单端，终端 = 开路 OUTx 和 $\overline{\text{OUTx}}$ 同相 各输出端负载为10 pF；摆幅与频率的关系见图16
输出频率				250	MHz	
高电平输出电压	V_{OH}	$V_S - 0.1$			V	1 mA负载
		$V_S - 0.35$			V	10 mA负载
低电平输出电压	V_{OL}		0.1		V	1 mA负载
			0.35		V	10 mA负载
基准电压	V_{REF}					
输出电压		$V_S/2 - 0.1$	$V_S/2$	$V_S/2 + 0.1$	V	$\pm 500\text{ }\mu\text{A}$
输出电阻			60		Ω	
输出电流				500	μA	

ADCLK846

时序特性

表2

参数	符号	最小值	典型值	最大值	单位	条件
LVDS输出						终端电阻为100 Ω(差分); 3.5 mA
输出上升/下降时间	t_{R, t_F}		135	235	ps	20%至80%差分测量
传输延迟(CLK至LVDS输出)	t_{PD}	1.5	2.0	2.7	ns	$V_{ICM} = V_{REF}, V_{ID} = 0.5 V$
温度系数			2.0		ps/°C	
输出偏斜 ¹						
在同一器件上的所有LVDS输出				65	ps	
跨多个器件的所有LVDS输出				390	ps	
加性时间抖动						
积分随机抖动			54		fs rms	BW = 12 kHz至20 MHz、CLK = 1000 MHz
			74		fs rms	BW = 50 kHz至80 MHz、CLK = 1000 MHz
			86		fs rms	BW = 10 Hz至100 MHz、CLK = 1000 MHz
宽带随机抖动 ²			150		fs rms	输入压摆率 = 1 V/ns
串扰引起的抖动			260		fs rms	由载波偏移10 MHz干扰得到的杂散能量计得出
CMOS输出						终端=开路
输出上升/下降时间	t_{R, t_F}		525	950	ps	20%至80%; CMOS负载 = 10 pF
传输延迟(CLK至CMOS输出)	t_{PD}	2.5	3.2	4.2	ns	10 pF负载
温度系数			2.2		ps/°C	
输出偏斜 ²						
同一器件上的所有CMOS输出				175	ps	
跨多个器件的所有CMOS输出				640	ps	
加性时间抖动						
积分随机抖动			56		fs rms	BW = 12 kHz至20 MHz、CLK = 200 MHz
宽带随即抖动 ³			100		fs rms	输入偏斜 = 2 V/ns, 见图11
串扰引起的抖动			260		fs rms	由载波偏移10MHz干扰得到的杂散能量计算得出
LVDS至CMOS输出偏斜 ²						
同一器件的LVDS输出和CMOS输出		0.8		1.6	ns	CMOS负载 = 10 pF、LVDS负载 = 100 Ω

¹ 是指在相同的电压、温度条件下, 任两条相似的延迟路径之间的差异。

² 在时钟信号的上升沿测得。

³ 利用ADC的信噪比计算得出。

时钟特性

表3. 时钟输出相位噪声

参数	最小值	典型值	最大值	单位	条件
CLK至LVDS绝对相位噪声 1,000 MHz		-90		dBc/Hz	输入压摆率 > 1 V/ns
		-108		dBc/Hz	10 Hz偏移
		-117		dBc/Hz	100 Hz偏移
		-126		dBc/Hz	1 kHz偏移
		-134		dBc/Hz	10 kHz偏移
		-141		dBc/Hz	100 kHz偏移
		-146		dBc/Hz	1 MHz偏移
CLK至CMOS绝对相位噪声 200 MHz		-100		dBc/Hz	输入压摆率 > 1 V/ns
		-117		dBc/Hz	10 Hz偏移
		-128		dBc/Hz	100 Hz偏移
		-138		dBc/Hz	1 kHz偏移
		-147		dBc/Hz	10 kHz偏移
		-153		dBc/Hz	100 kHz偏移
		-156		dBc/Hz	1 MHz偏移

逻辑和电源特性

表4. 控制引脚的特性

参数	符号	最小值	典型值	最大值	单位	条件
控制引脚 (CTRL_A, CTRL_B, SLEEP) ¹						
逻辑1电压	V _{IH}	V _S - 0.4			V	
逻辑0电压	V _{IL}			0.4	V	
逻辑1电流	I _{IH}	5	8	20	μA	
逻辑0电流	I _{IL}	-5		+5	μA	
电容			2		pF	
电源						
电源电压要求	V _S	1.71	1.8	1.89	V	V _S = 1.8 V ± 5%
LVDS输出、全速运转						
100 MHz时的LVDS			55	70	mA	所有输出使能为LVDS、带有负载；R _L = 100 Ω
1,200 MHz时的LVDS			110	130	mA	所有输出使能为LVDS、带有负载；R _L = 100 Ω
CMOS输出、全速运转						
100 MHz时的CMOS			75	95	mA	所有输出使能为CMOS、带有负载；CMOS负载为10 pF
250 MHz时的CMOS			155	190	mA	所有输出使能为CMOS、带有负载；CMOS负载为10 pF
休眠				3	mA	SLEEP引脚拉高；不包括内部电阻引起的功耗。
电源抑制 ²						
LVDS	PSR _{TPD}		0.9		ps/mV	
CMOS	PSR _{TPD}		1.2		ps/mV	

¹ 这些引脚各有一个200 kΩ内部下拉电阻。² V_S变化所引起的TPD变化。

绝对最大额定值

表5

参数	额定值
电源电压 V ₅ 至GND	2 V
输入 CLK和CLK	-0.3 V至+2 V
CMOS输入	-0.3 V至+2 V
输出： 最大电压	-0.3 V至+2 V
基准电压(V _{REF})	-0.3 V至+2 V
工作温度范围	
环境温度	-40℃至+85℃
结温	150℃
存储温度范围	-65℃至+150℃

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热性能

表6

参数	符号	描述	值 ¹	单位
结至环境热阻 静止空气 气流速度为0.0 m/s	θ _{JA}	按照JEDEC JESD51-2	57.0	℃/W
流动空气 气流速度为1.0m/s	θ _{JMA}	按照JEDEC JESD51-6	49.8	℃/W
气流速度为2.5m/s			44.7	℃/W
结至板热阻 流动空气 气流速度为1.0 m/s	θ _{JB}	按照JEDEC JESD51-8	35.2	℃/W
结至外壳热阻 流动空气 芯片至散热器	θ _{JC}	按照MIL-STD883，方法1012.1	2.0	℃/W
结至封装顶部特性参数 静止空气 气流速度为0 m/s	Ψ _{JT}	按照JEDEC JESD51-2	1.0	℃/W

¹ 结果源于仿真。采用JEDEC多层PCB。在确定实际应用的热性能时，要求仔细检查应用的条件，以确定这些条件是否与计算的假设条件相符。

确定结温

下述公式用来计算应用PCB的结温：

$$T_j = T_{CASE} + (\Psi_{JT} \times PD)$$

其中：

T_j为结温(℃)。

T_{CASE}为用户在封装的顶部中心测量到的壳温(℃)。

Ψ_{JT}的说明见表6。

PD为功耗。

θ_{JA}值供封装比较和PCB设计考虑时使用。θ_{JA}可用于计算T_j的一阶近似值，计算公式如下：

$$T_j = T_A + (\theta_{JA} \times PD)$$

其中，T_A为环境温度(℃)。

θ_{JB}值供封装比较和PCB设计考虑时使用。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

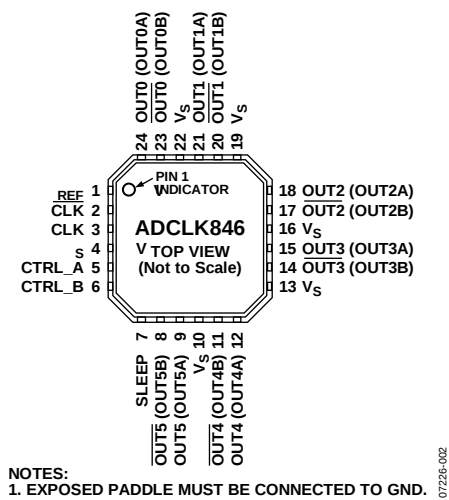


图2. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
1	V _{REF}	基准电压。
2	CLK	时钟输入(-)。
3	CLK	时钟输入(+)
4, 10, 13, 16, 19, 22	V _S	电源电压。
5	CTRL_A	输出1至输出0的CMOS输入控制(0: LVDS; 1: CMOS)
6	CTRL_B	输出5至输出2的CMOS输入控制(0: LVDS; 1: CMOS)
7	SLEEP	休眠模式的CMOS输入(0: 正常工作; 1: 休眠)
8	OUT5 (OUT5B)	差分LVDS输出5的互补部分或通道B的CMOS输出5
9	OUT5 (OUT5A)	差分LVDS输出5的实际部分或通道A的CMOS输出5
11	OUT4 (OUT4B)	差分LVDS输出4的互补部分或通道B的CMOS输出4
12	OUT4 (OUT4A)	差分LVDS输出4的实际部分或通道A的CMOS输出4
14	OUT3 (OUT3B)	差分LVDS输出3的互补部分或通道B的CMOS输出3
15	OUT3 (OUT3A)	差分LVDS输出3的实际部分或通道A的CMOS输出3
17	OUT2 (OUT2B)	差分LVDS输出2的互补部分或通道B的CMOS输出2
18	OUT2 (OUT2A)	差分LVDS输出2的实际部分或通道A的CMOS输出2
20	OUT1 (OUT1B)	差分LVDS输出1的互补部分或通道B的CMOS输出1
21	OUT1 (OUT1A)	差分LVDS输出1的实际部分或通道A的CMOS输出1
23	OUT0 (OUT0B)	差分LVDS输出0的互补部分或通道B的CMOS输出0
24	OUT0 (OUT0A)	差分LVDS输出0的实际部分或通道A的CMOS输出0
(25)	EPAD	底部焊盘。底部焊盘必须连接到地。

典型工作特性

除非另有说明， $V_S = 1.8\text{ V}$ 、 $T_A = 25^\circ\text{C}$ 。

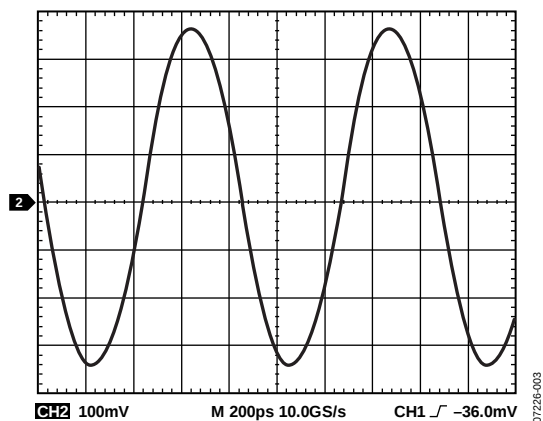


图3. 当工作频率为1200 MHz时的LVDS输出波形

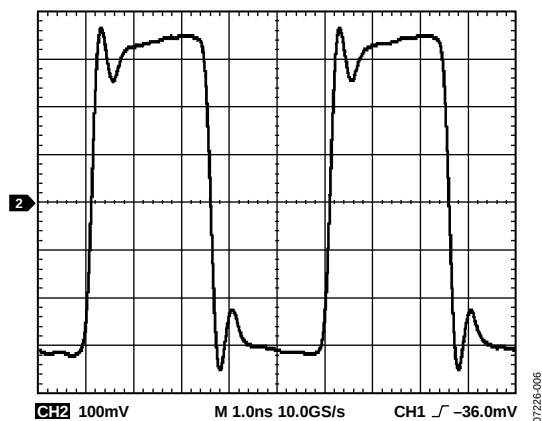


图6. 当工作频率为200 MHz时的LVDS输出波形

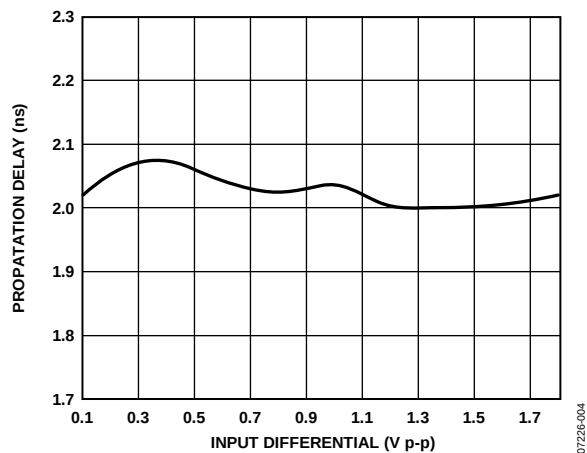


图4. LVDS传输延迟与 V_{ID} 的关系

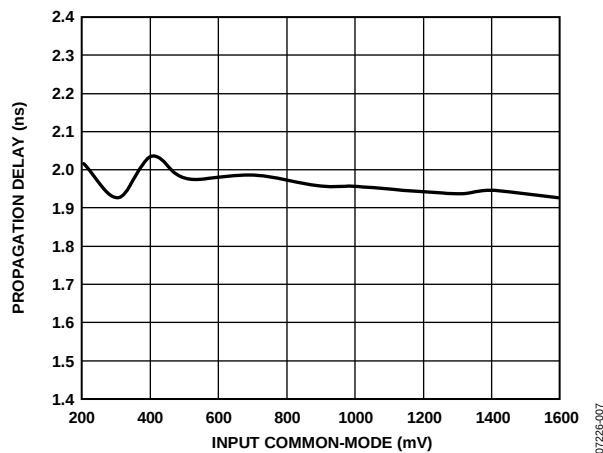


图7. LVDS传输延迟与 V_{CM} 的关系

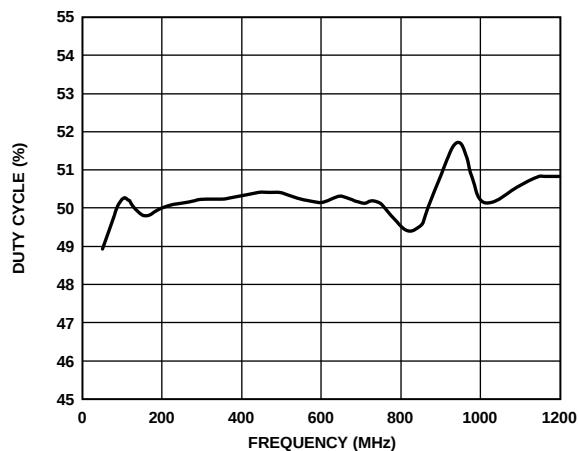


图5. LVDS输出占空比与频率的关系

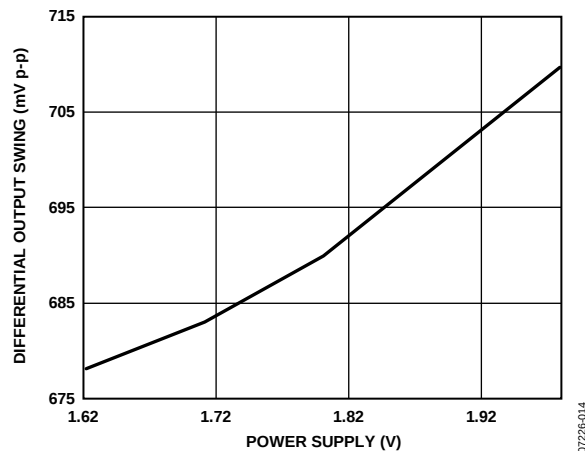


图8. LVDS输出摆幅与电源电压的关系

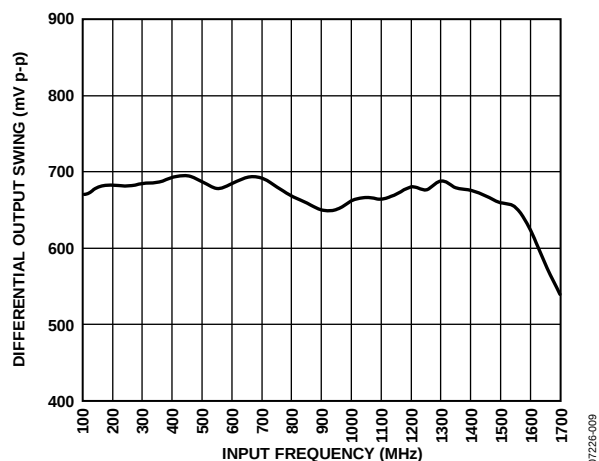


图9. LVDS差分输出摆幅与输入频率的关系

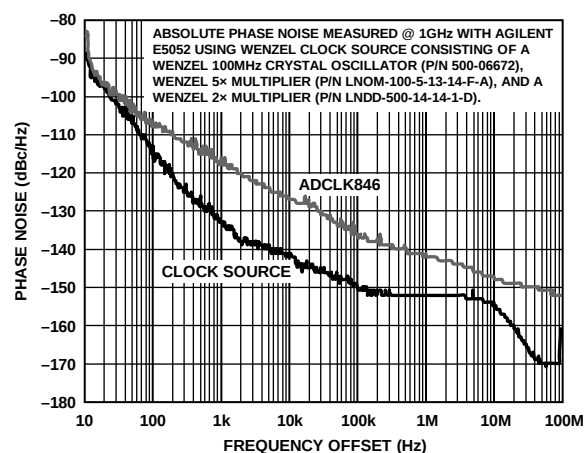


图12. 当工作频率为1000 MHz时的绝对相位噪声LVDS

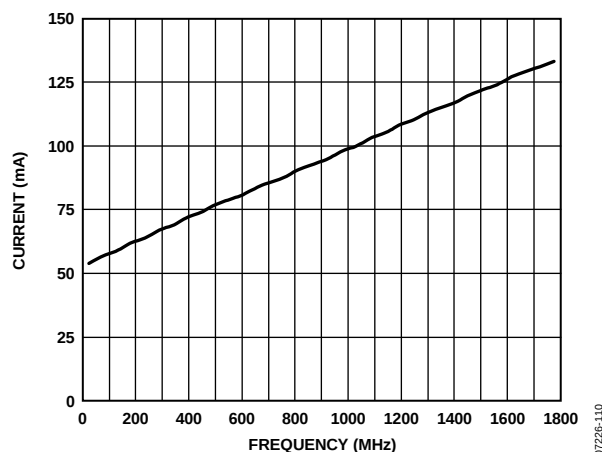


图10. LVDS电流与频率的关系(所有分组设置为LVDS)

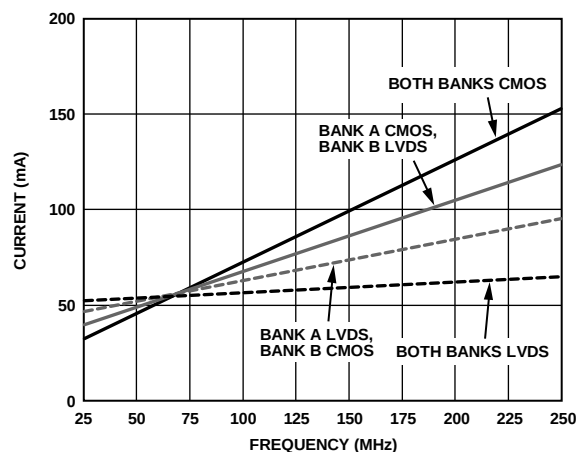


图13. 不同逻辑组合中的LVDS/CMOS电流与频率的关系

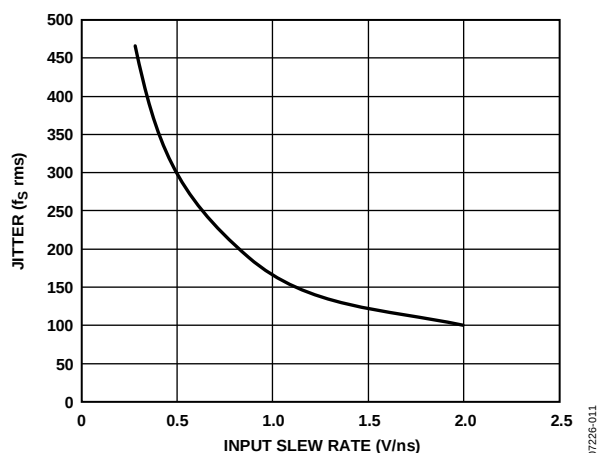


图11. 加性宽带抖动与输入压摆率的关系

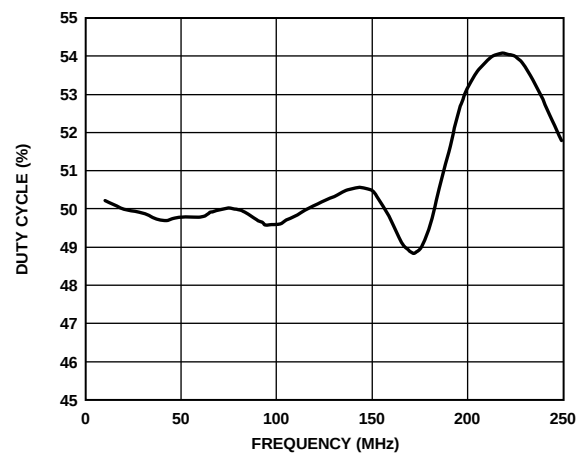


图14. CMOS输出占空比与频率的关系(负载为10 pF)

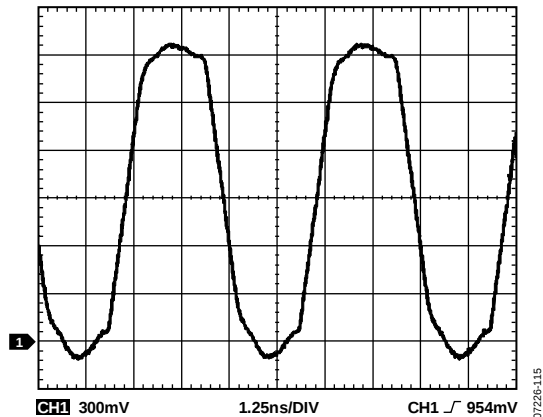


图15.在工作频率为200 MHz、负载为10 pF的条件下的CMOS输出波形

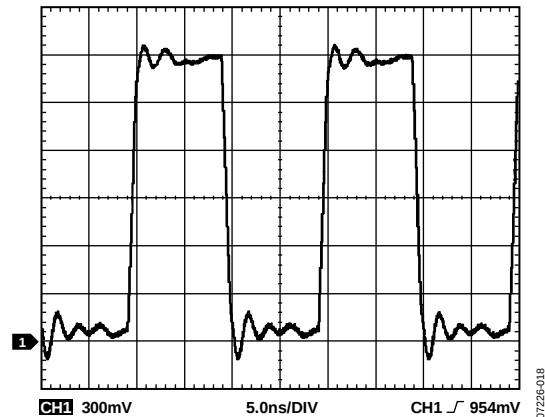


图18.在工作频率为50 MHz、负载为10 pF的条件下的CMOS输出波形

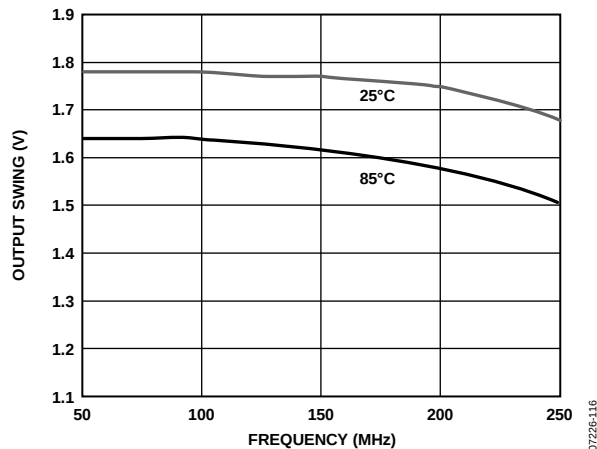


图16. CMOS输出摆幅与频率和温度的关系(负载为10 pF)

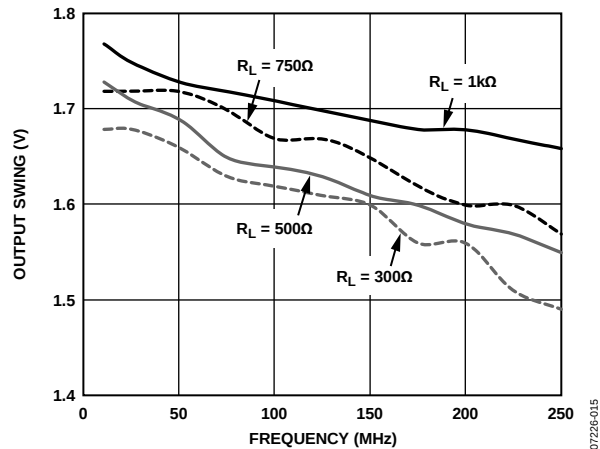


图19. CMOS输出摆幅与频率和阻性负载的关系

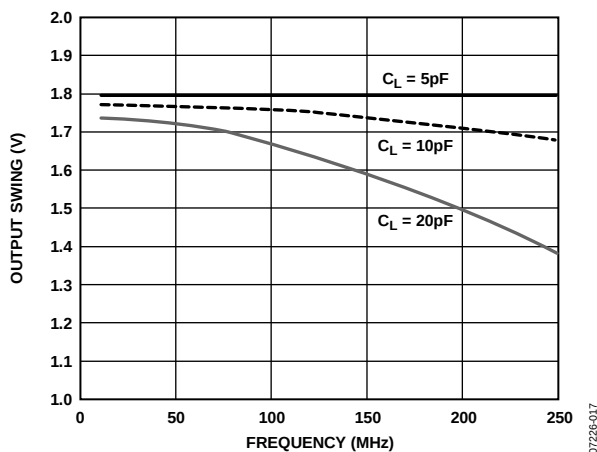


图17. CMOS输出摆幅与频率和容性负载的关系

功能描述

ADCLK846的时钟输入为所有输出通道提供时钟信号。对LVDS和CMOS电平输出，每个通道分组均支持引脚编程。这种做法允许选择多个逻辑配置(6LVDS至12CMOS输出)及其它使用这两种逻辑的组合。

时钟输入

ADCLK846的差分输入引脚具有内部自偏置。时钟输入带有电阻分压器，能够为输入设置共模电平。补充输入的偏压约为30mV，低于实际输入，当停止输入信号的传输时，可避免振荡。等效输入电路见图20。

输入既支持交流耦合又支持直流耦合。表8对输入逻辑兼容性进行了阐述。如需单端输入，可将引脚与差分输入的一端进行直流或交流耦合。用户可以利用一个电容将另一输入端旁路至地。

注意：输入压摆率低可导致抖动性能的下降，如图11所示。不同终端示意图见图28至图32。

表8. 输入逻辑兼容性

电源电压(V)	逻辑	共模 (V)	输出摆幅(V)	交流耦合	直流耦合
3.3	CML	2.9	0.8	允许	不允许
2.5	CML	2.1	0.8	允许	不允许
1.8	CML	1.4	0.8	允许	允许
3.3	CMOS	1.65	3.3	不允许	不允许
2.5	CMOS	1.25	2.5	不允许	不允许
1.8	CMOS	0.9	1.8	允许	允许
1.5	HSTL	0.75	0.75	允许	允许
	LVDS	1.25	0.4	允许	允许
3.3	LVPECL	2.0	0.8	允许	不允许
2.5	LVPECL	1.2	0.8	允许	允许
1.8	LVPECL	0.5	0.8	允许	允许

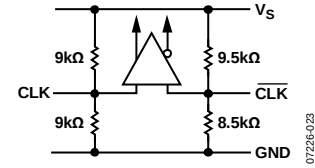


图20. ADCLK846输入级

交流耦合应用

需要交流耦合应用时，ADCLK846提供了两种选择。第一种选择不需要连接外部元件(隔直电容除外)，它允许用户将基准信号耦合至时钟输入引脚(见图31)。

第二种选择允许借助 V_{REF} 引脚设置ADCLK846的直流偏置电平。 V_{REF} 引脚可通过电阻连接至CLK和 $\overline{CLK}$ 。这样做能够保证较低的ADCLK846信号的终端阻抗(见图32)。

内部偏置电阻仍与外部偏置并联。不过，内部电阻的阻抗相对较高；因此，外部终端的电压最高可达 V_{REF} 。当用户不希望仅凭内部偏置对输入进行轻微的调整时，这一特性也很有用。

时钟输出

每个驱动器由一个差分LVDS输出或两个单端CMOS输出组成(总是同相)。使能LVDS驱动器后,相应的CMOS驱动器变为三态。使能CMOS驱动器后,相应的LVDS驱动器关断并变为三态。等效输出级见图21和图22。

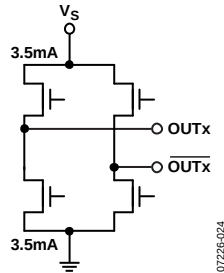


图21. 简化的LVDS输出等效电路

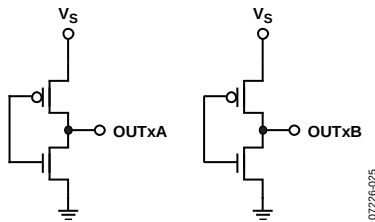


图22. CMOS等效输出电路

控制和功能引脚

CTRL_A逻辑选择引脚

引脚CTRL_A用于为输出1和输出0选择CMOS(高)或LVDS(低)逻辑。该引脚内置一个200 kΩ下拉电阻。

CTRL_B逻辑选择引脚

引脚CTRL_B用于为输出5、输出4、输出3和输出2选择CMOS(高)或LVDS(低)逻辑。该引脚内置一个200 kΩ下拉电阻。

休眠模式

引脚SLEEP用于为除带隙以外的其余芯片断电。输入为高电平有效,可将输出置于高阻态。此引脚内置一个200kΩ下拉电阻。休眠模式时,控制引脚仍继续工作。

ADCLK846需要为Vs提供一个 $1.8\text{ V} \pm 5\%$ 电源。为充分发挥器件的性能,建议用户利用一个电容值足够大($>10\text{ }\mu\text{F}$)的电容器将PCB上的电源旁路,再用一个电容值足够大($0.1\text{ }\mu\text{F}$)的电容器将所有电源引脚旁路;将电容尽可能地靠近器件。ADCLK846评估板(ADCLK846/PCBZ)在布局方面起到了很好的示范作用。

裸露金属焊盘

ADCLK846封装上的裸露金属焊盘采用电气连接和热增强型结构。为保证器件能够正常工作,必须保证焊盘正确地接地(GND)。ADCLK846通过裸露的焊盘散热。PCB起到为ADCLK846散热的作用。PCB附件必须能够提供通向较大散热区域的热路径;例如:PCB的接地层。这需从顶层到接地层之间提供一系列过孔。示例参见图23。

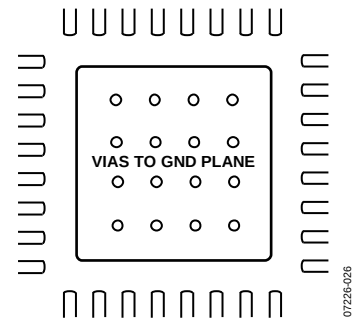


图23. 连接裸露焊盘的PCB焊盘示例

应用信息

在ADC时钟应用中使用ADCLK846输出

任何高速模数转换器(ADC)对用户提供的采样时钟的质量都非常敏感。ADC可看作一个采样混频器；时钟信号中的任何噪声、失真或时序抖动都与ADC输出的有用信号混合在一起。时钟的完整性需求随模拟输入频率和分辨率的变化而改变；当分辨率高于14位时，较高模拟输入频率应用要求最严格。ADC的理论信噪比受ADC分辨率和采样时钟抖动的限制。假设一个理想的ADC具有无穷大分辨率，步长和量化误差可忽略不计，则SNR的计算公式如下：

$$SNR = 20\log\left[\frac{1}{2\pi f_A T_J}\right]$$

其中：

f_A 为需要被数字化的最高模拟频率。

T_J 为采样时钟的均方根抖动。

图24显示出采样时钟抖动与模拟频率和有效位数(ENOB)的函数关系。如需了解更多信息，请阅读AN-756应用笔记和AN-501应用笔记。

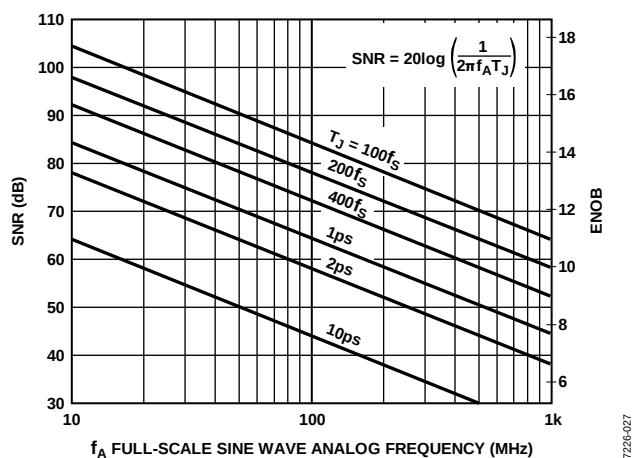


图24. SNR和ENOB与模拟输入频率的关系

许多高性能ADC均提供差分时钟输入功能，以简化在嘈杂的PCB上提供所需低抖动时钟的任务。对嘈杂的PCB的单端时钟进行分配可导致在采样时钟信号中产生耦合噪声。差分分配具有共模抑制特性，可在嘈杂的环境下提供优越的时钟性能。ADCLK846的LVDS输出引脚可产生差分时钟输出，从而实现最大限度提高转换器信噪比性能的时钟方案。在选择最佳时钟/转换器解决方案时，要考虑ADC的输入需求(差分或单端、逻辑电平、终端)。

LVDS时钟分配

ADCLK846能提供CMOS或LVDS时钟输出。LVDS是差分输出选项，采用电流模式输出级。标称电流为3.5 mA，在100 Ω电阻条件下，可产生350 mV输出摆幅。LVDS输出符合并超过ANSI/TIA/EIA-644规格的要求。推荐的LVDS输出终端电路见图25。

如果需要进行交流耦合，请在100Ω终端电阻前/后放置耦合电容。

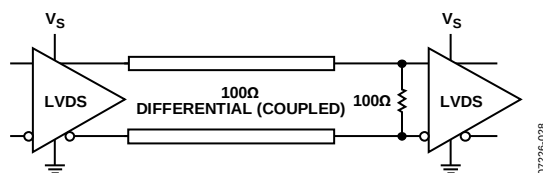


图25. LVDS输出终端

如欲了解更多关于LVDS的信息，请参阅ADI公司网站www.analog.com上的AN-586应用笔记。

CMOS时钟分配

ADCLK846的输出驱动器也能够配置为CMOS驱动器。选择为CMOS驱动器时，各输出变为一对CMOS输出。这些输出与1.8 V CMOS兼容。

采用单端CMOS时钟时，适用以下准则：

如果可能的话，设计点对点连接，使得每个驱动器与一个接收器相对应。以这种方式连接输出引脚可以简化终端方案并降低因输出走线的阻抗不匹配而导致的响铃振荡。通常需要源端的串联端接电阻提供传输线匹配和/或降低驱动器的瞬态电流。

电阻值由电路板设计及时序要求决定；典型值为10 Ω至100 Ω。另外，CMOS输出还会受能驱动的容性负载或走线长度的限制。通常，建议将走线长度控制在3英寸以内，以保持信号上升/下降时间和信号完整性。

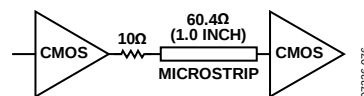


图26. CMOS输出的串行端接

PCB走线远端的终端是第二选项。ADCLK846的CMOS输出无法提供足够的电流，来为低阻抗远端终端提供全电压摆幅(见图27)。请将远端终端网络与PCB走线的阻抗相匹配并提供所需开关点。信号摆幅降低后仍可以满足某些应用对接收器输入的需求。在不太重要的网络中驱动长走线时，这一点非常有用。

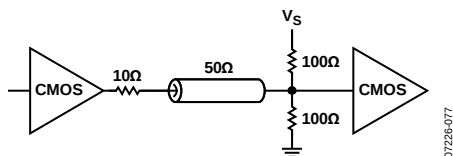


图27. 远端终端CMOS输出

由于单端CMOS时钟的限制，在长走线上驱动高速信号时，需考虑使用差分输出。ADCLK846能提供LVDS输出，因此，当差分信号的固有抗扰度能够提供出色的时钟转换性能时，该器件能较好地驱动长走线。

输入终端选项

在单端操作中，应将未用的输入旁路至GND，如图31所示。

图32显示的是利用 V_{REF} 向 $V_S/2$ 提供低阻抗终端。此外，它还显示出利用外部电阻来抵消30 mV输入失调电压的方法。例如：利用1.8 V CMOS和长走线来提供远端终端。

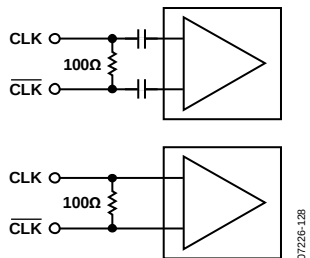


图28. 典型的交流耦合或直流耦合LVDS或HSTL配置(见表8)

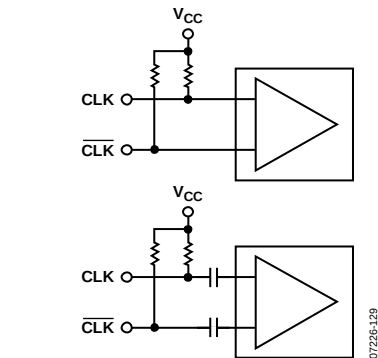


图29. 典型的交流耦合或直流耦合CML配置(CML耦合限制见表8)

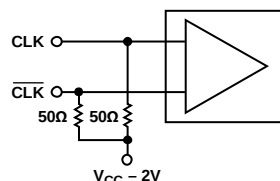


图30. 典型的交流耦合或直流耦合LVPECL配置(LVPECL直流耦合限制见表8)

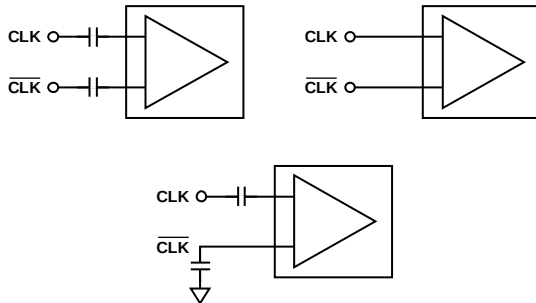


图31. 用于短走线的典型1.8 V CMOS配置(CMOS兼容性见表8)

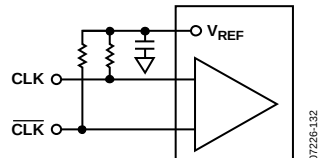
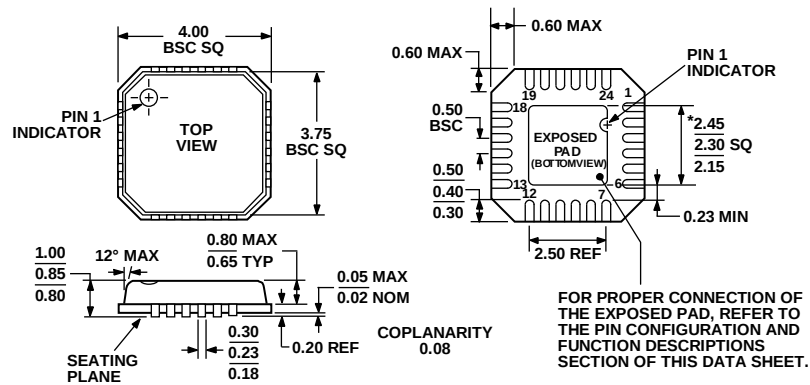


图32. 利用VREF向 $V_S/2$ 提供低阻抗终端

外形尺寸



*COMPLIANT TO JEDEC STANDARDS MO-220-VGGD-2
EXCEPT FOR EXPOSED PAD DIMENSION

图33. 24引脚脚架构芯片级[LFCSP_VQ]封装
4 mm × 4 mm超薄四方体
(CP-24-2)
图示尺寸单位: mm

080008-A

订购指南

型号 ¹	温度范围	封装描述	封装选项
ADCLK846BCPZ	-40°C 至 +85°C	24引脚LFCSP_VQ	CP-24-2
ADCLK846BCPZ-REEL7	-40°C 至 +85°C	24引脚LFCSP_VQ	CP-24-2
ADCLK846/PCBZ		评估板	

¹ Z = 符合RoHS标准的器件。

注释