

ADA4817-1/ADA4817-2

特性

高速

–3 dB带宽：1050 MHz ($G = 1$, $R_L = 100 \Omega$)

压摆率：870 V/ μ s

0.1%建立时间：9 ns

低输入偏置电流：2 pA

低输入电容

共模电容：1.3 pF

差模电容：0.1 pF

低噪声

4 nV/ $\sqrt{\text{Hz}}$ (100 kHz)

2.5 fA/ $\sqrt{\text{Hz}}$ (100 kHz)

低失真

–90 dBc (10 MHz, $G = 1$, $R_L = 1 \text{ k}\Omega$)

失调电压：2 mV (最大值)

高输出电流：40 mA

每个放大器的电源电流：19 mA

掉电模式下，每个放大器的电源电流：1.5 mA

应用

光电二极管放大器

数据采集前端

仪器仪表

滤波器

ADC驱动器

CCD输出缓冲器

概述

ADA4817-1 (单通道) 和ADA4817-2 (双通道) FastFET™ 放大器是具有FET输入的单位增益稳定、超高速电压反馈型放大器。这些放大器采用ADI公司的专有超快速互补双极性(XFCB)工艺进行开发，这一工艺可使放大器实现超低的噪声 (4 nV/ $\sqrt{\text{Hz}}$; 2.5 fA/ $\sqrt{\text{Hz}}$) 及极高的输入阻抗。

ADA4817-1/ADA4817-2具有1.3 pF的输入电容、4 nV/ $\sqrt{\text{Hz}}$ 的低噪声、最大2 mV的低失调电压，以及1050 MHz的–3 dB带宽，非常适合数据采集前端及宽带跨导应用，如光电二极管前置放大器等。

CONNECTION DIAGRAMS

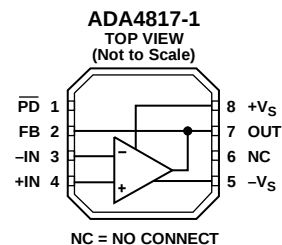


图1. 8引脚LFCSP (CP-8-2)

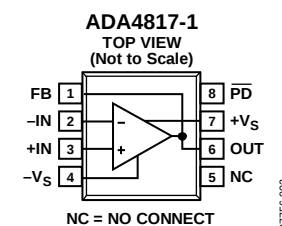


图2. 8引脚SOIC (RD-8-1)

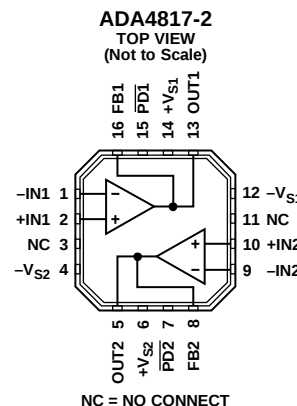


图3. 16引脚LFCSP (CP-16-4)

ADA4817-1/ADA4817-2具有5 V至10 V的宽电源电压范围，可采用单电源或双电源供电，适合包括有源滤波和ADC驱动在内的多种应用。

ADA4817-1采用3 mm × 3 mm 8引脚LFCSP和8引脚SOIC封装，ADA4817-2采用4 mm × 4 mm 16引脚LFCSP封装。这些封装都采用低失真引脚排列，可以改善二次谐波失真，并简化电路板布局。此外，这些封装都具有裸露焊盘，提供到达印制电路板(PCB)的低热阻路径，可实现更有效的热传输，并提高可靠性。这两款产品均可在–40°C至+105°C的扩展工业温度范围内工作。

Rev. A

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

目录

特性	1	驱动容性负载	15
应用	1	散热考虑	15
连接图	1	掉电工作模式	15
概述	1	容性反馈	16
修订历史	2	更高频率衰减	16
技术规格	3	布局布线、接地和旁路考虑	17
±5 V工作	3	信号布线	17
5 V工作	4	电源旁路	17
绝对最大额定值	5	接地	17
热阻	5	裸露焊盘	17
最大安全功耗	5	漏电流	18
ESD警告	5	输入电容	18
引脚配置和功能描述	6	输入至输入/输出耦合	18
典型工作特性	8	应用信息	19
测试电路	13	低失真引脚排列	19
工作原理	14	宽带光电二极管前置放大器	19
闭环频率响应	14	高速JFET输入仪表放大器	21
同相闭环频率响应	14	有源低通滤波器(LPF)	22
反相闭环频率响应	14	外形尺寸	24
宽带工作	15	订购指南	25

修订历史

2009年3月—修订版0至修订版A

增加8引脚SOIC封装	通篇
更改特性和概述部分	1
更改表1	3
更改表2	4
更改图4	5
更改图9、图11和图12	8
更改图21、图22和图24	10
更改图33	12
增加图34；重新排序	12
更改散热考虑和掉电工作模式部分	15
更改容性反馈部分和图46	16
增加更高频率衰减部分、图47、图48和图49； 重新排序	16
更新外形尺寸	24
更改订购指南部分	25

2008年11月—修订版0：初始版

技术规格

±5 V工作

除非另有说明, $T_A = 25^\circ\text{C}$, $+V_S = 5\text{ V}$, $-V_S = -5\text{ V}$, $G = 1$, $R_P = 348\ \Omega$ ($G > 1$), $R_L = 100\ \Omega$ 接地。

表1

参数	条件	最小值	典型值	最大值	单位
动态性能					
–3 dB带宽	$V_{OUT} = 0.1\text{ V}_{\text{峰值}}$		1050		MHz
	$V_{OUT} = 2\text{ V}_{\text{峰值}}$		200		MHz
	$V_{OUT} = 0.1\text{ V}_{\text{峰值}}$, $G = 2$		390		MHz
增益带宽积	$V_{OUT} = 0.1\text{ V}_{\text{峰值}}$		≥ 410		MHz
全功率带宽	$V_{IN} = 3.3\text{ V}_{\text{峰值}}$, $G = 2$		60		MHz
0.1 dB平坦度	$V_{OUT} = 2\text{ V}_{\text{峰值}}$, $R_L = 100\ \Omega$, $G = 2$		60		MHz
压摆率	$V_{OUT} = 4\text{ V}_{\text{步进}}$		870		V/ μs
0.1%建立时间	$V_{OUT} = 2\text{ V}_{\text{步进}}$, $G = 2$		9		ns
噪声/谐波性能					
谐波失真(HD2/HD3)	$f = 1\text{ MHz}$, $V_{OUT} = 2\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–113/–117		dBc
	$f = 10\text{ MHz}$, $V_{OUT} = 2\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–90/–94		dBc
	$f = 50\text{ MHz}$, $V_{OUT} = 2\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–64/–66		dBc
输入电压噪声	$f = 100\text{ kHz}$		4		nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$f = 100\text{ kHz}$		2.5		fA/ $\sqrt{\text{Hz}}$
直流性能					
输入失调电压	T_{MIN} 至 T_{MAX}		0.4	2	mV
输入失调电压漂移			7		$\mu\text{V}/^\circ\text{C}$
输入偏置电流			2	20	pA
			100		pA
输入偏置失调电流			1		pA
开环增益		62	65		dB
输入特性					
输入电阻	共模		500		G Ω
输入电容	共模		1.3		pF
	差模		0.1		pF
输入共模电压范围			$-V_S$ 至 $+V_S - 2.8$		V
共模抑制	$V_{CM} = \pm 0.5\text{ V}$	–77	–90		dB
输出特性					
输出过驱恢复时间	$V_{IN} = \pm 2.5\text{ V}$, $G = 2$		8		ns
输出电压摆幅		$-V_S + 1.5$ to $+V_S - 1.5$	$-V_S + 1.4$ 至 $+V_S - 1.3$		V
	$R_L = 1\text{ k}\Omega$	$-V_S + 1.1$ to $+V_S - 1.1$	$-V_S + 1$ 至 $+V_S - 1$		V
线性输出电流	1%输出误差		40		mA
短路电流	吸电流/源电流		100/170		mA
掉电					
PD引脚电压	使能		$> +V_S - 1$		V
	掉电模式		$< +V_S - 3$		V
			0.3/1		μs
开启/关闭时间	$\overline{\text{PD}} = +V_S$		0.3	3	μA
输入漏电流	$\overline{\text{PD}} = -V_S$		34	61	μA
电源					
工作范围		5		10	V
每个放大器的静态电流			19	21	mA
掉电静态电流			1.5	3	mA
正电源抑制	$+V_S = 4.5\text{ V}$ 至 5.5 V , $-V_S = -5\text{ V}$	–67	–72		dB
负电源抑制	$+V_S = 5\text{ V}$, $-V_S = -4.5\text{ V}$ 至 -5.5 V	–67	–72		dB

ADA4817-1/ADA4817-2

5 V工作

除非另有说明, $T_A = 25^\circ\text{C}$, $+V_S = 3\text{ V}$, $-V_S = -2\text{ V}$, $G = 1$, $R_F = 348\ \Omega$ ($G > 1$), $R_L = 100\ \Omega$ 接地。

表2

参数	条件	最小值	典型值	最大值	单位
动态性能					
–3 dB带宽	$V_{OUT} = 0.1\text{ V}_{\text{峰值}}$		500		MHz
	$V_{OUT} = 1\text{ V}_{\text{峰值}}$		160		MHz
	$V_{OUT} = 0.1\text{ V}_{\text{峰值}}$, $G = 2$		280		MHz
全功率带宽	$V_{IN} = 1\text{ V}_{\text{峰值}}$, $G = 2$		95		MHz
0.1 dB平坦度	$V_{OUT} = 1\text{ V}_{\text{峰值}}$, $G = 2$		32		MHz
压摆率	$V_{OUT} = 2\text{ V}_{\text{步进}}$		320		V/ μs
0.1%建立时间	$V_{OUT} = 1\text{ V}_{\text{步进}}$, $G = 2$		11		ns
噪声/谐波性能					
谐波失真(HD2/HD3)	$f = 1\text{ MHz}$, $V_{OUT} = 1\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–87/–88		dBc
	$f = 10\text{ MHz}$, $V_{OUT} = 1\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–68/–66		dBc
	$f = 50\text{ MHz}$, $V_{OUT} = 1\text{ V}_{\text{峰值}}$, $R_L = 1\text{ k}\Omega$		–57/–55		dBc
输入电压噪声	$f = 100\text{ kHz}$		4		nV/ $\sqrt{\text{Hz}}$
输入电流噪声	$f = 100\text{ kHz}$		2.5		fA/ $\sqrt{\text{Hz}}$
直流性能					
输入失调电压			0.5	2.3	mV
输入失调电压漂移			7		$\mu\text{V}/^\circ\text{C}$
输入偏置电流			2	20	pA
	T_{MIN} 至 T_{MAX}		100		pA
输入偏置失调电流			1		pA
开环增益		61	63		dB
输入特性					
输入电阻	共模		500		G Ω
输入电容	共模		1.3		pF
	差模		0.1		pF
输入共模电压范围			$-V_S$ to $+V_S - 2.9$		V
共模抑制	$V_{CM} = \pm 0.25\text{ V}$	–72	–83		dB
输出特性					
输出过驱恢复时间	$V_{IN} = \pm 1.25\text{ V}$, $G = 2$		13		ns
输出电压摆幅	$R_L = 100\ \Omega$	$-V_S + 1.3$ to $+V_S - 1.3$	$-V_S + 1$ 至 $+V_S - 1.2$		V
	$R_L = 1\text{ k}\Omega$	$-V_S + 1$ to $+V_S - 1.1$	$-V_S + 0.9$ 至 $+V_S - 1$		V
线性输出电流	1%输出误差		20		mA
短路电流	吸电流/源电流		40/130		mA
掉电					
$\overline{\text{PD}}$ 引脚电压	使能		$> +V_S - 1$		V
	掉电模式		$< +V_S - 3$		V
			0.2/0.7		μs
开启/关闭时间	$\overline{\text{PD}} = +V_S$		0.2	3	μA
输入漏电流	$\overline{\text{PD}} = -V_S$		31	53	μA
电源					
工作范围		5		10	V
每个放大器的静态电流			14	16	mA
掉电静态电流			1.5	2.8	mA
正电源抑制	$+V_S = 4.75\text{ V}$ 至 5.25 V , $-V_S = 0\text{ V}$	–66	–71		dB
负电源抑制	$+V_S = 5\text{ V}$, $-V_S = -0.25\text{ V}$ 至 $+0.25\text{ V}$	–63	–69		dB

绝对最大额定值

表3.

参数	额定值
电源电压	10.6 V
功耗	见图4
共模输入电压	$-V_S - 0.5 \text{ V}$ 至 $+V_S + 0.5 \text{ V}$
差分输入电压	$\pm V_S$
存储温度范围	-65°C 至 $+125^\circ\text{C}$
工作温度范围	-40°C 至 $+105^\circ\text{C}$
引脚温度(焊接, 10秒)	300°C
结温	150°C

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定值, 不表示在这些条件下或者在任何其它超出本技术规范操作章节中所列规格的条件下, 器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 针对最差条件, 即器件焊接在电路板上以实现表贴封装。

表4.

封装类型	θ_{JA}	θ_{JC}	单位
LFCSP_VD (ADA4817-1)	94	29	$^\circ\text{C/W}$
SOIC_N_EP (ADA4817-1)	79	29	$^\circ\text{C/W}$
LFSCP_VQ (ADA4817-2)	64	14	$^\circ\text{C/W}$

最大安全功耗

ADA4817-1/ADA4817-2的最大安全功耗受限于相应的芯片结温(T_J)的升高情况。达到玻璃化转变温度 150°C 左右时, 塑料的特性会发生改变。即使只是暂时超过这一温度限值也有可能改变封装对芯片作用的应力, 从而永久性地转变ADA4817-x的参数性能。长时间超过 175°C 的结温会导致芯片器件出现变化, 因而可能造成功能降级或丧失。

封装的功耗(P_D)为静态功耗与芯片中ADA4817-1/ADA4817-2的输出端驱动所导致的功耗之和, 而静态功耗则为电源引脚之间的电压(V_S)乘以静态电流(I_S)。

$$P_D = \text{静态功耗} + (\text{总驱动功耗} - \text{负载功耗}) \quad (1)$$

$$P_D = (V_S \times I_S) + \left(\frac{V_S}{2} \times \frac{V_{OUT}}{R_L} \right) - \frac{V_{OUT}^2}{R_L} \quad (2)$$

应考虑RMS输出电压。如果 R_L 以 $-V_S$ 为基准, 像在单电源供电情况下, 则总驱动功耗为 $V_S \times I_{OUT}$ 。如果均方根信号电平是不确定的, 则考虑最差情况, 即 $V_{OUT} = V_S/4$ (R_L 以中间电源电压为基准)。

$$P_D = (V_S \times I_S) + \frac{(V_S/4)^2}{R_L} \quad (3)$$

单电源供电且 R_L 以 $-V_S$ 为基准时, 最差情况为 $V_{OUT} = V_S/2$ 。

气流可增强散热, 从而有效降低 θ_{JA} 。如金属直接与金属走线的封装引脚和裸露焊盘、通孔、接地、电源层接触, 这同样可降低 θ_{JA} 。

图4显示在JEDEC标准4层板上, 裸露焊盘LFCSP_VD(单通道 94°C/W)、SOIC_N_EP(单通道 79°C/W)和LFCSP_VQ(双通道 64°C/W)三种封装的最大安全功耗与环境温度的关系。 θ_{JA} 值均为近似值。

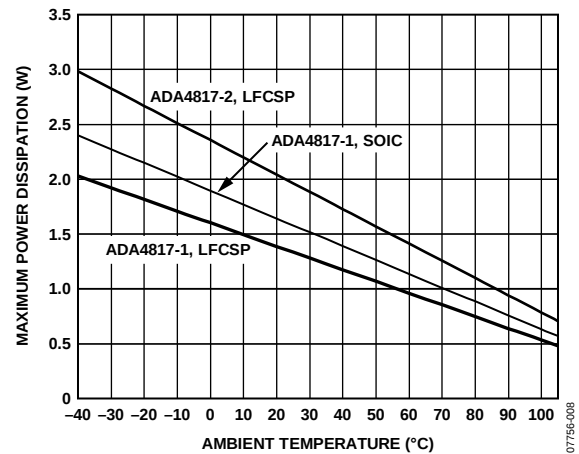


图4. 4层板最大安全功耗与环境温度的关系

ESD警告



ESD (静电放电) 敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

ADA4817-1/ADA4817-2

引脚配置和功能描述

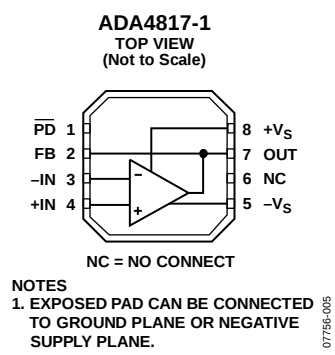


图5. ADA4817-1引脚配置（8引脚LFCSP）

表5. ADA4817-1引脚功能描述（8引脚LFCSP）

引脚编号	引脚名称	描述
1	PD	掉电。不要悬空。
2	FB	反馈引脚。
3	-IN	反相输入。
4	+IN	同相输入。
5	-VS	负电源。
6	NC	不连接。
7	OUT	输出。
8	+VS	正电源。
	裸露焊盘(EPAD)	裸露焊盘。可以连接到GND、-VS层或悬空。

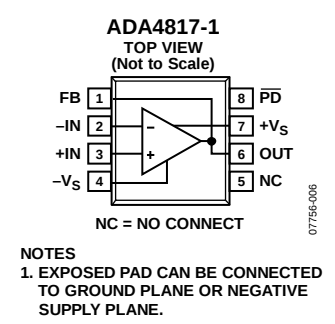


图6. ADA4817-1引脚配置（8引脚SOIC）

表6. ADA4817-1引脚功能描述（8引脚SOIC）

引脚编号	引脚名称	描述
1	FB	反馈引脚。
2	-IN	反相输入。
3	+IN	同相输入。
4	-VS	负电源。
5	NC	不连接。
6	OUT	输出。
7	+VS	正电源。
8	PD	掉电。不要悬空。
	Exposed pad (EPAD)	裸露焊盘。可以连接到GND、-VS层或悬空。

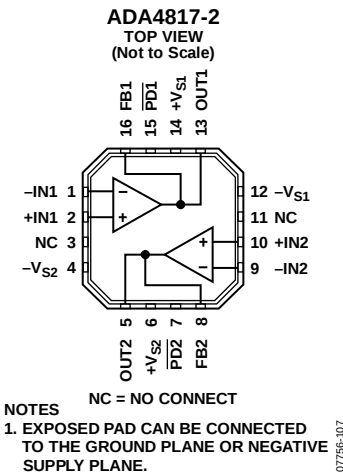


图7. ADA4817-2引脚配置（16引脚LFCSP）

表7. 16引脚LFCSP引脚功能描述

引脚编号	引脚名称	描述
1	-IN1	反相输入1。
2	+IN1	同相输入1。
3, 11	NC	不连接。
4	-VS2	负电源2。
5	OUT2	输出2。
6	+VS2	正电源2。
7	PD2	掉电2。不要悬空。
8	FB2	反馈引脚2。
9	-IN2	反相输入2。
10	+IN2	同相输入2。
12	-VS1	负电源1。
13	OUT1	输出1。
14	+VS1	正电源1。
15	PD1	掉电1。不要悬空。
16	FB1	反馈引脚1。
	Exposed pad (EPAD)	裸露焊盘。可以连接到GND、-VS层或悬空。

典型工作特性

除非另有说明, $T_A = 25^\circ\text{C}$, $V_S = \pm 5\text{ V}$, $G = 1$, $R_F = 348\ \Omega$ ($G > 1$), $R_L = 100\ \Omega$ 接地, 小信号 $V_{OUT} = 100\text{ mV}$ 峰峰值, 大信号 $V_{OUT} = 2\text{ V}$ 峰峰值。

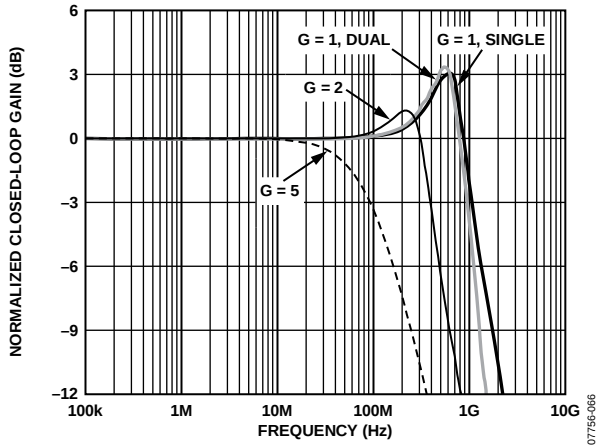


图8. 不同增益下的小信号频率响应 (LFCSP)

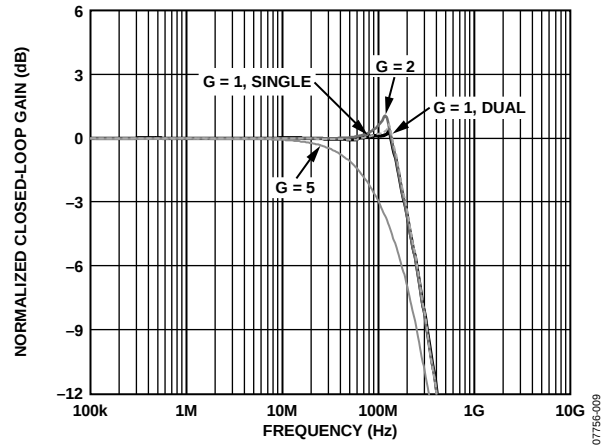


图11. 不同增益下的大信号频率响应

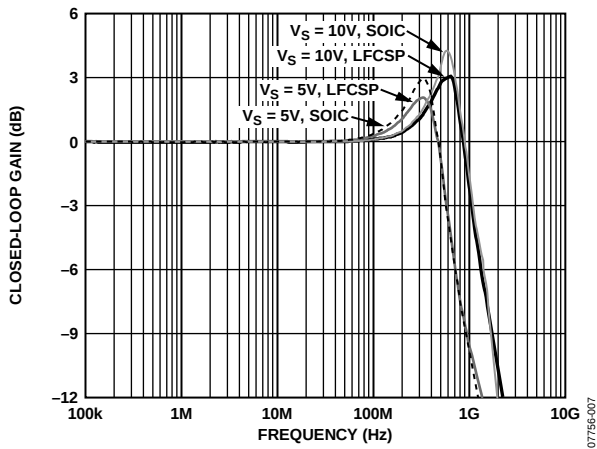


图9. 不同电源下的小信号频率响应

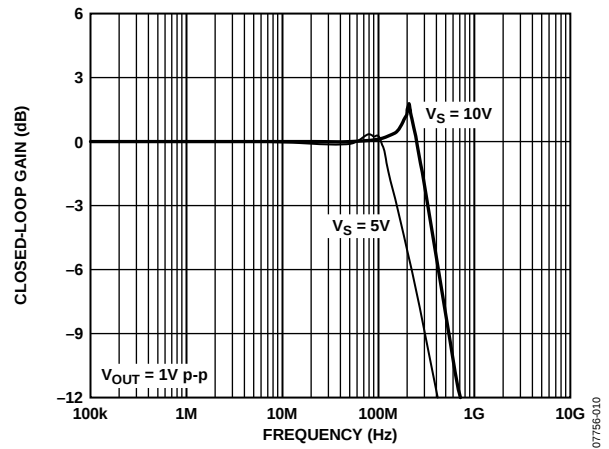


图12. 不同电源下的大信号频率响应

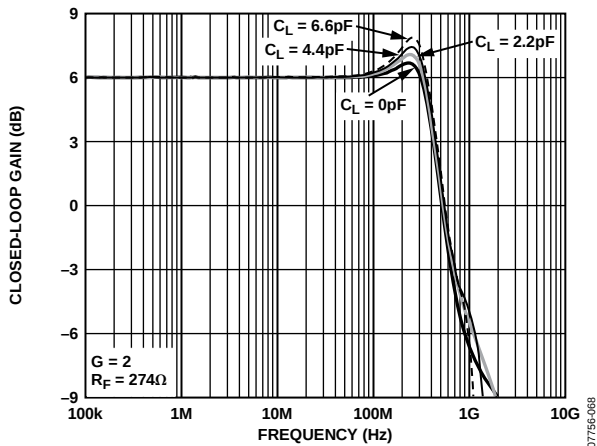


图10. 不同 C_L 下的小信号频率响应

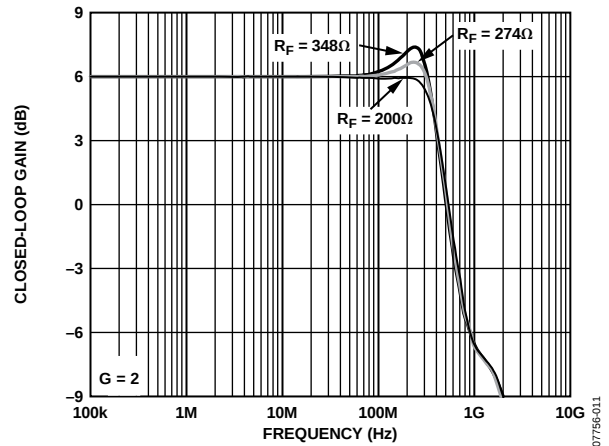


图13. 不同 R_F 下的小信号频率响应

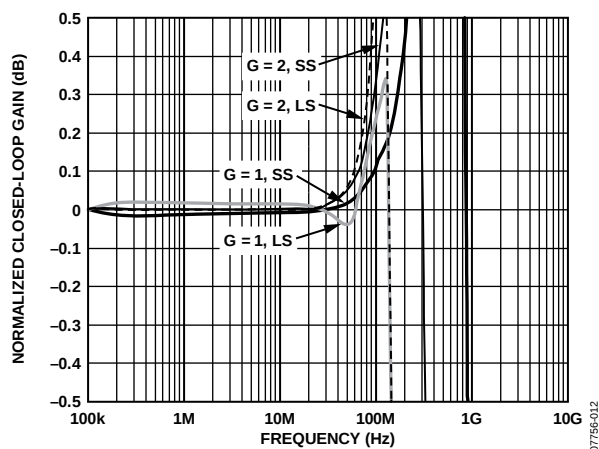


图14. 0.1 dB平坦度频率响应与增益和输出电压的关系

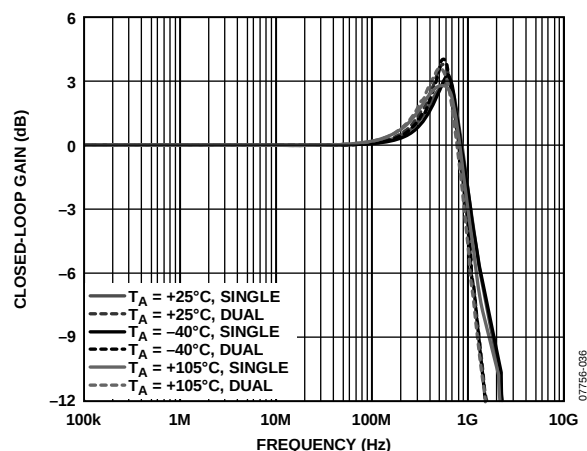


图17. 小信号频率响应与温度的关系

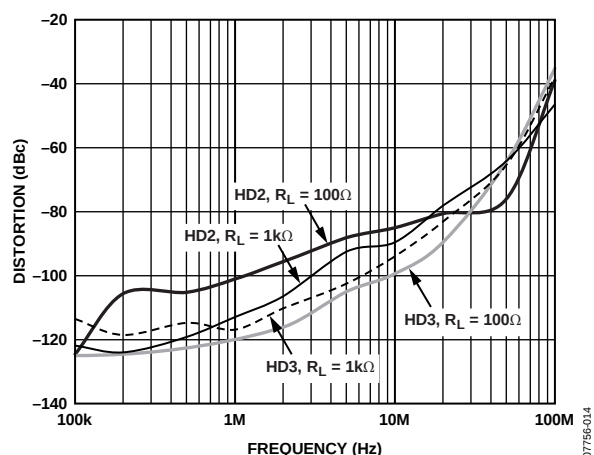


图15. 不同负载下失真与频率的关系, $V_{OUT} = 2$ V峰峰值

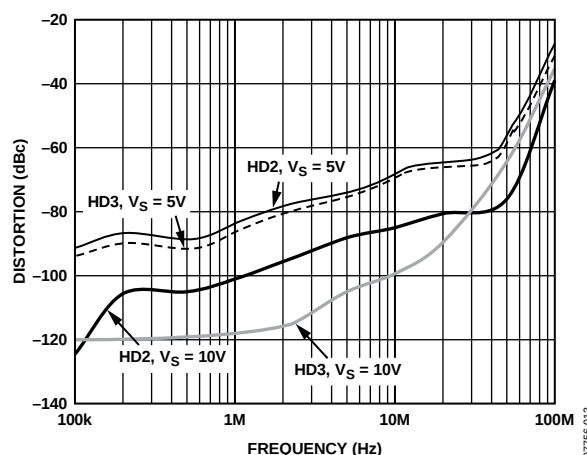


图18. 不同电源下失真与频率的关系, $V_{OUT} = 2$ V峰峰值

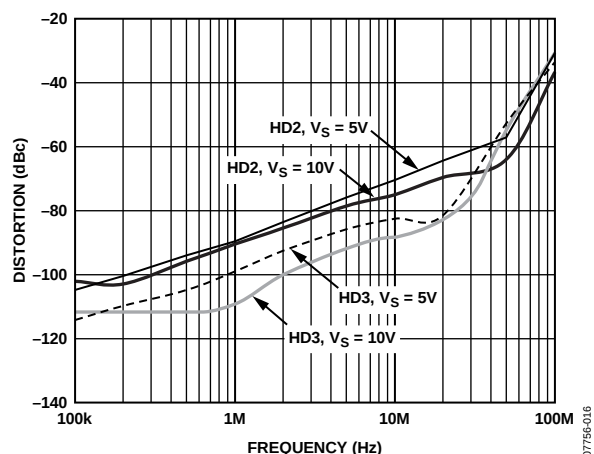


图16. 不同电源下失真与频率的关系, $G = 2$, $V_{OUT} = 2$ V峰峰值

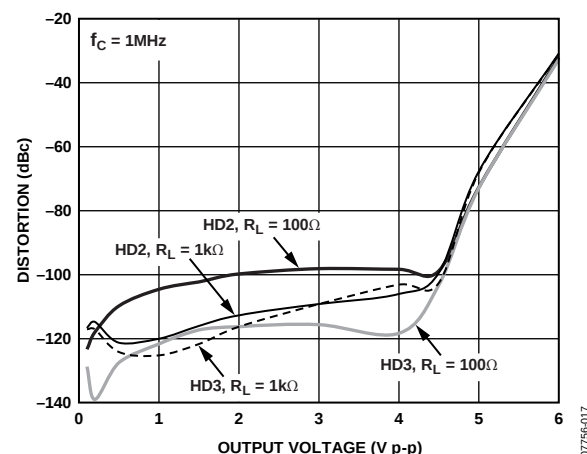


图19. 不同负载下失真与输出电压的关系

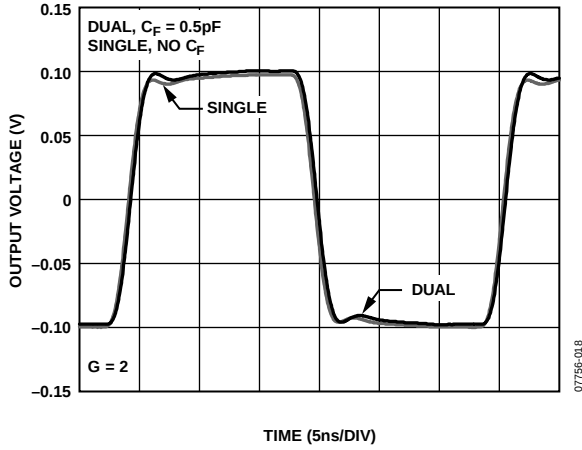


图20. 小信号瞬态响应

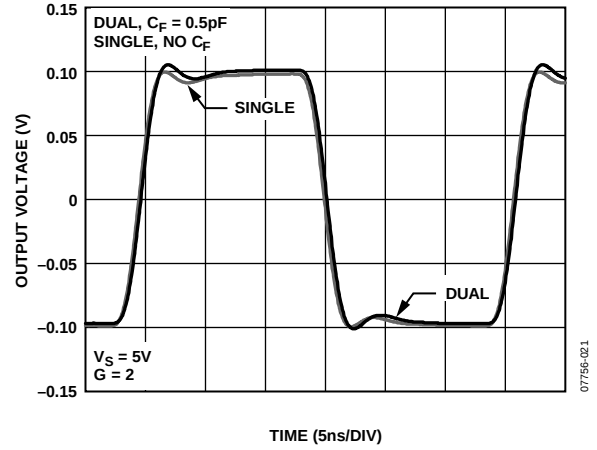


图23. 小信号瞬态响应

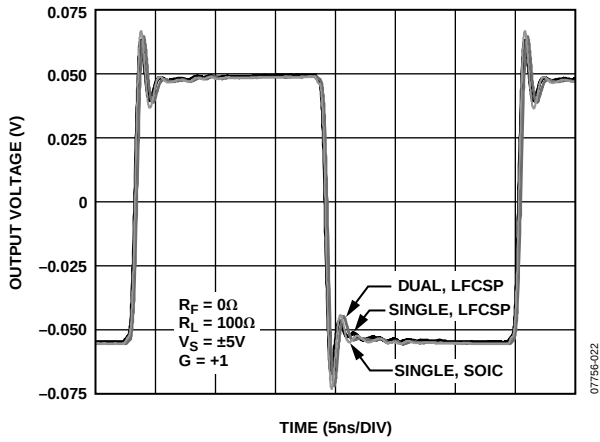


图21. 小信号瞬态响应与封装的关系

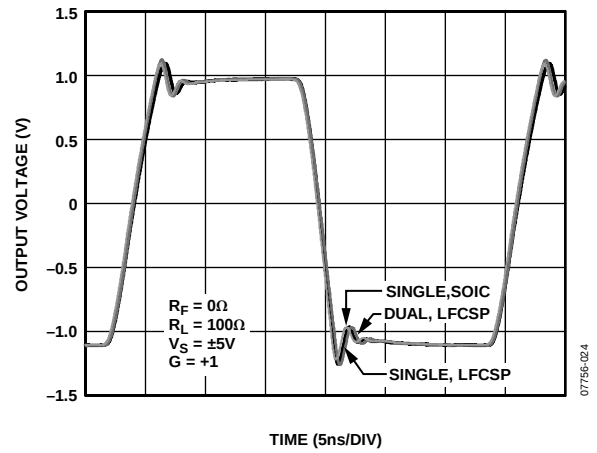


图24. 大信号瞬态响应

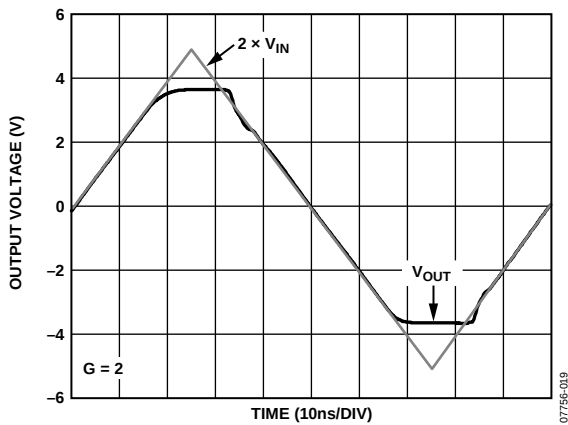


图22. 输出过驱恢复

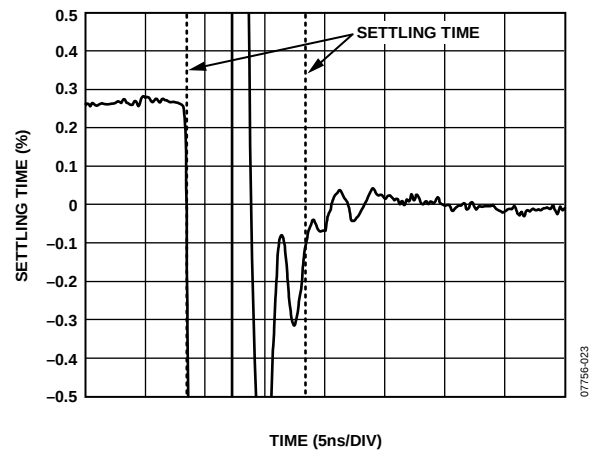


图25. 0.1%短期建立时间

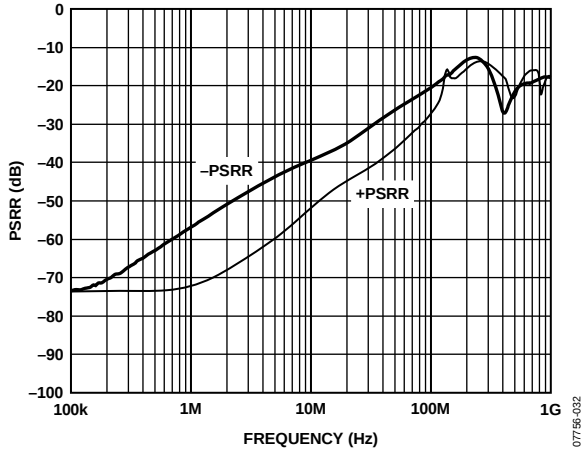


图26. PSRR与频率的关系

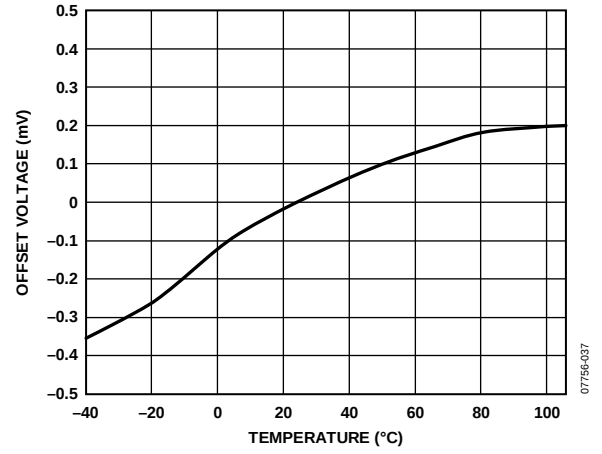


图29. 失调电压与温度的关系

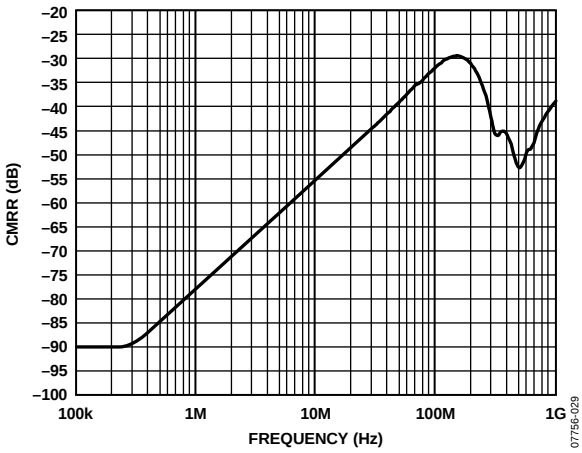


图27. CMRR与频率的关系

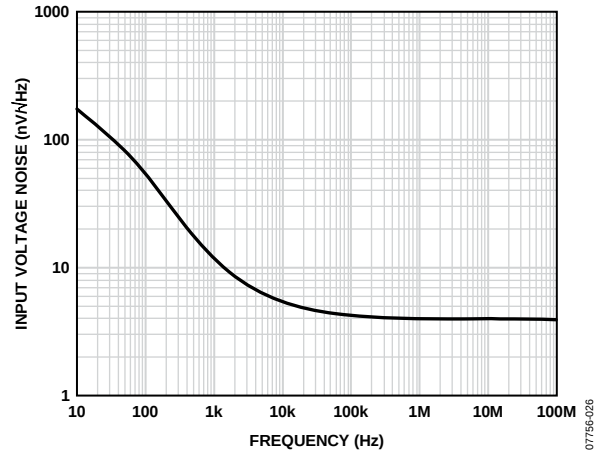


图30. 输入电压噪声

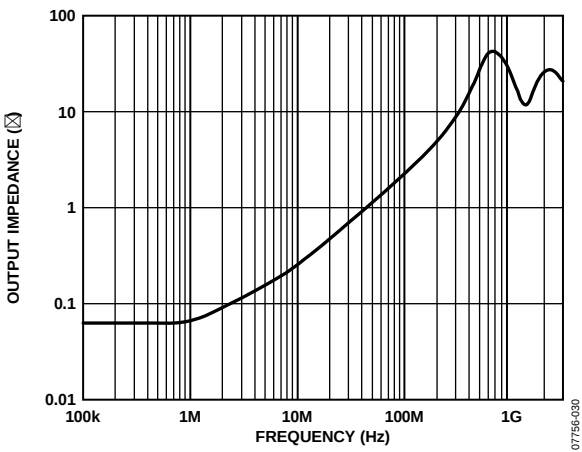


图28. 输出阻抗与频率的关系

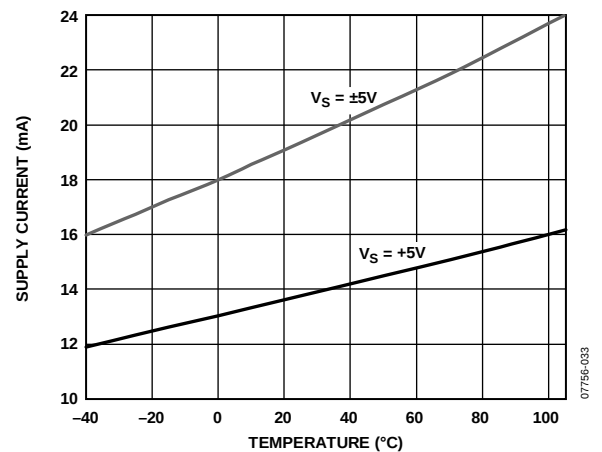


图31. 不同电源电压下静态电流与温度的关系

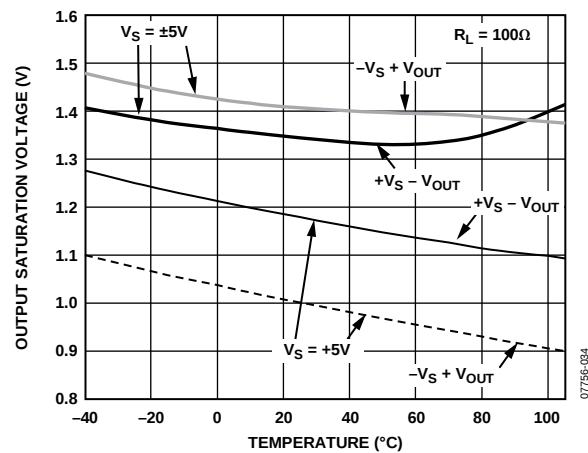


图32. 输出饱和电压与温度的关系

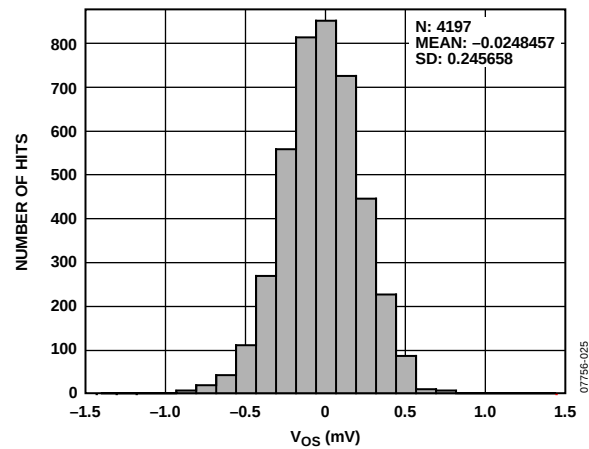


图34. 输入失调电压直方图

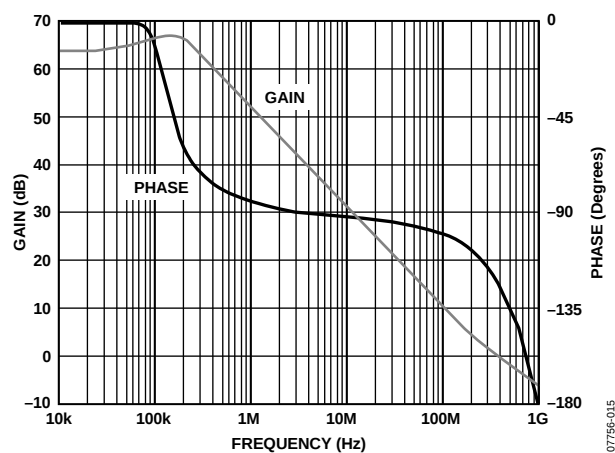
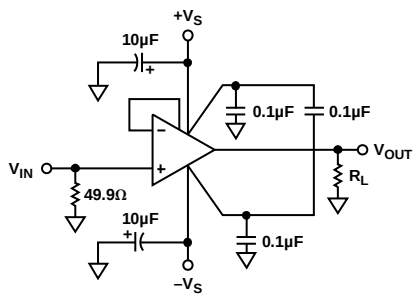


图33. 开环增益和相位与频率的关系

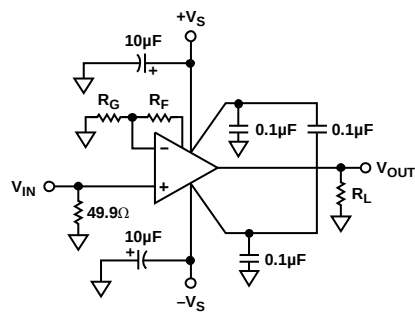
测试电路

输出反馈引脚用于简化布局，如图35至图40所示。



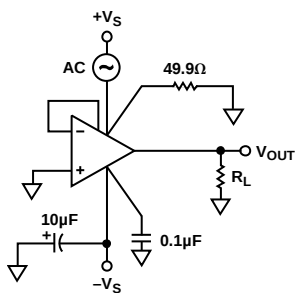
07756-147

图35. $G = 1$ 配置



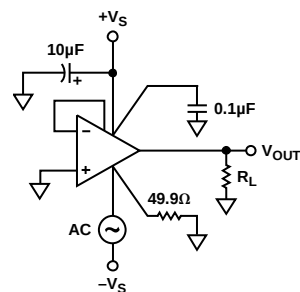
07756-141

图38. 同相增益配置



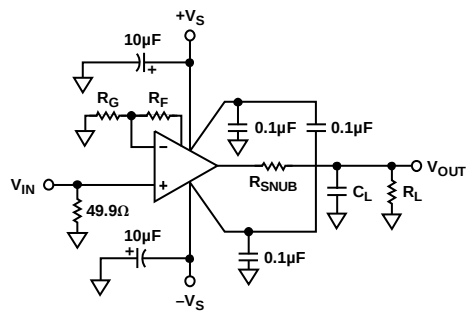
07756-145

图36. 正电源抑制



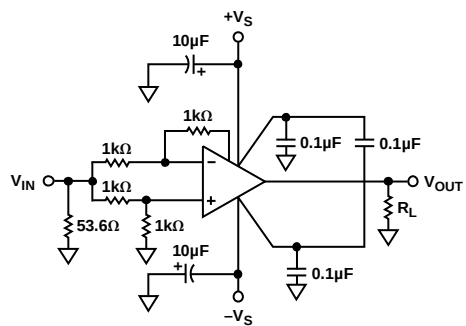
07756-148

图39. 负电源抑制



07756-142

图37. 容性负载配置



07756-146

图40. 共模抑制

工作原理

ADA4817-1/ADA4817-2是电压反馈型运算放大器，集新型FET输入运放结构与ADI公司的超快速互补双极性(XFCB)工艺于一体，实现了高速度和低噪声的卓越组合。创新的高速FET输入级能够处理从负电源电压到正供电轨2.7 V范围内的共模信号。此输入级与H桥相结合，实现870 V/ μ s的压摆率和低失真，以及输入电压噪声为4 nV/ $\sqrt{\text{Hz}}$ 的特性。该放大器具有一个高速输出级，能够驱动高负载，流出和吸入最多40 mA的线性电流。电源电流和失调电流经过激光调整，从而获得最佳性能。这些特性使ADA4817-1/ADA4817-2成为高速仪器仪表和高分辨率数据采集系统的绝佳选择。低噪声、皮安级输入电流、精密失调和高速特性使这些运放特别适合作光电二极管应用中的前置放大器。

闭环频率响应

ADA4817-1/ADA4817-2是优秀的电压反馈型放大器，其开环频率响应与积分器响应类似，如图43所示。反相和同相配置的基本闭环频率响应可以从图41和图42所示的原理图获得。

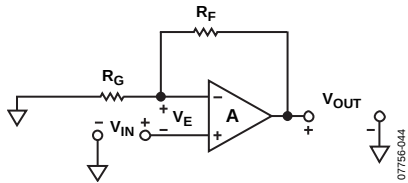


图41. 同相配置

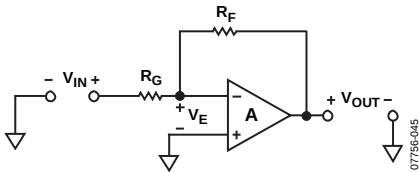


图42. 反相配置

同相闭环频率响应

解传递函数：

$$\frac{V_O}{V_I} = \frac{2\pi \times f_{\text{CROSSOVER}}(R_G + R_F)}{(R_G + R_F)S + 2\pi \times f_{\text{CROSSOVER}} \times R_G} \quad (4)$$

其中 $f_{\text{CROSSOVER}}$ 为放大器开环增益等于0 dB时的频率。

对于直流，

$$\frac{V_O}{V_I} = \frac{R_F + R_G}{R_G} \quad (5)$$

闭环-3 dB频率：

$$f_{-3\text{dB}} = f_{\text{CROSSOVER}} \times \frac{R_G}{R_F + R_G} \quad (6)$$

反相闭环频率响应

解传递函数：

$$\frac{V_O}{V_I} = \frac{-2\pi \times f_{\text{CROSSOVER}} \times R_F}{(R_G + R_F)S + 2\pi \times f_{\text{CROSSOVER}} \times R_G} \quad (7)$$

$$\text{对于直流, } \frac{V_O}{V_I} = -\frac{R_F}{R_G} \quad (8)$$

求出闭环-3 dB频率：

$$f_{-3\text{dB}} = f_{\text{CROSSOVER}} \times \frac{R_G}{R_F + R_G} \quad (9)$$

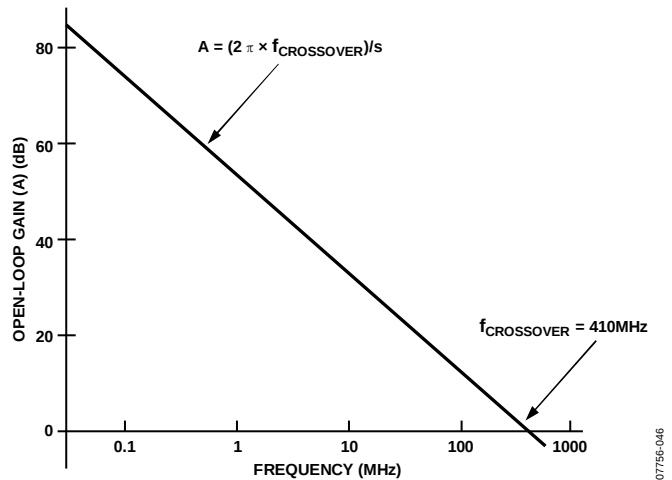


图43. 基本连接的开环增益与频率的关系

闭环带宽与运算放大器电路的噪声增益 $((R_F + R_G)/R_G)$ 成反比。对于2倍以上的噪声增益，这一简单的模型精确可行。当噪声增益等于或小于2时，电路的实际带宽高于利用此模型所预测的值，原因是实际运算放大器的频率响应会被其它极点影响。

图44显示了电压反馈型放大器的直流误差。对于反相和同相配置，

$$V_{\text{OUT}}(\text{error}) = I_b \times R_S \left(\frac{R_F + R_G}{R_G} \right) - I_b \times R_F + V_{\text{OS}} \left(\frac{R_F + R_G}{R_G} \right) \quad (10)$$

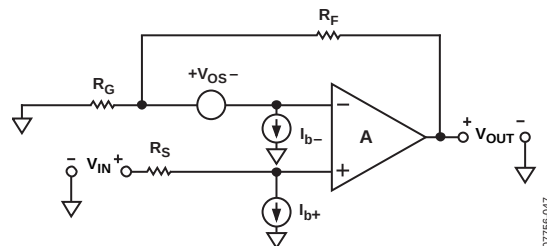


图43. 基本连接的开环增益与频率的关系

如果 $R_S = R_F \parallel R_G$ ，则 I_{b+} 和 I_{b-} 所引起的电压误差最小（ADA4817-1/ADA4817-2 的输入电流在皮安范围，这一误差应当不是问题）。为了包括共模效应和电源抑制效应，可以将总 V_{OS} 表示为：

$$V_{OS} = V_{OSnom} + \frac{\Delta V_S}{PSR} + \frac{\Delta V_{CM}}{CMR} \quad (11)$$

其中：

V_{OSnom} 是标称条件下的额定失调电压。

ΔV_S 是相对于标称条件的电源变化。PSR 为电源抑制性能。

ΔV_{CM} 是相对于标称条件的共模电压变化。

CMR 为共模抑制性能。

宽带运作

作为高速缓冲器，ADA4817-1/ADA4817-2 能够提供出色的性能。图41所示电路用于确定高增益下的宽带特性。求和点阻抗 ($R_F \parallel R_G$) 与放大器的 1.3pF 输入电容形成环路响应的一个极点。如果其频率过低，此极点可能会引起峰化和响铃振荡。建议使用 100 Ω 至 400 Ω 的反馈电阻，该电阻可以使峰化最小，但不会降低输出级的性能。将一个小反馈电容 (C_F) 与该反馈电阻并联，或者在同相输入端串联一个电阻，也可以补偿频率响应的峰化效应，如图45所示。

失真性能取决于多个因素：

- 应用的闭环增益
- 反相抑或同相
- 放大器负载
- 信号频率和幅度
- 电路板布局布线

获得最佳性能的条件一般是：G + 1 配置、无反馈电阻、输出负载电阻较大、电路板寄生电容非常小。

驱动容性负载

一般而言，高速放大器难以驱动容性负载，特别是在闭环增益较低的情况下，因为此时相位裕量非常低。其困难在于负载电容 C_L 会与放大器的输出电阻 R_O 形成一个极点。该极点可以用下式来描述：

如果此极点太过靠近单位增益交越点，相位裕量就会降低，原因是该极点会引起额外的相位损耗。

$$f_p = \frac{1}{2\pi R_O C_L} \quad (12)$$

请注意，这种电容会在频率响应中引起显著的峰化效应。放大器可以驱动更大的电容值，但必须在输出端使用一个缓冲电阻 (R_{SNUB})，如图45所示。增加一个小串联电阻 R_{SNUB} 可以创建一个零点，从而抵消负载电容所引入的极点。典型 R_{SNUB} 值在 10 Ω 至 50 Ω 范围，此值通常根据电路要求确定。图45还显示了降低容性负载 (C_L) 所引起的极点效应的另一种方法：在反馈环路中放置一个与反馈电阻并联的电容 (C_F)。典型电容值在 0.5 pF 至 2 pF 范围。图46显示了增加一个反馈电容对频率响应的影响。

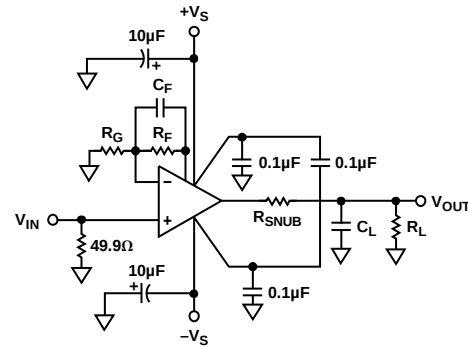


图45. 用于降低峰化效应的 R_{SNUB} 或 C_F

散热考虑

ADA4817-1/ADA4817-2 以 10 V 电源和 19 mA 静态电流工作时，空载功耗为 190 mW。这意味着，对于 LFCSP 封装（ADA4817-1 的热阻为 94°C/W，ADA4817-2 的热阻为 64°C/W），结温通常比环境温度高出近 25°。ADA4817-1/ADA4817-2 旨在保持恒定带宽，能够不随温度而变化，因此在预热期间，功耗会有一个初始斜升过程。 V_{OS} 温漂低于 8 $\mu V/^\circ C$ ；对于采用 LFCSP 封装、以 10 V 电源工作的 ADA4817-1/ADA4817-2，预热效应引起的 V_{OS} 变化幅度最大可达 0.3 mV。温度每升高 10°C，输入偏置电流增大 1.7 倍。

高负载会增加功耗并提升芯片结温，如绝对最大额定值部分所述。必须注意不要超过封装的额定功耗。

掉电工作模式

ADA4817-1/ADA4817-2 的每个放大器都配有独立的掉电引脚 ($\overline{PD}$)。当放大器不工作时，用户可以利用掉电功能将其静态电源电流从 19 mA 降至 2 mA 以下。掉电阈值电平是从施加于 $+V_S$ 引脚的电压推断出来的。在 ± 5 V 电源应用中，使能电压高于 +4 V；在 +3 V、-2 V 电源应用中，使能电压高于 +2 V。不过，只要施加于 $\overline{PD}$ 的电压比 $+V_S$ 低 3 V，放大器就会掉电。如果不用 $\overline{PD}$ 引脚，应将其连接到正电源，以确保器件能够正确启动。

ADA4817-1/ADA4817-2

表8. 掉电电压控制

PD 引脚	$\pm 5\text{ V}$	$+3\text{ V}, -2\text{ V}$
无效	$>4\text{ V}$	$>2\text{ V}$
有效	$<2\text{ V}$	$<0\text{ V}$

容性反馈

由于单通道与双通道型号之间的封装差异和引脚间寄生效应，ADA4817-2的峰化略大于ADA4817-1，特别是在增益为2时。应对峰化的最佳办法是在反馈电阻上并联一个反馈电容。图46显示了增益为2时ADA4817-2的小信号频率响应与 C_F 的关系。起先没有使用 C_F ，然后使用0.5 pF和1 pF的CF来显示如何降低甚至消除峰化。如图46所示，如果功耗是系统的考虑因素之一，那么只要使用一个并联反馈电容来控制峰化，较大的反馈电容是可以接受的。然而，如果功耗不是问题，那么只需使用较小的反馈电阻，如200 Ω ，而无需使用额外的反馈电容来保持平坦度并降低峰化。

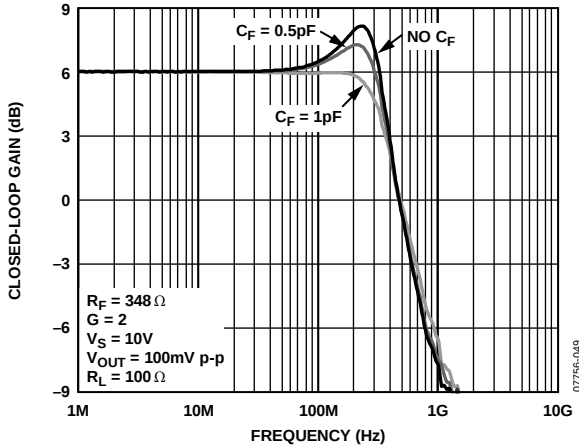


图46. 小信号频率响应与反馈电容的关系(ADA4817-2)

更高频率衰减

SOIC封装与LFCSP封装之间还有一个封装差异问题。当增益为1时，SOIC封装表现出大约1 dB到1.5 dB的额外峰化。这是由SOIC封装的寄生效应引起的，超过1 GHz的极高频率器件不推荐使用这种封装。降低峰化的一种良好做法是在同相输入端串联一个电阻 R_S ，它与共模输入电容 C_{IN} 形成一个一阶极点。

图47显示了更高频率衰减，它降低了峰化，但同时也降低了-3 dB带宽。

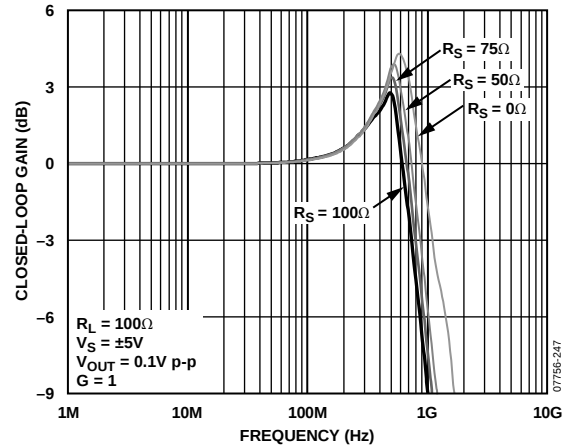


图47. 不同 R_S 下的小信号频率响应(SOIC)

如图47所示，当 R_S 从0 Ω 增加到100 Ω 时，峰化降低近2 dB，但-3 dB带宽也从1 GHz降至700 MHz。为了保持-3 dB带宽并降低峰化，建议用RLC电路代替 R_S ，如图48所示。

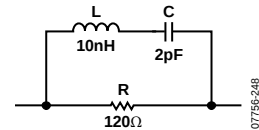


图48. RLC电路

R 与串联 LC 并联，形成一个陷波滤波器，可以对其整形以补偿放大器所产生的峰化。结果便得到平滑的1 GHz -3 dB带宽、250 MHz的0.1 dB平坦度和小于1 dB的峰化。当ADA4817-x的增益为1时，应将此电路放在同相输入路径中。根据源阻抗和所需的平坦度与带宽不同，可能需要调整RLC值。图49显示了采用RLC电路时的频率响应。

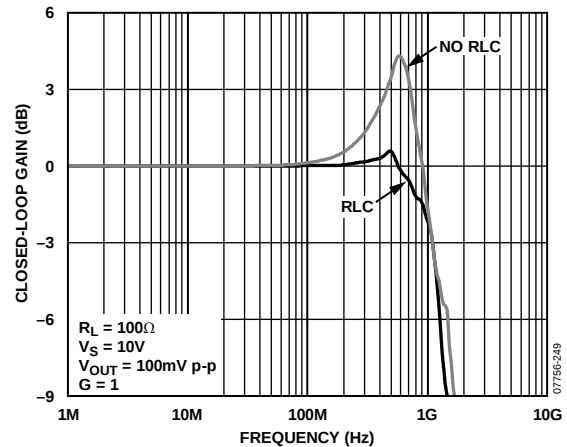


图49. 采用RLC电路时的频率响应

布局布线、接地和旁路考虑

PCB布局布线一般是设计过程的最后一步，常常也是最重要的步骤之一。如果布局布线不当，再精巧的设计也可能毫无用处。ADA4817-1/ADA4817-2能够在RF频谱内工作，因此必须考虑高频电路板的布局布线做法。为了获得最佳性能，务必充分注意PCB布局布线、信号布线、电源旁路和接地问题。

信号布线

ADA4817-1/ADA4817-2采用具有专用反馈引脚的新型低失真引脚排列，为实现紧凑的布局提供了条件。专用反馈引脚缩短了输出端到反相输入端的距离，可大大简化反馈网络的布线。

将ADA4817-1/ADA4817-2布局为单位增益放大器时，建议在专用反馈引脚和放大器的反相输入端之间布设短而宽的走线，-以便达到最大程度地减小杂散寄生电感。

为使寄生电感最小，高频信号走线之下应使用接地层。不过，输入和输出引脚之下的接地层则应予以移除，以减少寄生电容的形成，避免相位裕量降低。易受噪声影响的信号走线应布设在PCB内层，以提供最大程度的屏蔽。

电源旁路

电源旁路是PCB设计过程的重要方面。为获得最佳性能，ADA4817-1/ADA4817-2的电源引脚需要适当的旁路。

将电容从每个电源引脚并联连接到接地最有效。并联不同值和尺寸的电容有助于确保电源引脚在较宽的频率范围内都具有较低的交流阻抗，这对于减小放大器的噪声耦合非常重要。直接从电源引脚开始，将值和尺寸最小的元件放在电路板上与放大器相同的一侧，并尽可能靠近放大器，然后将它连接到接地层。对下一个最大值电容重复此过程。ADA4817-1/ADA4817-2建议采用0.1 μF 、0508尺寸的陶瓷电容。

0508提供低串联电感和出色的高频性能。0.1 μF 可在高频时提供低阻抗。将一个10 μF 电解质电容与该0.1 μF 电容并联。10 μF 电容可在低频时提供低交流阻抗。根据电路要求不同，可以使用更低值的电解质电容。额外的较小值电容有助于为更高频率的干扰噪声提供低阻抗路径，但不一定是必需的。

电容回路（接地）的布线同样重要。放大器的接地回路应靠近放大器负载，这一点对于失真性能至关重要。各电容与负载的距离应较短并相等，这样可以实现最佳性能。

某些情况下，如果布局拥挤或比较困难，则在两个电源之间进行旁路有助于提高PSRR并保持失真性能。这也是一种改善性能的办法。

尽可能缩短走线长度并加宽从电容到放大器的走线可以降低走线电感。串联电感与并联电容可以形成振荡电路，从而在输出端引起高频响铃振荡。因输出端的高频压缩，这一额外电感还可能使失真提高。在连接到放大器电源引脚的直接路径中，应尽可能少用过孔，因为过孔会产生寄生电感，导致电路不稳定。当必须使用过孔时，应选择多个大直径过孔，以便降低等效寄生电感。

接地

为向电源和信号电流提供低阻抗回路，建议采用接地层和电源层。接地层和电源层还有助于降低杂散走线电感，并为放大器提供低热路径。不要在任何引脚之下使用接地层和电源层。安装垫与接地或电源层可以在放大器的输入端形成寄生电容。反相输入端的杂散电容与反馈电阻会形成一个极点，导致相位余量降低和电路不稳定。输出端的杂散电容如果过大，也会形成一个极点，导致相位裕量降低。

裸露焊盘

ADA4817-1/ADA4817-2具有一个裸露焊盘，其热阻比标准SOIC塑料封装降低25%。ADA4817-1/ADA4817-2的裸露焊盘内部悬空，可提供极大的灵活性和易用性。可以将它连接到接地层或负电源层。如果热量不是问题，裸露焊盘可以保持悬空。

裸露焊盘的安装垫设计也可以考虑使用热过孔或热管道。这些附加过孔有助于降低整体结至环境温度(θ_{JA})。在焊接放大器裸露焊盘的表面上使用较多的铜，可以大大降低ADA4817-1/ADA4817-2的整体热阻。

漏电流

不良的PCB布局、污染和板绝缘材料可能会引起远大于ADA4817-1/ADA4817-2输入偏置电流的漏电流。输入端与邻近走线的任何压差都会引起漏电流通过PCB绝缘器，例如： $1\text{ V} / 100\text{ G}\Omega = 10\text{ pA}$ 。同样，任何污染（如电路板上的护肤油等）都会造成显著的漏电流。为了大幅降低漏电流，应在输入端和输入引脚周围放置一个保护环（屏蔽），并将其驱动至与输入端相同的电位。这样，输入端与周围区域之间不存在压差，从而不会产生漏电流。为使保护环真正有效，必须用阻抗相对较低的源驱动它；在使用多层板时，应将输入引脚四周及上下完全包围起来。

另一种能导致漏电流的效应是绝缘材料本身的电荷吸收。尽可能减少输入引脚与保护环之间的材料量有助于降低电荷吸收。此外，某些情况下可能需要使用特氟龙或陶瓷等低吸收材料。

输入电容

除旁路和接地外，高速放大器对输入端与接地之间的寄生电容也很敏感。几皮法的电容就会降低高频时的输入阻抗，进而提高放大器的增益，导致频率响应峰化，严重时甚至引起振荡。建议将连接到输入引脚的外部无源器件尽可能靠近输入端放置，避免产生寄生电容。接地层和电源层应与电路板所有层上的输入引脚保持较短的距离。

输入至输入/输出耦合

为将输入与输出之间的容性耦合降至最低，输出和输入信号走线不应平行。此外，输入走线彼此不应靠近。两路输入之间建议保持至少7密耳的距离。

应用信息

低失真引脚排列

ADA4817-1/ADA4817-2采用ADI公司的新型低失真引脚排列。与传统引脚排列相比，这种引脚排列有两个优势。第一是同相输入引脚与负电源引脚物理隔离，因而二次谐波失真性能得以提高。第二是专用反馈引脚简化了布局布线，增益设置电阻回到反相输入引脚的布线非常简便。这就为实现紧凑的布局提供了条件，有助于降低寄生效应并提高稳定性。

设计人员不必使用专用反馈引脚来提供ADA4817-1/ADA4817-2的反馈，仍然可以使用输出引脚来提供反馈到反相输入端。

宽带光电二极管前置放大器

ADA4817-1/ADA4817-2具有宽带宽和低噪声特性，是跨导放大器的理想选择，适用于高速光电二极管的信号调理等应用。图50显示了一个电流电压转换器和一个光电二极管的电气模型，其基本传递函数为：

$$V_{OUT} = \frac{I_{PHOTO} \times R_F}{1 + sC_F R_F} \quad (13)$$

其中：

I_{PHOTO} 为光电二极管的输出电流。

R_F 和 C_F 的并联组合设置信号带宽。

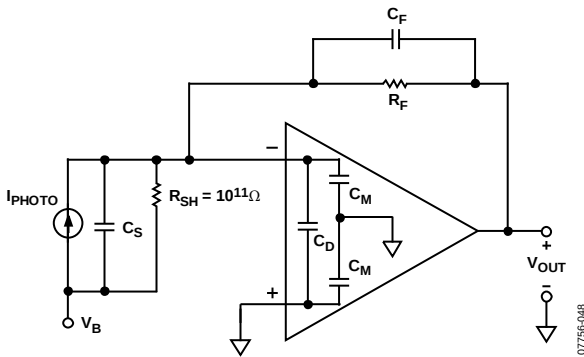


图50. 宽带光电二极管前置放大器

此前置放大器所能实现的稳定带宽是以下参数的函数： R_F 、放大器的增益带宽积，以及放大器求和点的总电容，包括光电二极管电容(C_S)和放大器输入电容。 R_F 与该总电容在放大器的环路传输中产生一个极点，它可能会导致峰化和电路不稳定。增加 C_F 可以在环路传输中创建一个零点，它能补偿上述极点的影响并降低信号带宽。在45°相位裕量($f_{(45)}$)下获得的信号带宽可以表示为：

$$f_{(45)} = \sqrt{\frac{f_{CR}}{2\pi \times R_F \times (C_S + C_M + C_D)}} \quad (14)$$

其中：

f_{CR} 为放大器的交越频率。

R_F 为反馈电阻。

C_S 为源电容，包括光电二极管和板的寄生电容。

C_M 为放大器的共模电容。

C_D 为放大器的差分电容。

产生 $f_{(45)}$ 的 C_F 值可以表示为：

$$C_F = \sqrt{\frac{(C_S + C_M + C_D)}{2\pi \times R_F \times f_{CR}}} \quad (15)$$

如果使用较大的 C_F 值，可减低频率响应的峰化。

前置放大器的输出噪声与频率的关系如图51所示。

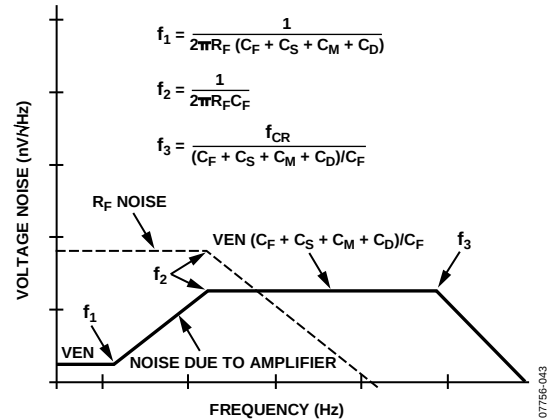


图51. 光电二极管电压噪声贡献

ADA4817-1/ADA4817-2

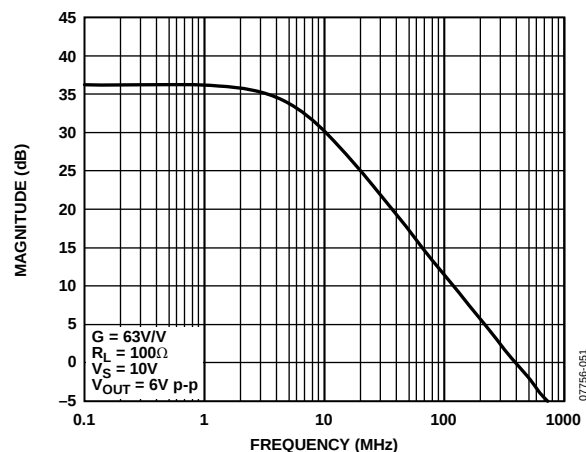


图52. 光电二极管前置放大器频率响应

环路传输中的极点相当于放大器噪声增益中的零点，这会导致整个频率范围内的输入电压噪声被放大。

表9. 光电二极管前置放大器的均方根噪声贡献

贡献因素	表达式	均方根噪声 ($R_F = 50\text{ k}\Omega$ 、 $C_S = 30\text{ pF}$ 、 $C_F = 0.5\text{ pF}$)
R_F	$\sqrt{4KT \times R_F \times f_2 \times 1.57}$	94 μV
VEN Amp	$VEN \times \frac{C_S + C_M + C_D + C_F}{C_F} \sqrt{f_3 \times 1.57}$	777.5 μV
IEN Amp	$IEN \times R_F \times \sqrt{f_2 \times 1.57}$	0.4 μV
		783 μV (总和)

C_F 引入的环路传输零点可以限制放大效应。噪声增益带宽扩展至前置放大器信号带宽以外，最终通过放大器的环路增益降低而滚降。对于大多数应用，反相端的电流等效噪声通常是可以忽略不计的。与传统FET输入放大器不同，ADA4817-1/ADA4817-2的创新架构使得它不需要平衡两个输入端。因此，为了获得最佳噪声性能，必须将从同相端到接地的阻抗降至最低。

将输出电压噪声频谱密度的平方对频率积分，然后取平方根，可以获得前置放大器的总均方根输出噪声。表9列出了放大器、反馈电阻和源电阻的近似噪声计算公式，同时显示了一个示例前置放大器的噪声成分： $R_F = 50\text{ k}\Omega$ 、 $C_S = 30\text{ pF}$ 、 $C_F = 0.5\text{ pF}$ （带宽约为6.4 MHz）。

高速JFET输入仪表放大器

图53显示了一个采用ADA4817-1/ADA4817-2构建的具有高输入阻抗的高速仪表放大器示例。其直流传递函数为：

$$V_{OUT} = (V_N - V_P) \left(1 + \frac{2R_F}{R_G} \right) \quad (16)$$

对于 $G = 1$ ，建议将两个前置放大器的反馈电阻设置为 0Ω ，并断开增益电阻。 $G = 1$ 时系统带宽为400 MHz。对于2以上的增益，带宽由前置放大器设置，可以近似表示为：

$$\text{In-amp}_{-3\text{dB}} = (f_{CR} \times R_G) / (2 \times R_F)$$

仪表放大器的共模抑制主要由电阻比的匹配度决定： $R1:R2$ 对 $R3:R4$ 。可以通过下式估算：

$$\frac{V_O}{V_{CM}} = \frac{(\delta 1 - \delta 2)}{(1 + \delta 1)\delta 2} \quad (17)$$

前置放大器的求和点阻抗等于 $R_F \parallel 0.5(R_G)$ 。如同上例，保持此值相对较低可以提高带宽响应性能。

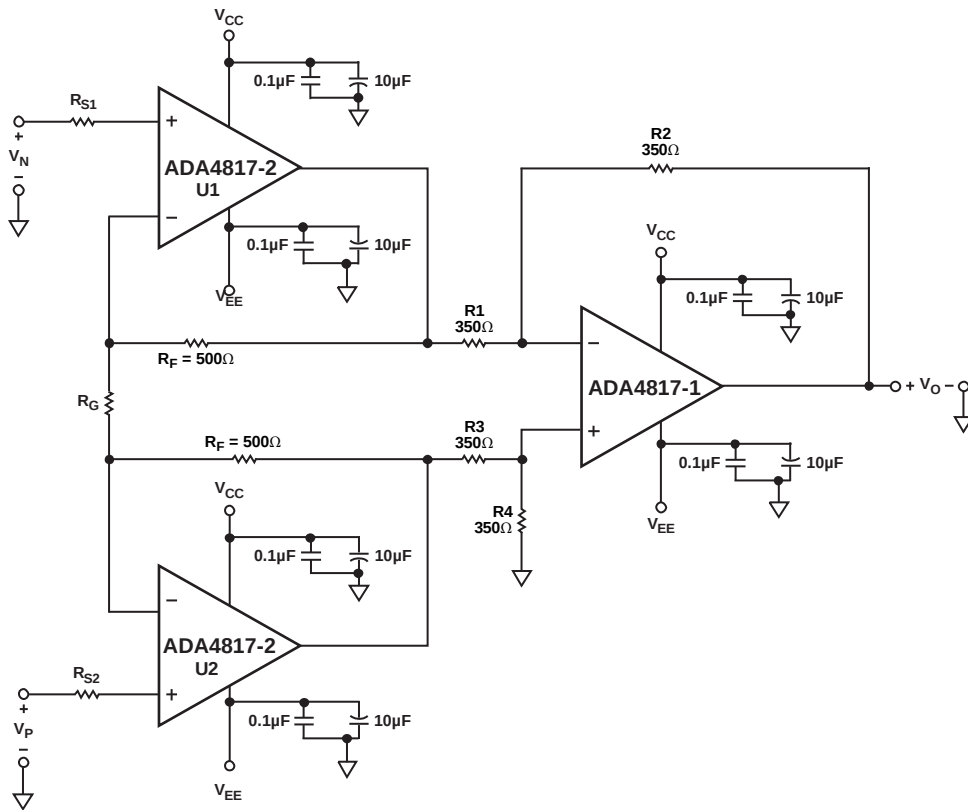


图53. 高速仪表放大器

ADA4817-1/ADA4817-2

有源低通滤波器(LPF)

有源滤波器应用广泛，如抗混叠滤波器和高频通信中频片等。

ADA4817-1/ADA4817-2提供410 MHz的增益带宽和高压摆率，是构建有源滤波器的理想器件。此外，由于FET级提供低输入偏置电流，因此ADA4817-1/ADA4817-2完全消除了直流误差。图54显示了90 MHz和45 MHz LPF的频率响应。除带宽要求外，压摆率必须能够支持滤波器的全功率带宽。这种情况下，90 MHz带宽和2 V峰峰值输出摆幅至少要求870 V/ μ s的压摆率。因为ADA4817-1/ADA4817-2提供宽带宽和高压摆率特性，所以能在90 MHz时实现这一性能。

图55所示电路为一个4极点Sallen-Key低通滤波器(LPF)。该滤波器包括两个相同的级联Sallen-Key LPF部分，各自具有固定增益 $G = 2$ 。该滤波器的净增益为 $G = 4$ 或12 dB。图54所示的实际增益为12 dB，其中并未考虑输出电压被串联匹配端接电阻 R_T 和负载电阻平分的情况。

将这些电阻设置为彼此相等大大简化了Sallen-Key滤波器的设计方程式。为实现90 MHz转折频率， R 值应设置为182 Ω 。然而，如果 R 值加倍，转折频率将减半为45 MHz。这是一种简单的滤波器调谐方法，只需将 R 值(182 Ω)乘以90 MHz与新转折频率(单位MHz)的比值。图54显示了对应于 $R = 182 \Omega$ 和 $R = 365 \Omega$ 的两种不同滤波器的各级输出情况。由于带宽和压摆率限制，不宜将转折频率提高到90 MHz以上，除非可以接受单位增益级。

为使噪声贡献和失调电压最小，以及获得最佳频率响应性能，电阻值应保持较低水平。由于该滤波器电路使用的电容值较小，因此PCB布局布线至关重要，必须最大程度地降低寄生电容。几皮法的寄生电容就可能使滤波器的转折频率 f_c 失谐。图55所示的电容值实际上包括一定的杂散PCB电容。

电容选择对于实现滤波器最佳性能同样重要。温度系数较低的电容，如NPO陶瓷电容和镀银云母电容等，适合用作滤波器元件。

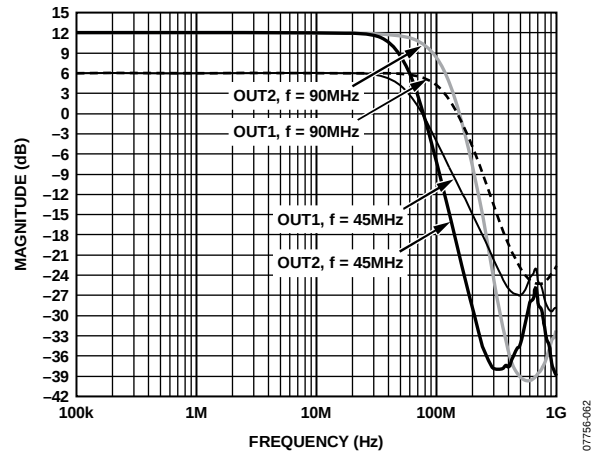


图54. 低通滤波器响应

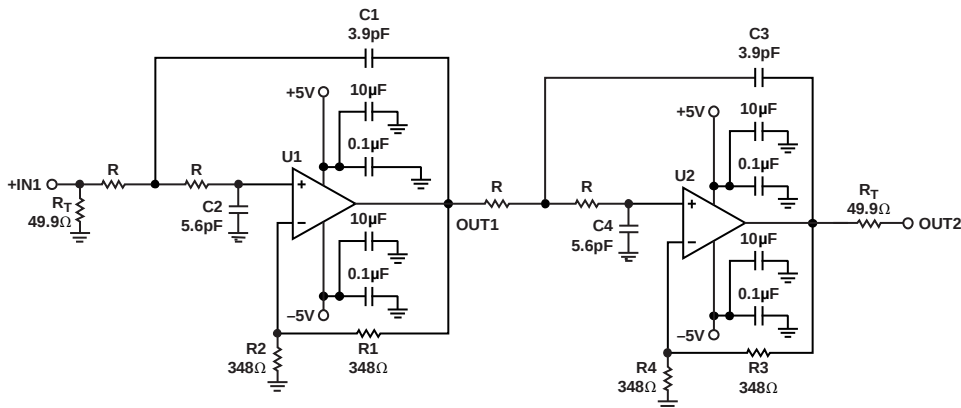


图55. 4极点Sallen-Key低通滤波器(ADA4817-2)

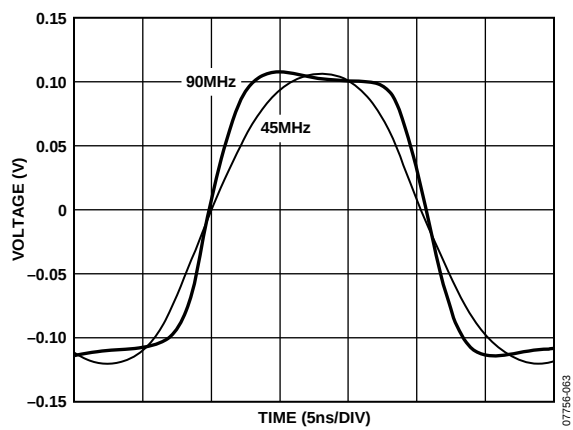


图56. 小信号瞬态响应（低通滤波器）

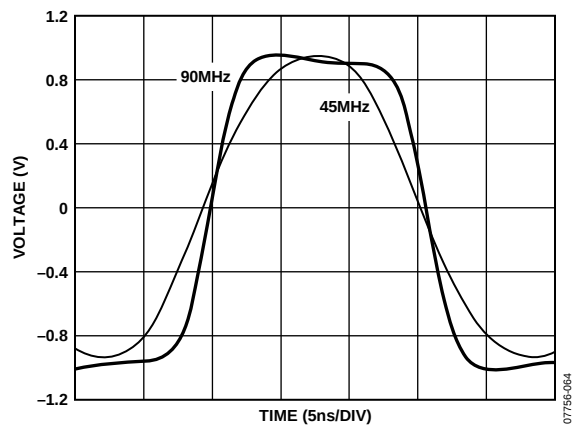


图57. 大信号瞬态响应（低通滤波器）

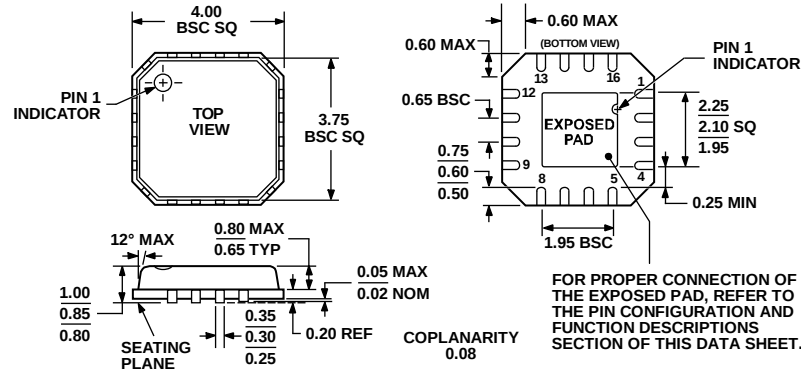


072808A



CONTROLLING DIMENSIONS ARE IN MILLIMETER; INCH DIMENSIONS (IN PARENTHESES) ARE ROUNDED-OFF MILLIMETER EQUIVALENTS FOR REFERENCE ONLY AND ARE NOT APPROPRIATE FOR USE IN DESIGN.

图59.8引脚标准小型封装，带裸露焊盘[SOIC_N_EP] (RD-8-1)
尺寸单位: mm和 (inches)



COMPLIANT TO JEDEC STANDARDS MO-220-VGGC

图60.16引脚|脚架构芯片级封装[LFCSP_VQ]
4 mm x 4 mm, 超薄四方体(CP-16-4)
尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项	订购数量	标识
ADA4817-1ACPZ-R2 ¹	-40°C至+105°C	8引脚LFCSP_VD	CP-8-2	250	H1F
ADA4817-1ACPZ-RL ¹	-40°C至+105°C	8引脚LFCSP_VD	CP-8-2	5,000	H1F
ADA4817-1ACPZ-R7 ¹	-40°C至+105°C	8引脚LFCSP_VD	CP-8-2	1,500	H1F
ADA4817-1ARDZ ¹	-40°C至+105°C	8引脚SOIC_N_EP	RD-8-1	1	
ADA4817-1ARDZ-RL ¹	-40°C至+105°C	8引脚SOIC_N_EP	RD-8-1	2,500	
ADA4817-1ARDZ-R7 ¹	-40°C至+105°C	8引脚SOIC_N_EP	RD-8-1	1,000	
ADA4817-2ACPZ-R2 ¹	-40°C至+105°C	16引脚LFCSP_VQ	CP-16-4	250	
ADA4817-2ACPZ-RL ¹	-40°C至+105°C	16引脚LFCSP_VQ	CP-16-4	5,000	
ADA4817-2ACPZ-R7 ¹	-40°C至+105°C	16引脚LFCSP_VQ	CP-16-4	1,500	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释