

产品特性

模拟可变增益范围：-12 dB至+22 dB

线性dB调整比例：37.5 dB/V

3 dB带宽：800 MHz ($V_{\text{GAIN}} = 0.5 \text{ V}$)

集成均方根检波器

P1dB：16 dBm (140 MHz)

输出IP3：33 dBm (140 MHz)

最大增益时的噪声系数：9.5 dB (140 MHz)

输入和输出阻抗：50 Ω

单电源供电：4.5 V至5.5 V

符合RoHS标准，24引脚LFCSP封装

应用

完整中频AGC放大器

增益调整 and 校准

蜂窝基站

点对点无线链路

RF仪器仪表

概述

AD8368是一款内置模拟线性dB增益控制功能的可变增益放大器(VGA)，可以在低频至800 MHz频率范围内工作。由于采用ADI公司的X-AMP®架构，这种创新技术可实现高性能可变增益控制，因此该器件具有出色的增益范围、一致性和平坦度。

-12 dB至+22 dB增益范围可以按照37.5 dB/V精确调整，一致性误差极小。AD8368的3 dB带宽标称值为800 MHz，其与增益设置无关。在140 MHz、最大增益时，OIP3为33 dBm。输出本底噪声为-143 dBm/Hz，最大增益时的相应噪声系数为9.5 dB。单端输入和输出阻抗标称值为50 Ω 。

通过将引脚MODE拉至正电源电压或地电压，AD8368的增益可分别设定为增益控制电压的增函数或减函数。当引脚MODE被拉至高电平时，AD8368将作为增益增加的典型VGA工作。

功能框图

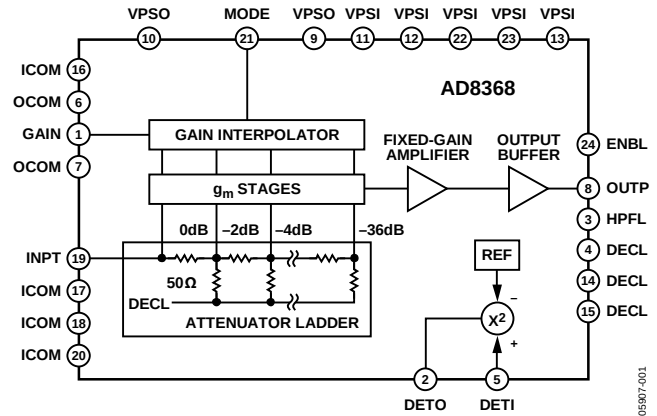


图1.

通过将引脚MODE接地并使用片上均方根检波器，AD8368可以配置为具有RSSI的完整自动增益控制(AGC)系统。输出功率与内部默认设置电平63 mV 均方根值(-11 dBm以50 Ω)，由于在DETI上可以获得非专用检波器输入，因此在最大34 dB输入功率范围内，AGC环路可以决定AD8368输出或信号链任何点的电平。此外，将输出信号作用于检波器之前，通过减小输出信号可以提高设置电平。

AD8368采用4.5 V至5.5 V电源供电，功耗为60 mA。将引脚ENBL接地即可进入完全省电状态，此时功耗小于3 mA。AD8368采用ADI公司的专有SiGe SOI互补双极性IC工艺制造，这款器件采用24引脚LFCSP封装，工作温度范围为-40°C至+85°C。若需要应用电路板也可提供。

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2006–2008 Analog Devices, Inc. All rights reserved.

目录

产品特性 1

应用 1

功能框图 1

概述 1

修订历史 2

规格 3

绝对最大额定值 5

 ESD警告 5

引脚配置和功能描述 6

典型性能参数 7

电路描述 12

 输入衰减器和插值器 12

 固定增益级和输出缓冲器 12

 输出失调校正 12

 输入和输出阻抗 12

 增益控制接口 13

应用信息 14

 VGA工作原理 14

 AGC工作原理 14

 稳定性和布局考虑因素 16

评估板 17

外形尺寸 19

 订购指南 19

修订历史

2008年9月—修订版A至修订版B

增加“稳定性和布局考虑因素”部分 16

更改“评估板”部分、图40和表6 17

增加图41、图42、图43和图44；重新排序 18

“外形尺寸”部分中增加裸露焊盘注释 19

2006年4月—修订版0：初始版

2007年10月—修订版0至修订版A

更改表1 3

更改图4至图6 7

更改图16 9

更改图31 12

更新“外形尺寸”部分 18

更改“订购指南”部分 18

规格

除非另有说明， $V_S = 5\text{ V}$ ， $T_A = 25\text{ }^\circ\text{C}$ ，系统阻抗 $Z_0 = 50\text{ }\Omega$ ， $V_{\text{MODE}} = 5\text{ V}$ ， R_F 输入 = 140 MHz。

表1.

参数	最小值	典型值	最大值	单位	条件
整体功能					
频率范围	LF		800	MHz	3 dB带宽
最大输入		3		V_p	避免输入过载
最大输出 ¹		2		V_p	避免箝位
交流输入阻抗		50		Ω	从INPT到ICOM
交流输出阻抗		50		Ω	从OUTP到OCOM
增益控制接口(GAIN)					
增益范围		34		dB	$V_{\text{MODE}} = 5\text{ V}$ ， $50\text{ mV} \leq V_{\text{GAIN}} \leq 950\text{ mV}$ $V_{\text{MODE}} = 0\text{ V}$ ， $50\text{ mV} \leq V_{\text{GAIN}} \leq 950\text{ mV}$
增益调整		37.5		dB/V	
		-38		dB/V	
增益精度		± 0.4		dB	$100\text{ mV} \leq V_{\text{GAIN}} \leq 900\text{ mV}$
最大增益		22		dB	$V_{\text{GAIN}} = 1\text{ V}$
最小增益		-12		dB	$V_{\text{GAIN}} = 0\text{ V}$
V_{GAIN} 范围	0		1	V	6 dB增益步长
增益步进响应		100		ns	
增益输入偏置电流			-2	μA	
f = 70 MHz					
噪声系数		9.5		dB	最大增益
输出IP3		34		dBm	$f_1 = 70\text{ MHz}$ ， $f_2 = 71\text{ MHz}$ ， $V_{\text{GAIN}} = 1\text{ V}$ ，0 dBm/输出信号音
输出P1dB ¹		16		dBm	$V_{\text{GAIN}} = 0\text{ V}$ ， $V_{\text{MODE}} = 0\text{ V}$
f = 140 MHz					
噪声系数		9.5		dB	最大增益
输出IP3		33		dBm	$f_1 = 140\text{ MHz}$ ， $f_2 = 141\text{ MHz}$ ， $V_{\text{GAIN}} = 1\text{ V}$ ，0 dBm/输出信号音
输出P1dB ¹		16		dBm	$V_{\text{GAIN}} = 0\text{ V}$ ， $V_{\text{MODE}} = 0\text{ V}$
f = 240 MHz					
噪声系数		9.7		dB	最大增益
输出IP3		33		dBm	$f_1 = 240\text{ MHz}$ ， $f_2 = 241\text{ MHz}$ ， $V_{\text{GAIN}} = 1\text{ V}$ ，0 dBm/输出信号音
输出P1dB ¹		15		dBm	$V_{\text{GAIN}} = 0\text{ V}$ ， $V_{\text{MODE}} = 0\text{ V}$
f = 380 MHz					
噪声系数		10		dB	最大增益
输出IP3		29		dBm	$f_1 = 380\text{ MHz}$ ， $f_2 = 381\text{ MHz}$ ， $V_{\text{GAIN}} = 1\text{ V}$ ，0 dBm/输出信号音
输出P1dB ¹		13		dBm	$V_{\text{GAIN}} = 0\text{ V}$ ， $V_{\text{MODE}} = 0\text{ V}$

¹ 由于存在不利的失真成分，建议不要在压缩时工作。

AD8368

除非另有说明， $V_S = 5\text{ V}$ ， $T_A = 25\text{ }^\circ\text{C}$ ，系统阻抗 $Z_0 = 50\text{ }\Omega$ ， $V_{\text{MODE}} = 5\text{ V}$ ，RF输入 = 140 MHz。

表2.

参数	最小值	典型值	最大值	单位	条件
平方律检波器(DETI、DETO)					
输出设定点		-11		dBm	OUTP连接至DETI
DETI直流偏置电平到ICOM		$V_S/2$		V	
DETI阻抗		710		Ω	
		0.6		pF	
DETO输出范围 ¹	0.1		$V_S/2$	V	-6 dB输入功率阶跃($C_{\text{DETO}} = 1\text{ nF}$)
AGC阶跃响应		30		μs	
模式控制接口(MODE)					
MODE阈值		3.5		V	
MODE输入偏置电流			50	μA	
电源接口(VPSI、VPSO)					
电源电压	4.5	5	5.5	V	ENBL高电 平 ENBL低电 平
总电源电流		60		mA	
禁用电流		2		mA	
使能接口(ENBL)					
使能阈值		2.5		V	从关断-导通转换到输出达到最终值的90%之后的时间延迟 从导通-关断转换到电源电流低于5 mA之后的时间延迟
使能响应时间		1.5		μs	
		3		μs	
ENBL输入偏置电流			150	μA	$V_{\text{ENBL}} = 5\text{ V}$

¹ 参见具体内容。

绝对最大额定值

表3.

参数	额定值
电源接口(VPSO、VPSI)	5.5 V
ENBL和MODE选择电压	5.5 V
RF输入电平	20 dBm
内部功耗	440 mW
θ_{JA}	52°C/W
最高结温	125°C
工作温度范围	−40°C至+85°C
存储温度范围	−65°C至+150°C
引脚温度(焊接，60秒)	300°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

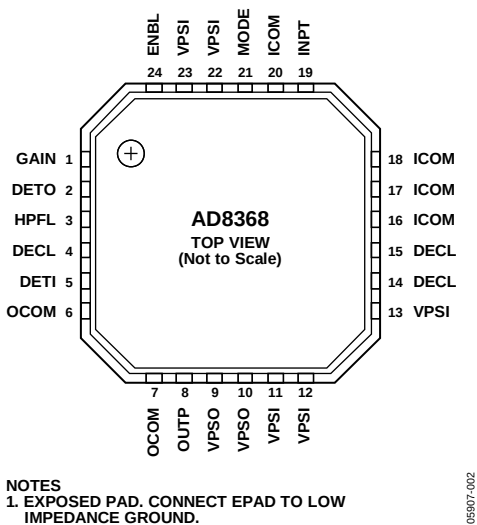


图2. 引脚配置

表4. 引脚功能描述

引脚编号	引脚名称	说明
1	GAIN	增益控制。
2	DETO	检波器输出。为AGC功能提供输出误差电流。
3	HPFL	高通滤波器连接。接地电容设置内部输出失调控制环路的转折频率，控制最小可用输入频率。
4, 14, 15	DECL	去耦引脚。标称值约为 $V_s/2$ 。可能需调节去耦电容以使AGC工作(参见“应用信息”部分)。
5	DETI	检波器输入。直流电平以DECL引脚为基准。
6, 7	OCOM	连接OCOM至低阻抗接地。
8	OUTP	信号输出。必须交流耦合。
9, 10	VPSO	正电源电压，4.5 V至5.5 V。VPSO和VPSI必须通过外部相连，并正确旁路。
11, 12, 13, 22, 23	VPSI	正电源电压，4.5 V至5.5 V。VPSO和VPSI必须通过外部相连，并正确旁路。
16, 17, 18, 20	ICOM	连接ICOM至低阻抗接地。
19	INPT	信号输入。必须交流耦合。
21	MODE	增益方向控制。高电平用于正斜率。低电平用于负斜率。
24	ENBL	对器件施加正电压($2.5\text{ V} \leq V_{\text{ENBL}} \leq V_{\text{PSI}}$)以将其激活。
	EPAD	裸露焊盘。连接裸露焊盘至低阻抗接地。

典型性能参数

除非另有说明, $V_s = 5\text{ V}$, $T = 25^\circ\text{C}$, 系统阻抗 $Z_0 = 50\ \Omega$, $\text{MODE} = 5\text{ V}$ 。

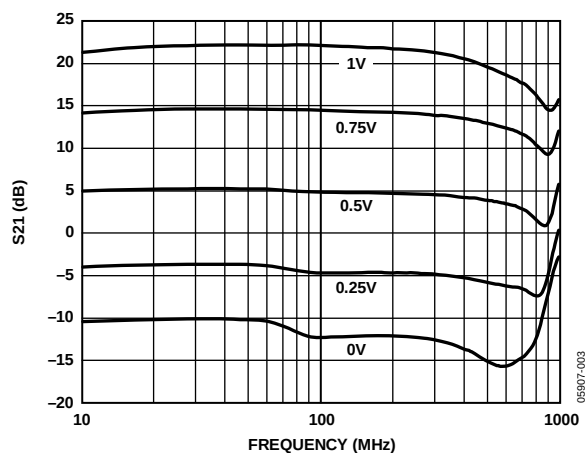


图3. 不同 V_{GAIN} 条件下 S_{21} 与频率的关系

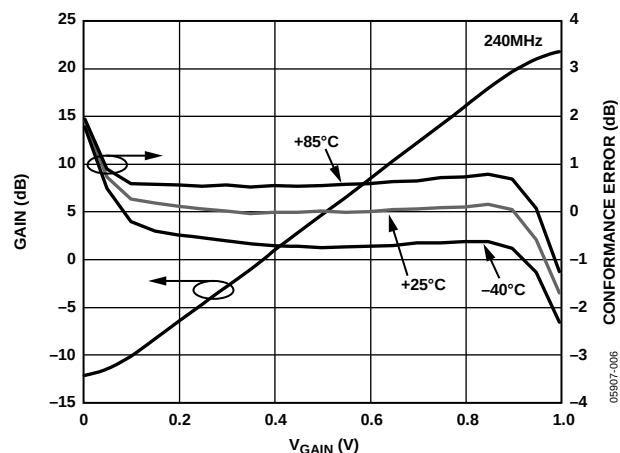


图6. 增益和一致性误差与 V_{GAIN} 的关系 ($f = 240\text{ MHz}$)

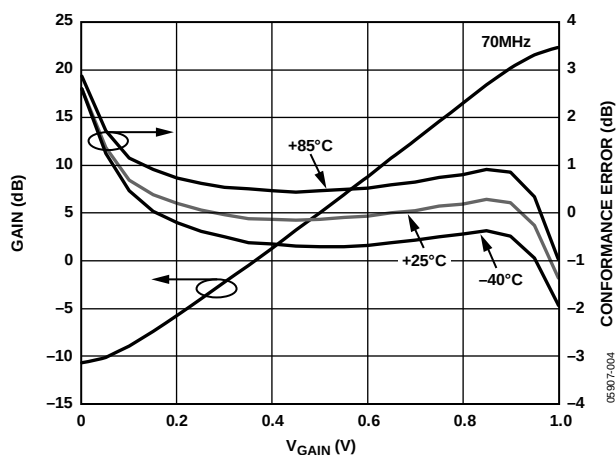


图4. 增益和一致性误差与 V_{GAIN} 的关系 ($f = 70\text{ MHz}$)

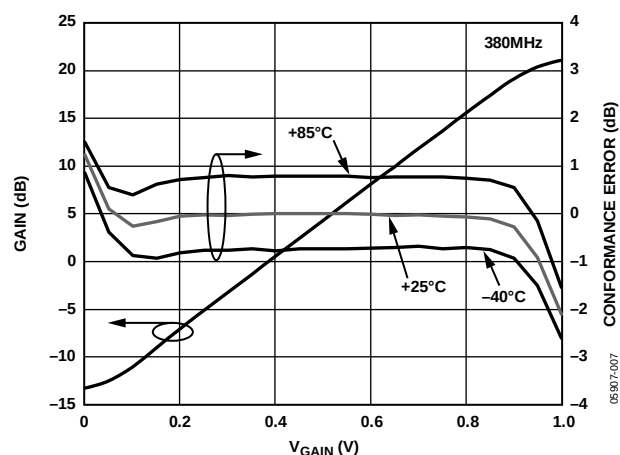


图7. 增益和一致性误差与 V_{GAIN} 的关系 ($f = 380\text{ MHz}$)

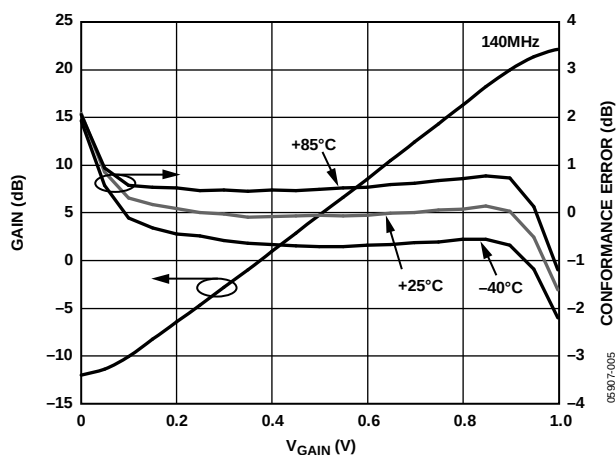


图5. 增益和一致性误差与 V_{GAIN} 的关系 ($f = 140\text{ MHz}$)

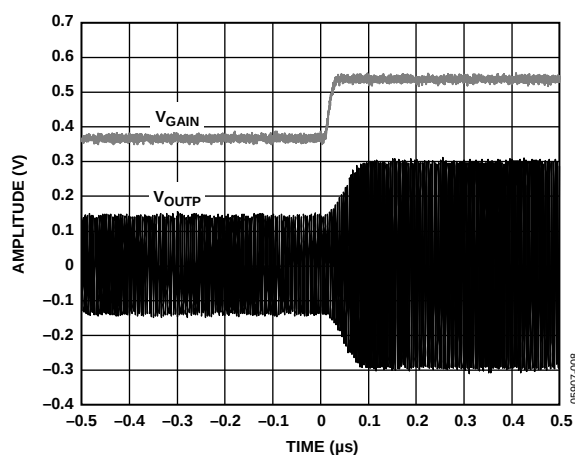


图8. 增益步长时域响应 (6 dB 增益步长)

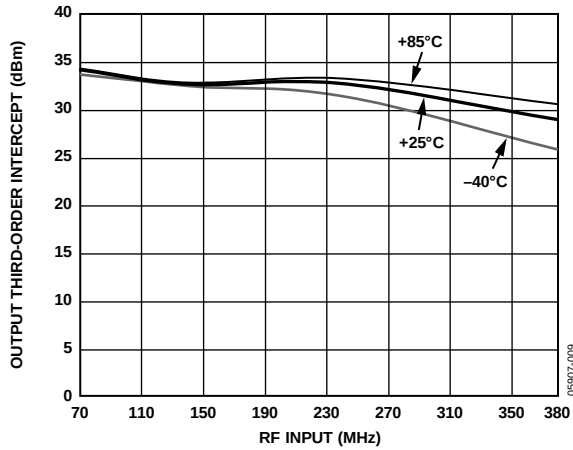


图9. 最大增益下输出三阶交调截点与RF输入频率的关系 ($V_{\text{MODE}} = 0 \text{ V}$)

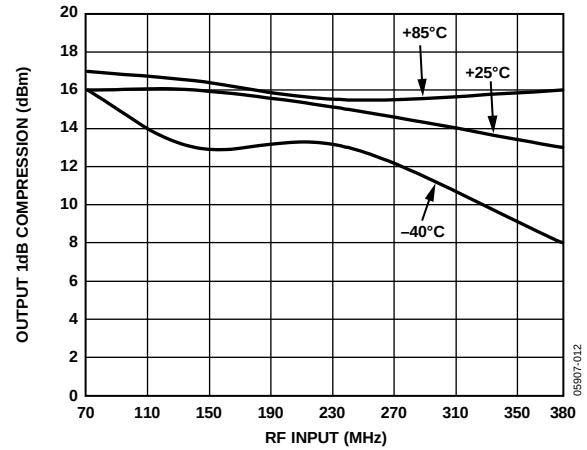


图12. 最大增益下输出1dB压缩点与RF输入频率的关系 ($V_{\text{MODE}} = 0 \text{ V}$)

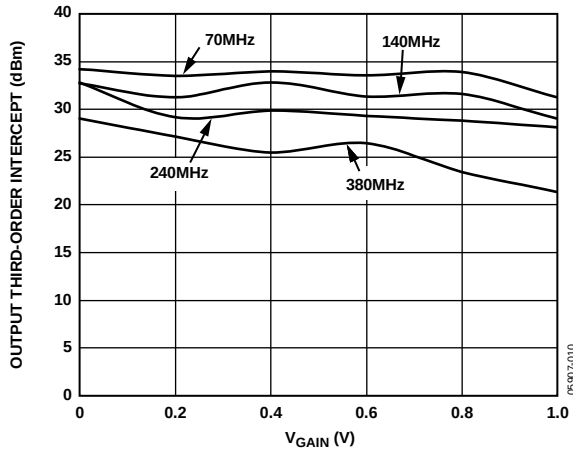


图10. 输出三阶交调截点与 V_{GAIN} 的关系 ($V_{\text{MODE}} = 0 \text{ V}$)

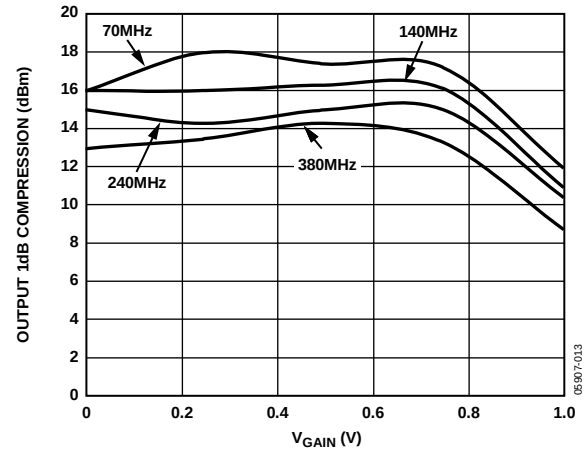


图13. 输出1dB压缩点与 V_{GAIN} 的关系 ($V_{\text{MODE}} = 0 \text{ V}$)

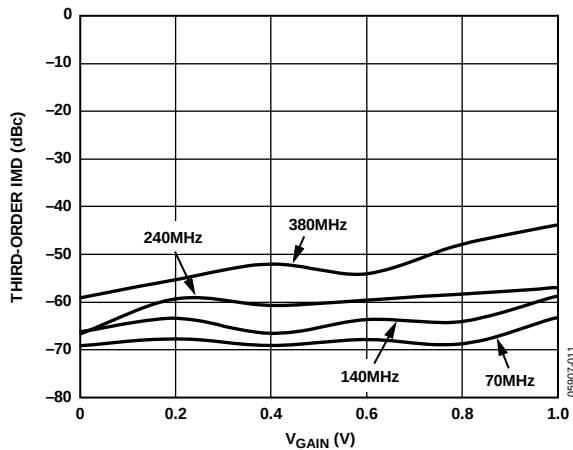


图11. 三阶IMD与 V_{GAIN} 的关系
(输出功率 = 0 dBm/信号音, $V_{\text{MODE}} = 0 \text{ V}$)

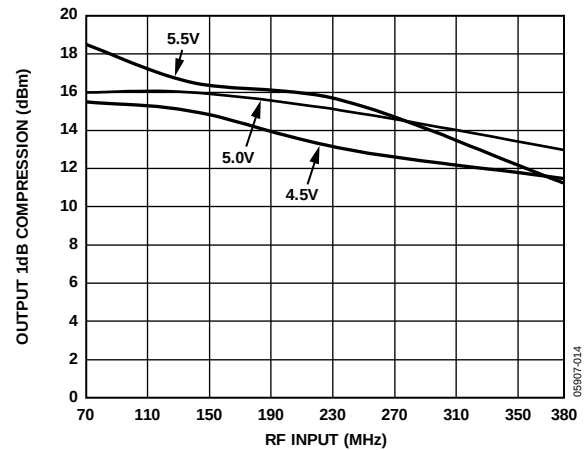


图14. 最大增益下不同电源电压时的输出1dB压缩点与RF输入频率的关系 ($V_{\text{MODE}} = 0 \text{ V}$)

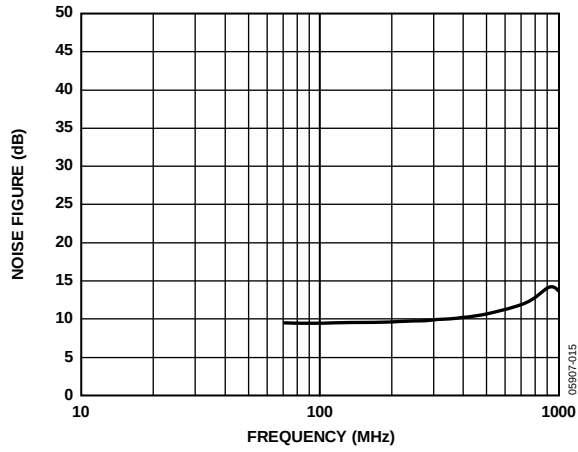


图15. 最大增益下噪声系数与频率的关系($V_{MODE} = 0\text{ V}$)

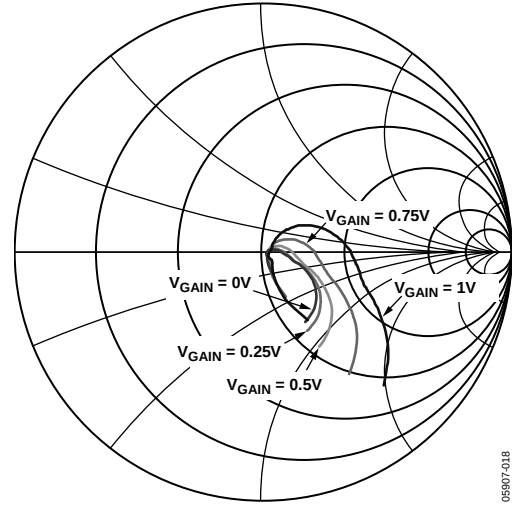


图18. 输入反射系数与频率的关系

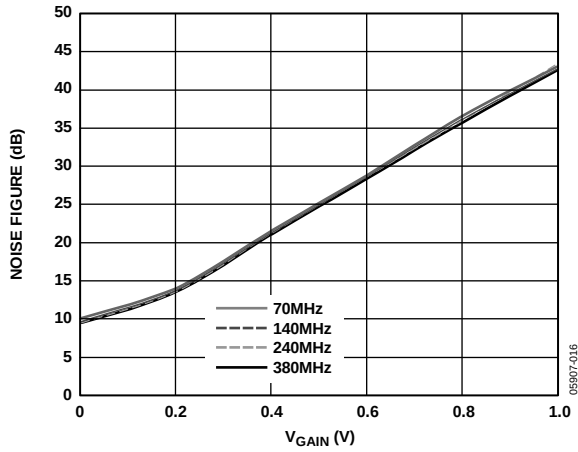


图16. 噪声系数与 V_{GAIN} 的关系($V_{MODE} = 0\text{ V}$)

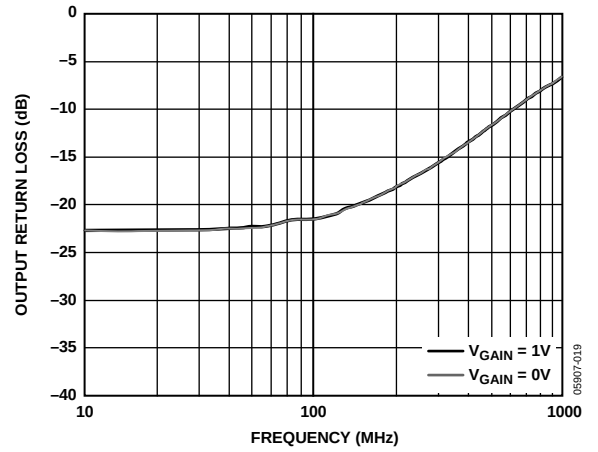


图19. 输出回波损耗与频率的关系

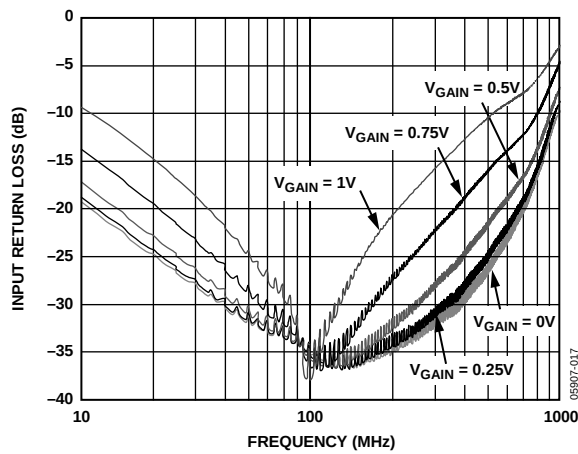


图17. 输入回波损耗与频率的关系

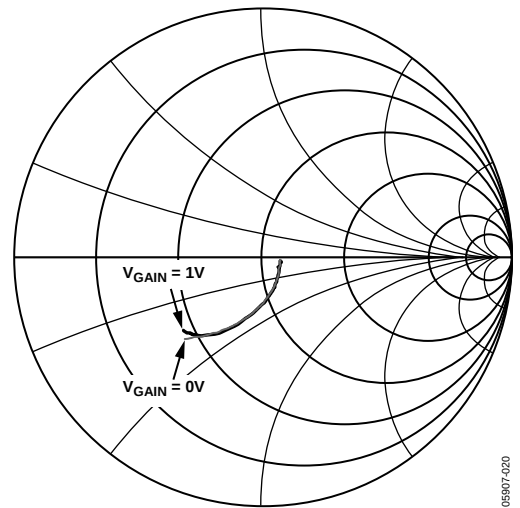


图20. 输出反射系数与频率的关系

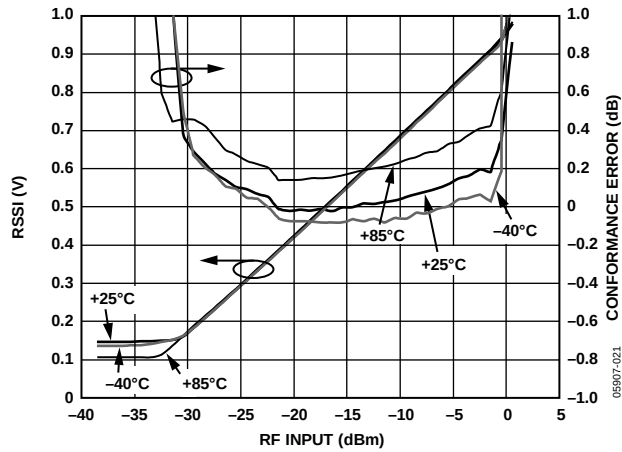


图21. RSSI (V_{DETO})和一致性误差与输入功率的关系($f = 70$ MHz)

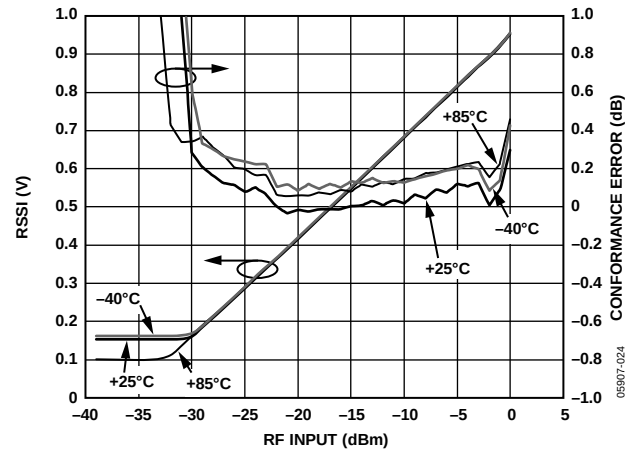


图24. RSSI (V_{DETO})和一致性误差与输入功率的关系($f = 380$ MHz)

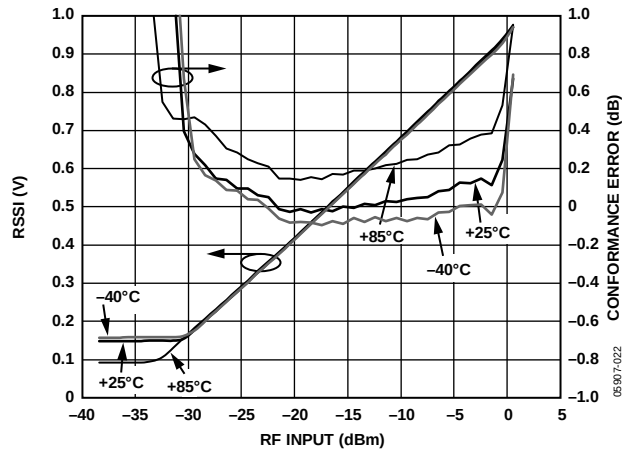


图22. RSSI (V_{DETO})和一致性误差与输入功率的关系($f = 140$ MHz)

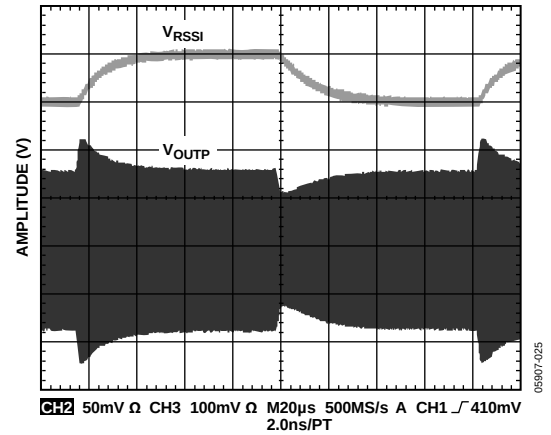


图25. AGC时域响应(3 dB功率步长, $C_{DETO} = 1$ nF)

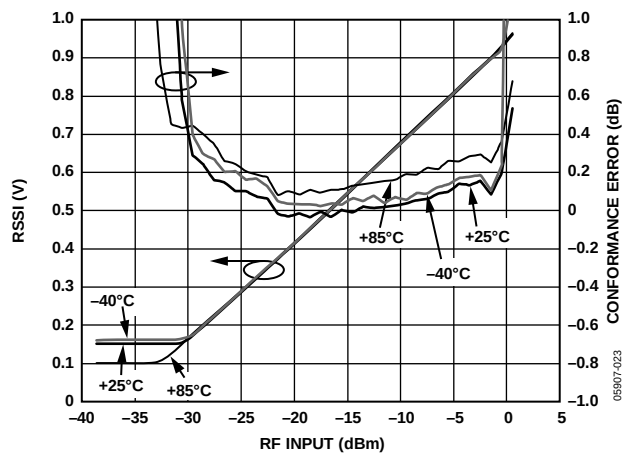


图23. RSSI (V_{DETO})和一致性误差与输入功率的关系($f = 240$ MHz)

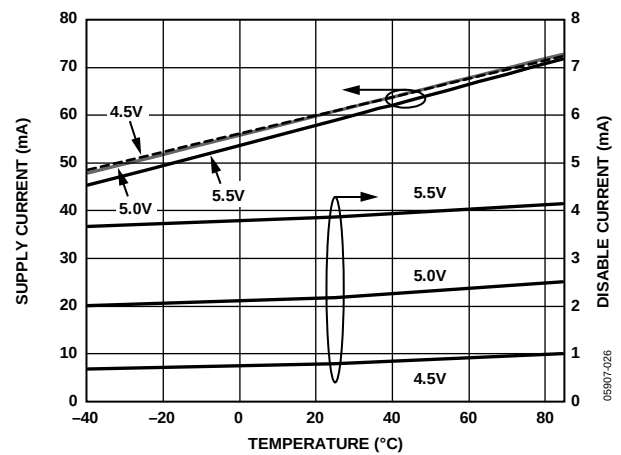


图26. 电源电流和禁用电流与温度的关系

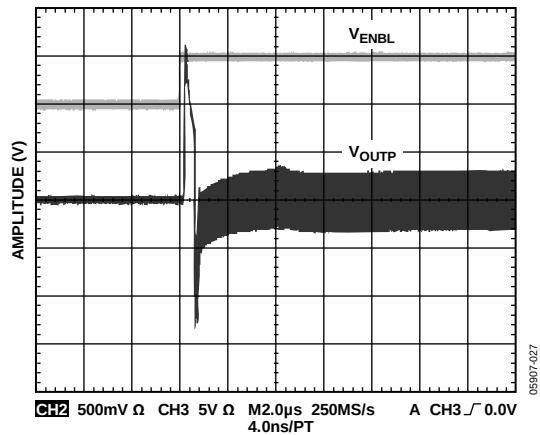


图27. ENBL响应时间

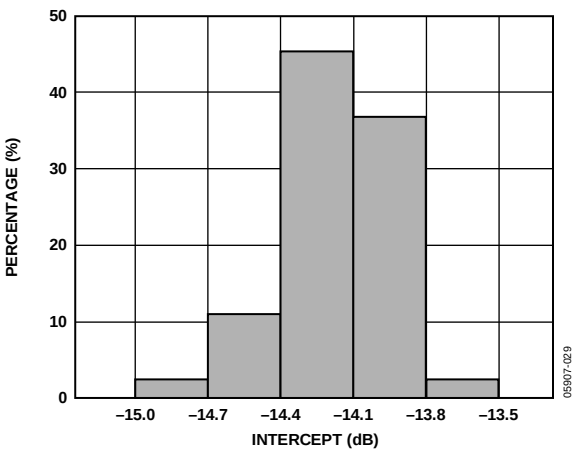


图29. 增益截点分布(140 MHz)

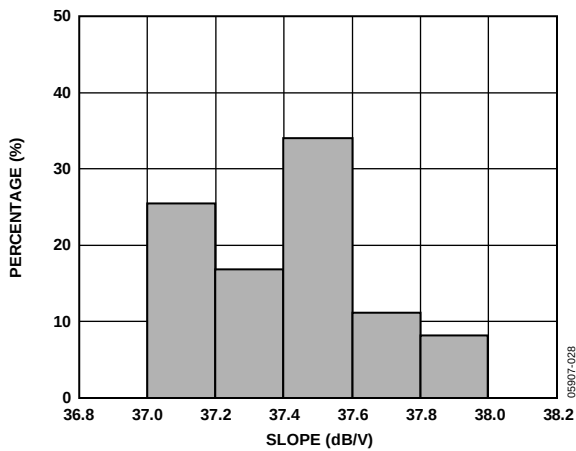


图28. 增益调节分布(140 MHz)

噪声特性

AD8368是单端VGA，带宽为800 MHz，34 dB增益控制范围为-12 dB至+22 dB。它集成了一个无使用约束的平方律检波器，可用在VGA周围形成一个紧凑的AGC环路。采用ADI专利的X-AMP架构，则AD8368可实现精确的线性dB增益控制，具有出色的线性度(OIP3)和噪声系数(NF)。该器件还集成50 Ω输入和输出阻抗，以方便使用。

主信号路径如图30所示，由可变输入衰减器后接一个固定增益放大器和输出缓冲器组成。此架构可实现恒定的OIP3和输出噪声与增益设置的函数关系。因此，每降低1 dB增益，NF和IIP3便增加1 dB，从而器件在增益设置范围内具有恒定的动态范围。

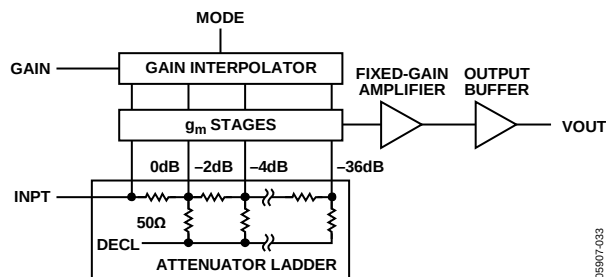


图30. 简化功能框图

输入衰减器和插值器

输入衰减器采用18级电阻梯构建，可在每个连续抽头点上提供2 dB衰减。电阻梯充当线性输入衰减器，并且还可提供精确的50 Ω输入阻抗。可变跨导(g_m)级用来沿电阻梯从适当的抽头点选择衰减信号，并将此信号输入固定增益放大器。若要利用离散抽头点实现连续增益控制功能，通过仔细控制可变 g_m 级，增益插值器可创建相邻抽头点信号的加权和。

固定增益级和输出缓冲器

不同抽头点的加权求和馈入固定增益级，驱动输出缓冲器。作为无源端接，由于阻性输入衰减器是线性的，且产生的噪声极少，因而与增益成函数关系的动态范围主要由固定增益放大器的噪声和失真决定。此架构在不同增益设置下表现出了恒定的OIP3和输出噪声底，而在IIP3和NF中，随着增益下降，dB逐级上升。输出缓冲器增益为6 dB，提供宽带50 Ω单端输出阻抗。

输出失调校正

输入端INPT的直流电平由内部基准电压源驱动至 $V_s/2$ 。DECL引脚提供基准电压源，可用来实现 C_{DECL} 的外部耦合。输出端OUTP的直流电平通过与增益设置、温度和工艺无关的失调校正环路调整至相同的中间电源电压基准。此环路的低通响应可在信号路径传递函数上创建一个高通转折频率，通过选择 C_{DECL} 和 C_{HPFL} 可进行设置。

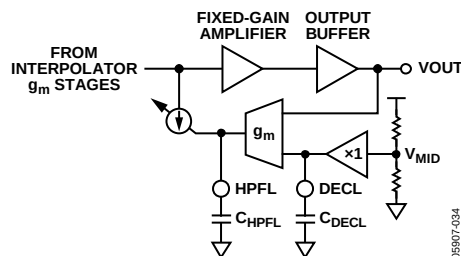


图31. 输出对中控制环路

选择的输入和输出耦合电容应能在相对于50 Ω的目标频率下提供低阻抗，以便不影响高通转折频率。此种情况下，高通转折频率可通过 C_{HPFL} 或 C_{DECL} 设置，并在失调校正环路的反馈路径上形成独立极点。高通转折频率由这些极点中的最大值决定，计算如下：

$$f_{HP, HPFL}(\text{kHz}) = \frac{0.8}{(0.005 + C_{HPFL})}$$

$$f_{HP, DECL}(\text{kHz}) = \frac{5700}{(0.005 + C_{DECL})}$$

其中， C_{HPFL} 和 C_{DECL} 的单位为nF。

使用这种方法来设置高通频率时，应调节其他电容值，以使其极点频率至少低30倍。另外，还需注意， C_{DECL} 表示DECL引脚上的总耦合电容。

输入和输出阻抗

AD8368提供单端宽带50 Ω输入和输出阻抗。每一款器件、整个频率范围内以及每一种增益设置下，都能够保持出色的50 Ω匹配。输入和输出引脚必须外部交流耦合，防止破坏内部直流电平。应使用足够大的耦合电容，使得其阻抗相对于50 Ω(输入端的电阻梯以及输出端的输出缓冲器引起)而言可以忽略。

增益控制接口

AD8368集成线性dB增益控制接口，可在增益上升模式或增益下降模式下工作。在拉高MODE引脚的增益上升模式下，增益随着增益电压的上升而增加。在拉低MODE引脚的增益下降模式下，增益随着增益电压的上升而下降。在两种工作模式下，随着 V_{GAIN} 从100 mV变化到900 mV，增益控制斜率可在温度、电源和工艺变化范围内保持在+37.5 dB/V或-38 dB/V(具体取决于所选模式)。若要在VGA周围采用板载检波器组成AGC环路，必须拉低MODE引脚。

拉高/拉低MODE后的增益函数分别如下所示：

$$\text{增益}_{\text{拉高}} (\text{dB}) = 37.5 \times V_{GAIN} - 14$$

$$\text{增益}_{\text{拉低}} (\text{dB}) = -38 \times V_{GAIN} + 24.8$$

其中， V_{GAIN} 以V表示。

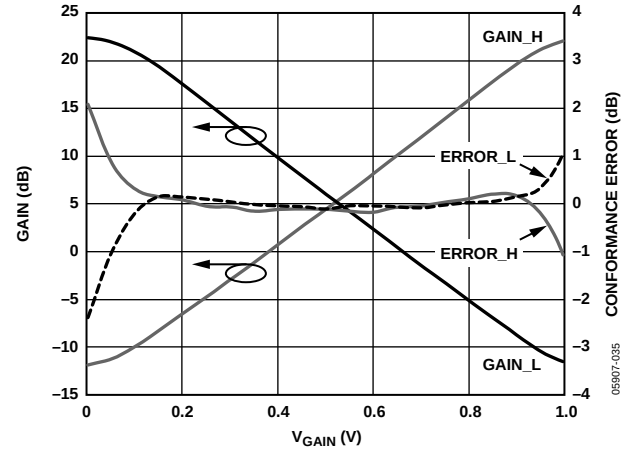


图32. 增益和一致性误差与 V_{GAIN} 的关系

如图32所示，增益函数可以是 V_{GAIN} 的增函数或减函数，具体取决于MODE引脚。

输出设定点可以通过OUTP和DETI之间的外部电阻分压网络增加,并以DECL为基准,如图34所示。在该配置中,rms输出电压通过AGC环路强制设为 $(1 + R1/R2) 63 \text{ mV rms}$ 。对于0 dBm(相对于50 Ω 为224 mV rms)输出设定点,此比例为3.5。校正DETI输入阻抗后,选择 $R1 = 226 \Omega$ 和 $R2 = 100 \Omega$ 便可产生数值约为0 dBm的设定点。这一极为精确的电平函数如图35所示;图中,在超出30 dB的输入电平范围内,rms输出保持在0 dBm设定点的0.2 dB以内。

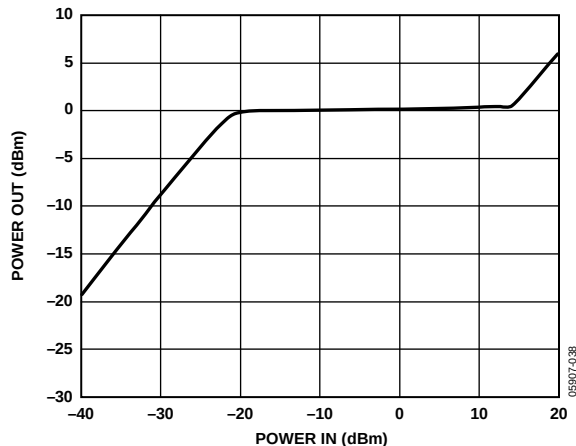


图35. 140 MHz时, AGC模式下输出功率与输入功率的关系

注意,为了实现精确的AGC输出功率电平,DECL电容必须调节为相应的RF频率。取决于电路板的寄生效应,DECL电容值会有所不同。表5所示为根据评估板寄生效应得到的各DECL电容值。

表5. DECL电容值

IF频率(MHz)	C4 (pF)	C20 (pF)
70	1000	2200
140	270	560
240	68	150
380	33	68
480	15	39

在AGC模式下,使用平方律检波器的一个有用的特性,是RSSI电压真正反映了信号功率,并可针对任意给定的源阻抗转换为绝对功率测量值。RSSI基于DETO引脚上的可用电压,参考50 Ω ,单位为dBm,计算如下:

$$RSSI = -11 + 20 \log_{10} (1 + R1/R2) + 38 \times V_{DETO} - 24.8$$

图36显示扫描输入功率时,DETO端的RSSI电压曲线。

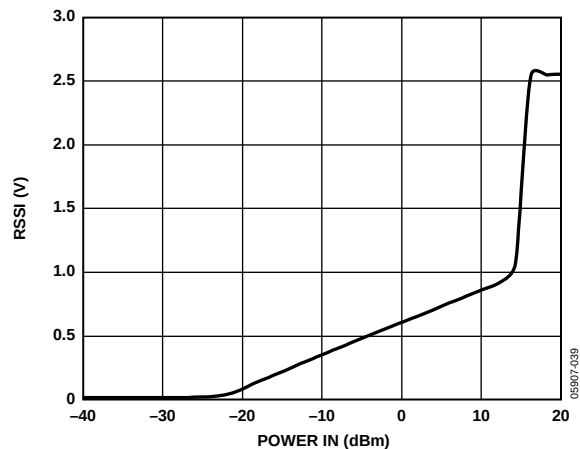


图36. 监控GAIN/DETO RSSI电压与输入功率的关系

某些情况下,可以发现,若驱动至AGC过载,则AD8368需要非常长的时间才能恢复;也就是说,DETO电压将维持在异常高的水平,且增益处于最低值。为了避免发生这种情况,建议在DETO引脚放置一个箝位电路,如图37所示。

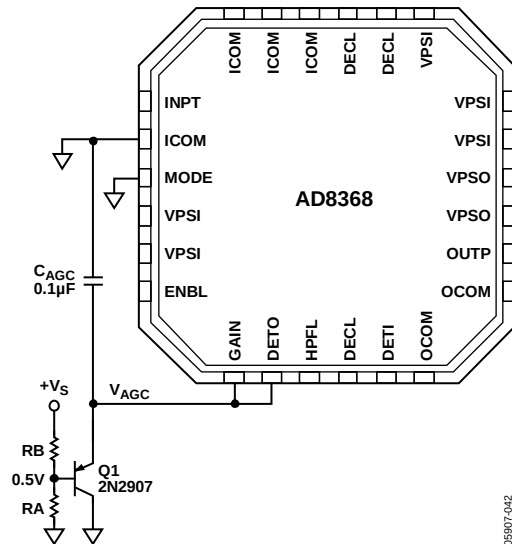


图37. 外部箝位防止AGC过载

电阻分压器网络(RA和RB)应设计为Q1基极驱动至0.5 V

经平均时间常数、响应时间和载波泄露折衷之后，选出 C_{DETO} 。如果选择的 C_{DETO} 数值太小而无法加快响应时间，则AGC环路会开始跟踪任何幅度包络并执行电平转换，破坏星座图。图38显示的是16 QAM、100 ksymbols/s星座图，其误差矢量幅度(EVM)性能下降了5%。将 C_{DETO} 增加到 $0.01\ \mu\text{F}$ ，则EVM便改善至1.1%。

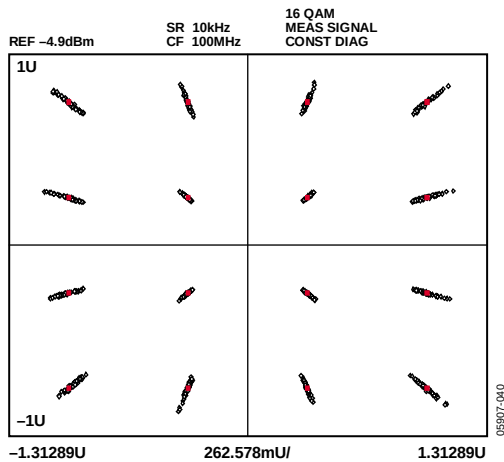


图38. 16 QAM、100 ksymbols/s情况下，误差矢量幅度性能下降(C_{DETO} 太小)

图39显示16 QAM调制、10 Msymbols/s、使用 $C_{DETO} = 1\ \text{nF}$ 时测得的EVM性能。

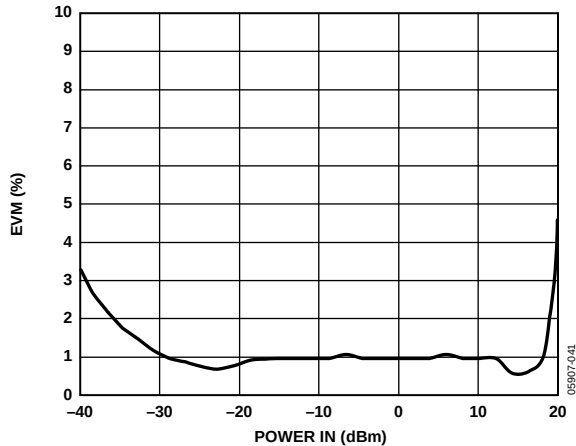


图39. 16 QAM、10 Msymbols/s情况下的误差矢量幅度性能

稳定性和布局考虑因素

某些应用中，印刷电路板(PCB)寄生与驱动级的源阻抗相结合，会在高频产生有问题的阻抗，在某些极端条件下(比如高温、高增益)还可能导致放大器不稳定。为了避免这种现象，建议在AD8368输入端直接连接一个简单的并联RL缓冲器网络。图40显示了这种网络的一个例子。R3和L1形成的RL网络用来最大程度降低高频频率下，反射源条件所导致的不利影响，确保放大器工作的无条件稳定性，保持典型器件性能。

芯片级封装底部有一个裸露压缩焊盘。该焊盘与芯片接地内部相连。将该焊盘焊接至PCB的低阻抗接地层可确保达到额定的电气性能，并可提供散热功能。另外，建议利用过孔将焊盘下方所有层上的接地层拼接在一起，以降低热阻抗。

评估板

标准评估板原理图和布局图如图41至44所示。评估板采用多层FR-4板制造，提供50 Ω 受控阻抗传输线路，用于RF输入和输出走线。该电路板采用4.5 V至5.5 V单电源供电。在每一个电源引脚上，采用0.1 μF 和1 nF电容对电源去耦。还可在电源引脚上加入串联电阻或电感，从而实现进一步去耦。表6详细列出了评估板的各种配置选项。

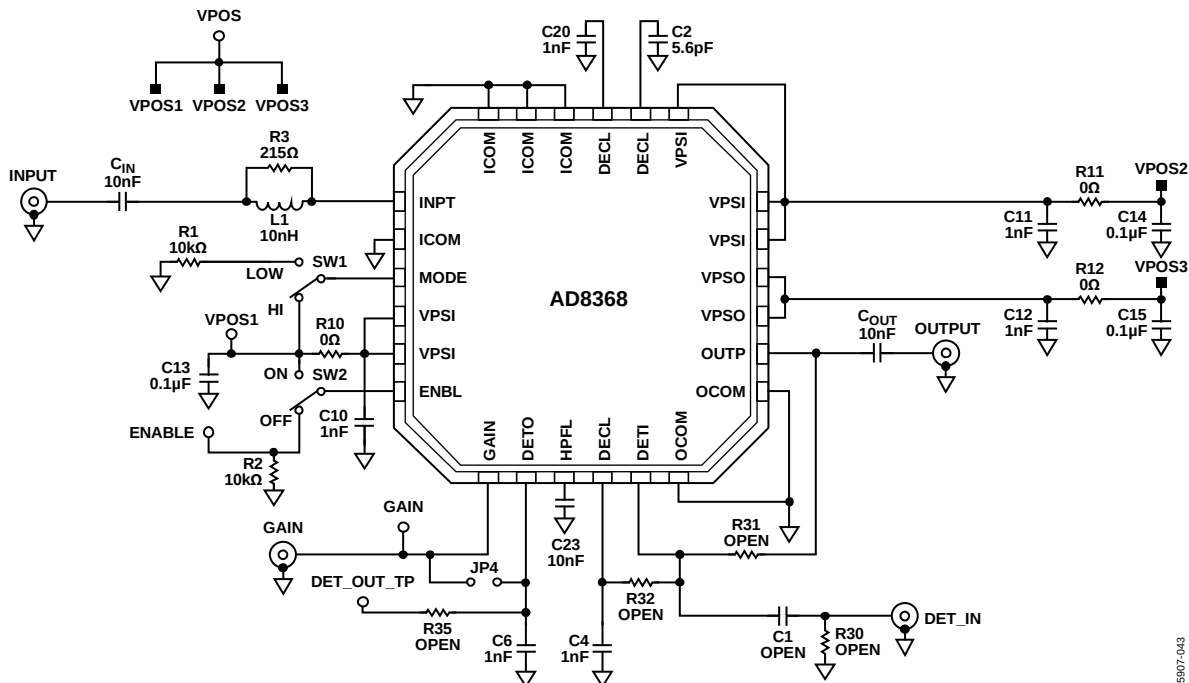


图40. 评估板

05937-043

表6. 评估板配置选项

元件	功能	默认条件
R1, R2, R3, L1	MODE和ENBL的下拉电阻。RL网络。防止PCB寄生效应和/或某些极端条件导致的潜在不稳定性影响(参见“稳定性和布局考虑因素”部分)。	R1 = R2 = 10 k Ω R3 = 215 Ω L1 = 10 nH
R10, R11, R12, C10, C11, C12, C13, C14, C15	电源去耦。跳线、电源去耦电阻和滤波器电容。	R10 = R11 = R12 = 0 Ω C10 = C11 = C12 = 1 nF C13 = C14 = C15 = 0.1 μF
C _{IN}	RF输入。C _{IN} 为RF输入的隔直电容。	C _{IN} = 10 nF
C _{OUT}	RF输出。C _{OUT} 为RF输出的隔直电容。	C _{OUT} = 10 nF
R31, R32	AGC工作反馈路径。对于63 mV rms的默认设定点，设置R31 = 0 Ω ，移除R32。对于其他AGC设定点，rms电压 = (1 + n) × 63 mV rms，其中n = R31/R32。	R31 = R32 = 开路 (VGA模式)
R35	安装0 Ω ，将检波器输出RSSI电压馈入DET_OUT_TP。	R35 = 开路
C23	设置输出失调控制环路高通滤波器的转折频率。	C23 = 10 nF
C1, R30	用于外部驱动检波器。设置R30为50 Ω ，以实现匹配。将C1设为大交流耦合电容。	C1 = 开路 R30 = 开路
C6	DETO电容。若数据速率较低则应选择较大值(参见“AGC工作回路”部分)。	C6 = 1 nF
C20, C2, C4	模式切换。低电平模式可将器件置于增益下降模式。高电平模式可将器件置于增益上升模式。AGC需要在增益下降模式下工作。	C20 = C4 = 1 nF C2 = 5.6 pF

AD8368

元件	功能	默认条件
JP4	AGC工作模式跳线。提供检波器输出到增益引脚的反馈。	JP4 = 未安装(VGA模式)
SW1	模式切换。低电平模式可将器件置于增益下降模式。 高电平模式可将器件置于增益上升模式。AGC需要在增益下降模式下工作。	SW1 = JP2
SW2	关断。使能引脚接地时，器件禁用。	SW2 = JP3

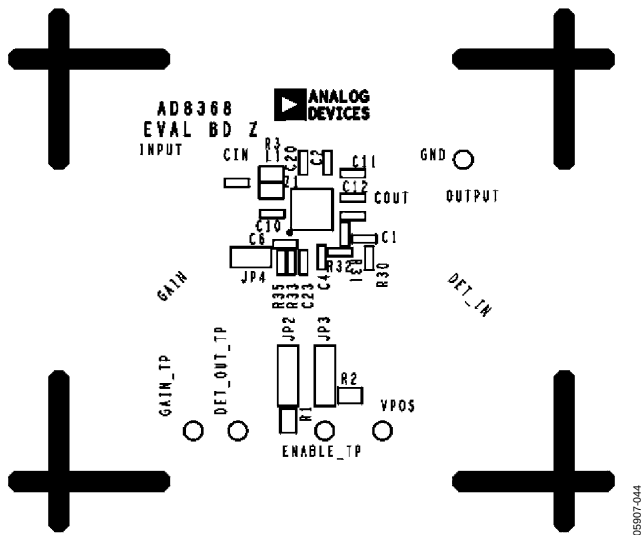


图41. 器件侧丝网图

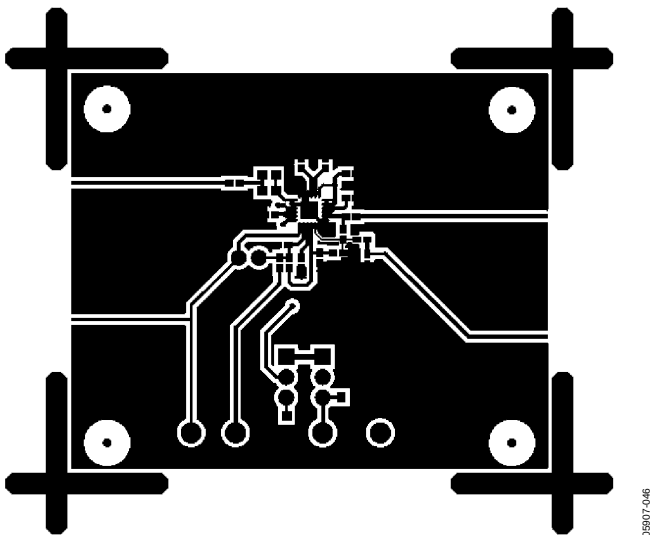


图43. 器件侧布局图

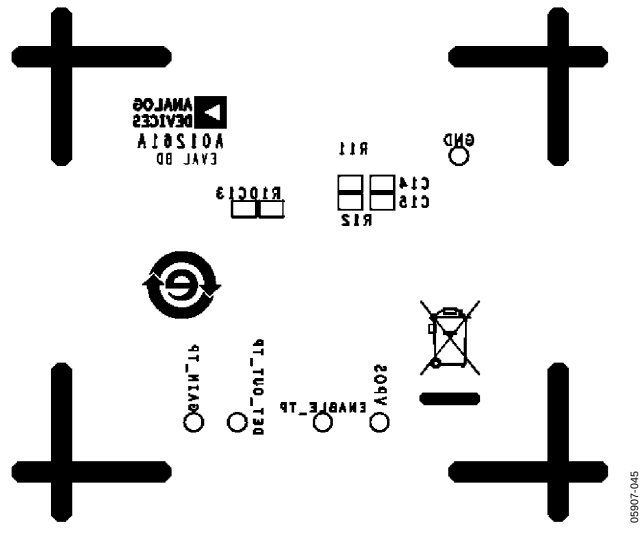


图42. 电路侧丝网图

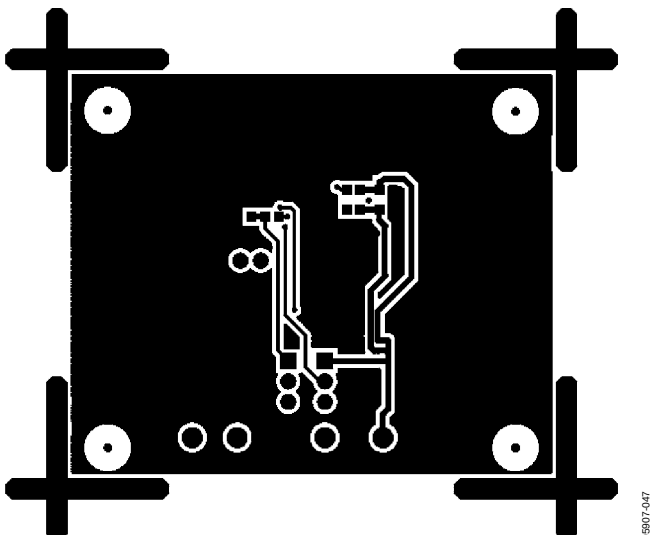
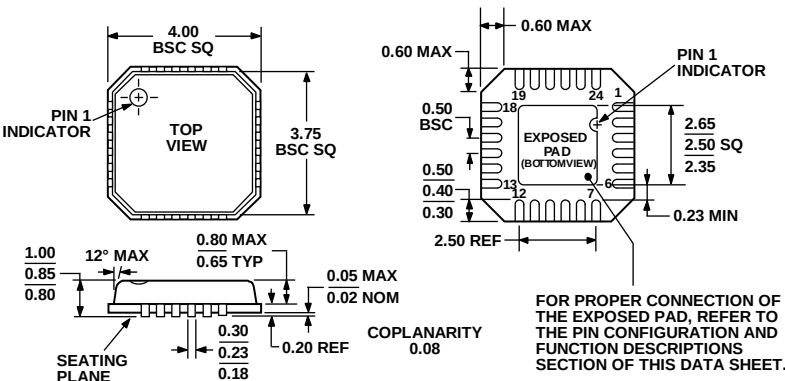


图44. 电路侧布局图

外形尺寸



符合JEDEC标准MO-220-VGGD-8

图45. 24引脚|脚架构芯片级封装[LFCSP_VQ]
4 mm × 4 mm超薄四方体
(CP-24-3)
图示尺寸单位: mm

订购指南

型号	温度范围	封装描述	封装选项	订购数量
AD8368ACPZ-REEL7 ¹	-40°C至+85°C	24引脚 脚架构芯片级封装(LFCSP_VQ)	CP-24-3	1,500
AD8368ACPZ-WP ^{1, 2}	-40°C至+85°C	24引脚 脚架构芯片级封装(LFCSP_VQ)	CP-24-3	64
AD8368-EVALZ ¹		评估板		

¹ Z = 符合RoHS标准的器件。

² WP = 窝伏尔组件。

注释