

产品特性

低功耗

AD7988-5: 3.5 mW (500 kSPS)

AD7988-1: 700 μ W (100 kSPS)

16位分辨率、无失码

吞吐速率: 100 kSPS/500 kSPS可选

INL: ± 0.6 LSB(典型值), ± 1.25 LSB(最大值)

SINAD: 91.5 dB (10 kHz)

THD: -114 dB (10 kHz)

伪差分模拟输入范围

0 V至 V_{REF} (V_{REF} 在2.5 V至5.5 V之间)

任意输入范围, 可利用**ADA4841-1**轻松驱动

无流水线延迟

采用2.5 V单电源供电, 提供1.8 V/2.5 V/3 V/5 V逻辑接口

SPI/QSPI/MICROWIRE™/DSP兼容串行接口

以菊花链形式连接多个ADC

10引脚MSOP和10引脚3 mm $\times$ 3 mm LFCSP (QFN)(SOT-23尺寸)封装

宽工作温度范围: -40°C 至 $+125^{\circ}\text{C}$

应用

电池供电设备

低功耗数据采集系统

便携式医疗仪器

自动测试设备

数据采集

通信

概述

AD7988-1/AD7988-5是16位、逐次逼近型模数转换器(ADC), 采用单电源VDD供电。**AD7988-1**提供100 kSPS吞吐量, **AD7988-5**提供500 kSPS吞吐量。两者均为采用多功能串行接口端口的低功耗、16位采样ADC。在CNV上升沿, 器件对IN+与IN-之间的模拟输入电压差进行采样, 范围从0 V至 V_{REF} 。基准电压(REF)由外部提供, 并且可以独立于电源电压(VDD)。

SPI兼容串行接口还能够利用SDI输入, 通过一组三线式总线将几个ADC以菊花链形式连结起来。它采用独立电源VIO, 兼容1.8 V、2.5 V、3 V和5 V逻辑。

AD7988-1/AD7988-5采用10引脚MSOP封装或10引脚LFCSP (QFN)封装, 工作温度范围为 -40°C 至 $+125^{\circ}\text{C}$ 。

表1. MSOP、LFCSP (QFN) 14/16/18位PuISAR® ADC

位数	100 kSPS	250 kSPS	400 kSPS 至 500 kSPS	≥ 1000 kSPS	ADC驱动器
18 ¹		AD7691²	AD7690²	AD7982² AD7984²	ADA4941-1 ADA4841-1
16 ¹	AD7684	AD7687²	AD7688² AD7693²		ADA4941-1 ADA4841-1
16 ³	AD7680 AD7683 AD7988-1²	AD7685² AD7694	AD7686² AD7988-5²	AD7980²	ADA4841-1 ADA4841-1 ADA4841-1
14 ³	AD7940	AD7942²	AD7946²		ADA4841-1

¹ 真差分。
² 引脚兼容。
³ 伪差分。

典型应用图

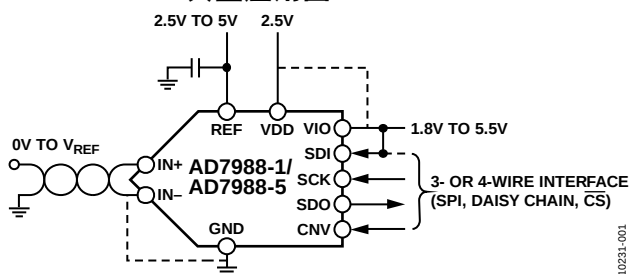


图1

Rev. B

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文, 敬请谅解翻译中可能存在的语言组织或翻译错误, ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性, 请参考ADI提供的最新英文版数据手册。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 www.analog.com
Fax: 781.461.3113 ©2012 Analog Devices, Inc. All rights reserved.

目录

产品特性	1	模拟输入	16
应用	1	驱动放大器选择	16
概述	1	基准电压输入	17
典型应用图	1	电源	17
修订历史	2	数字接口	17
技术规格	3	CS模式，三线式	18
时序规格	5	CS模式，四线式	19
绝对最大额定值	7	链模式	20
ESD警告	7	应用信息	21
引脚配置和功能描述	8	与Blackfin® DSP接口	21
术语	9	布局	21
典型性能指标	10	评估AD7988-x性能	21
工作原理	14	外形尺寸	22
电路信息	14	订购指南	23
转换器操作	14		
典型连接图	15		

修订历史

2012年5月—修订版A至修订版B

更改表3	4
更新“外形尺寸”	22

2012年2月—修订版0至修订版A

添加LFCSP热阻值	7
更新“外形尺寸”	23
更改“订购指南”	23

2012年2月—修订版0：初始版

技术规格

除非另有说明，VDD = 2.5 V，VIO = 2.3 V至5.5 V， $V_{REF} = 5\text{ V}$ ， $T_A = -40^{\circ}\text{C}$ 至 $+125^{\circ}\text{C}$ 。

表2.

参数	测试条件/注释	最小值	典型值	最大值	单位
分辨率		16			位
模拟输入					
电压范围	IN+ – IN–	0		V_{REF}	V
绝对输入电压	IN+	–0.1		$V_{REF} + 0.1$	V
	IN–	–0.1		+0.1	V
模拟输入CMRR	$f_{IN} = 1\text{ kHz}$		60		dB
25°C时漏电流	采集阶段		1		nA
输入阻抗		参见模拟输入部分			
精度					
无失码		16			位
微分线性误差	$V_{REF} = 5\text{ V}$	–0.9	± 0.4	+0.9	LSB ¹
	$V_{REF} = 2.5\text{ V}$		± 0.55		LSB ¹
积分线性误差	$V_{REF} = 5\text{ V}$	–1.25	± 0.6	+1.25	LSB ¹
	$V_{REF} = 2.5\text{ V}$		± 0.65		LSB ¹
跃迁噪声	$V_{REF} = 5\text{ V}$		0.6		LSB ¹
	$V_{REF} = 2.5\text{ V}$		1.0		LSB ¹
增益误差(T_{MIN} 至 T_{MAX}) ²			± 2		LSB ¹
增益误差温漂			± 0.35		ppm/ $^{\circ}\text{C}$
零电平误差(T_{MIN} 至 T_{MAX}) ²		–0.5	± 0.08	+0.5	mV
零温漂			0.54		ppm/ $^{\circ}\text{C}$
电源灵敏度	$VDD = 2.5\text{ V} \pm 5\%$		± 0.1		LSB ¹
吞吐速率					
AD7988-1					
转换速率	$VIO \geq 2.3\text{ V}$ (85°C及以下), $VIO \geq 3.3\text{ V}$ (85°C以上至125°C)	0		100	kSPS
瞬态响应	满量程阶跃			500	ns
AD7988-5					
转换速率	$VIO \geq 2.3\text{ V}$ (85°C及以下), $VIO \geq 3.3\text{ V}$ (85°C以上至125°C)	0		500	kSPS
瞬态响应	满量程阶跃			400	ns
交流精度					
动态范围	$V_{REF} = 5\text{ V}$		92		dB ³
	$V_{REF} = 2.5\text{ V}$		87		dB ³
过采样动态范围	$f_O = 10\text{ kSPS}$		111		dB ³
信噪比(SNR)	$f_{IN} = 10\text{ kHz}$, $V_{REF} = 5\text{ V}$	90	91		dB ³
	$f_{IN} = 10\text{ kHz}$, $V_{REF} = 2.5\text{ V}$		86.5		dB ³
	$f_{IN} = 10\text{ kHz}$		–110		dB ³
总谐波失真(THD)	$f_{IN} = 10\text{ kHz}$		–114		dB ³
信纳比(SINAD)	$f_{IN} = 10\text{ kHz}$, $V_{REF} = 5\text{ V}$		91.5		dB ³
	$f_{IN} = 10\text{ kHz}$, $V_{REF} = 2.5\text{ V}$		87.0		dB ³

¹ LSB表示最低有效位。5 V输入范围时，1 LSB = 76.3 μV 。

² 参见术语部分。这些规格包括整个温度范围内的波动，但不包括外部基准电压源的误差贡献。

³ 除非另有说明，所有用分贝(dB)表示的规格均参考满量程输入FSR，并用低于满量程0.5 dB的输入信号进行测试。

AD7988-1/AD7988-5

除非另有说明，VDD = 2.5 V，VIO = 2.3 V至5.5 V，V_{REF} = 5 V，T_A = -40°C至+125°C。

表3.

参数	测试条件/注释	最小值	典型值	最大值	单位
基准电压		2.4		5.1	V
电压范围			250		μA
负载电流	V _{REF} = 5 V				
采样动态性能			10		MHz
-3 dB输入带宽	VDD = 2.5 V		2.0		ns
孔径延迟					
数字输入					
逻辑电平					
V _{IL}	VIO > 3 V	-0.3		0.3 × VIO	V
V _{IH}	VIO > 3 V	0.7 × VIO		VIO + 0.3	V
V _{IL}	VIO ≤ 3 V	-0.3		0.1 × VIO	V
V _{IH}	VIO ≤ 3 V	0.9 × VIO		VIO + 0.3	V
I _{IL}		-1		+1	μA
I _{IH}		-1		+1	μA
数字输出					
数据格式			串行16位直接二进制		
流水线延迟			转换完成后转换结果		
			立即可用		
V _{OL}	I _{SINK} = 500 μA			0.4	V
V _{OH}	I _{SOURCE} = -500 μA	VIO - 0.3			V
电源					
VDD		2.375	2.5	2.625	V
VIO	额定性能	2.3		5.5	V
VIO范围		1.8		5.5	V
待机电流 ^{1,2}	VDD和VIO = 2.5 V，25°C		0.35		nA
AD7988-1功耗	10 kSPS吞吐速率		70		μW
	100 kSPS吞吐速率		700		μW
				1	mW
AD7988-5功耗	500 kSPS吞吐速率		3.5	5	mW
每次转换的能量			7.0		nJ/采样
温度范围					
额定性能	T _{MIN} 至 T _{MAX}	-40		+125	°C

¹ 根据需要，所有数字输入强制接VIO或GND。

² 在采集阶段。

时序规格

除非另有说明，VDD = 2.37 V至2.63 V，VIO = 3.3 V至5.5 V，-40°C至+125°C。负载条件参见图2和图3。

表4.

参数	符号	最小值	典型值	最大值	单位
AD7988-1					
吞吐速率				100	kHz
转换时间：CNV上升沿至数据可用	t _{CONV}			9.5	μs
采集时间	t _{ACQ}	500			ns
转换间隔时间	t _{CYC}	10			μs
AD7988-5					
吞吐速率				500	kHz
转换时间：CNV上升沿至数据可用	t _{CONV}			1.6	μs
采集时间	t _{ACQ}	400			ns
转换间隔时间	t _{CYC}	2			μs
CNV脉冲宽度($\overline{\text{CS}}$ 模式)	t _{CNVH}	500			ns
SCK周期($\overline{\text{CS}}$ 模式)	t _{SCK}				
VIO高于4.5 V		10.5			ns
VIO高于3 V		12			ns
VIO高于2.7 V		13			ns
VIO高于2.3 V		15			ns
SCK周期(链模式)	t _{SCK}				
VIO高于4.5 V		11.5			ns
VIO高于3 V		13			ns
VIO高于2.7 V		14			ns
VIO高于2.3 V		16			ns
SCK低电平时间	t _{SCKL}	4.5			ns
SCK高电平时间	t _{SCKH}	4.5			ns
SCK下降沿至数据仍然有效	t _{HSDO}	3			ns
SCK下降沿至数据有效延迟时间	t _{DSDO}				
VIO高于4.5 V				9.5	ns
VIO高于3 V				11	ns
VIO高于2.7 V				12	ns
VIO高于2.3 V				14	ns
CNV或SDI低电平至SDO D15 MSB有效($\overline{\text{CS}}$ 模式)	t _{EN}				
VIO高于3 V				10	ns
VIO高于2.3V				15	ns
CNV或SDI高电平或最后一个SCK下降沿至SDO高阻态($\overline{\text{CS}}$ 模式)	t _{DIS}			20	ns
CNV上升沿至SDI有效建立时间	t _{SSDICNV}	5			ns
CNV上升沿至SDI有效保持时间($\overline{\text{CS}}$ 模式)	t _{HSDICNV}	2			ns
CNV上升沿至SDI有效保持时间(链模式)	t _{HSDICNV}	0			ns
CNV上升沿至SCK有效建立时间(链模式)	t _{SSCKCNV}	5			ns
CNV上升沿至SCK有效保持时间(链模式)	t _{HSCKCNV}	5			ns
SCK下降沿至SDI有效建立时间(链模式)	t _{SSDISCK}	2			ns
SCK下降沿至SDI有效保持时间(链模式)	t _{HSDISCK}	3			ns

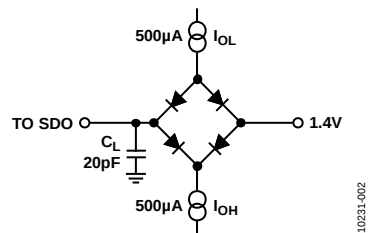


图2. 数字接口时序的负载电路

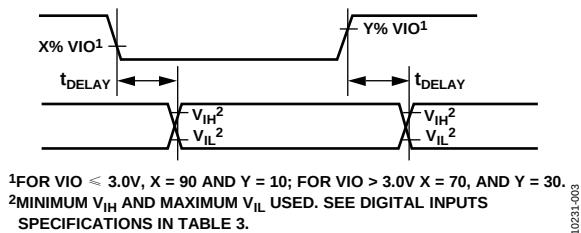


图3. 时序的电平

绝对最大额定值

表5.

参数	额定值
模拟输入 IN ⁺ , ¹ IN ⁻ 至 GND	-0.3 V 至 $V_{REF} + 0.3 \text{ V}$ 或 $\pm 130 \text{ mA}$
电源电压 REF, VIO 至 GND	-0.3 V 至 +6 V
VDD 至 GND	-0.3 V 至 +3 V
VDD 至 VIO	+3 V 至 -6 V
数字输入至 GND	-0.3 V 至 $VIO + 0.3 \text{ V}$
数字输出至 GND	-0.3 V 至 $VIO + 0.3 \text{ V}$
存储温度范围	-65°C 至 +125°C
结温	150°C
θ_{JA} 热阻	
10引脚MSOP	200°C/W
10引脚LFCSP	80°C/W
θ_{JC} 热阻	
10引脚MSOP	44°C/W
10引脚LFCSP	15°C/W
回流焊	JEDEC标准(J-STD-020)

¹ 参见模拟输入部分。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

AD7988-1/AD7988-5

引脚配置和功能描述

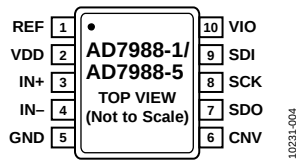


图4. 10引脚MSOP的引脚配置

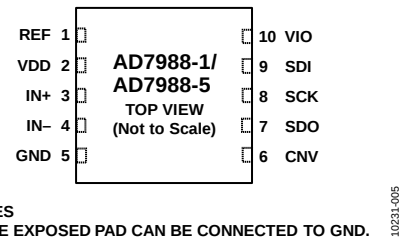


图5. 10引脚LFCSP (QFN)引脚配置

表6. 引脚功能描述

引脚编号	引脚名称	类型 ¹	描述
1	REF	AI	基准输入电压。V _{REF} 范围为2.4 V至5.1 V。此引脚参考GND引脚，应通过10μF电容把REF引脚去耦至与其靠近的GND引脚。
2	VDD	P	电源。
3	IN+	AI	模拟输入引脚。相对于IN-。电压范围(例如，IN+与IN-的差值)为0V至V _{REF} 。
4	IN-	AI	模拟输入地检测。连接到模拟接地层或远端检测地。
5	GND	P	电源地。
6	CNV	DI	转换输入。此输入具有多个功能。在上升沿可启动转换并选择器件的接口模式：链模式或CS模式。CS模式下，CNV为低电平时SDO引脚使能。链模式下，数据应在CNV为高电平时读取。
7	SDO	DO	串行数据输出。转换结果通过此引脚输出。它与SCK同步。
8	SCK	DI	串行数据时钟输入。器件被选择时，转换结果通过此时钟移出。
9	SDI	DI	串行数据输入。此输入提供多个功能。如下选择ADC接口模式： 如果此引脚在CNV上升沿期间为低电平，则选择链模式。此模式下，SDI用作数据输入，以将两个或更多ADC的转换结果以菊花链方式传输到单一SDO线路上。SDI上的数字数据电平通过SDO输出，延迟16个SCK周期。 如果SDI在CNV上升沿期间为高电平，则选择CS模式。此模式下，SDI或CNV在低电平时均可使能串行输出信号。
10	VIO	P	输入/输出接口数字电源。一般与主机接口电源相同(1.8V、2.5V、3V或5V)。
	EP		裸露焊盘。裸露焊盘可连接到GND。

¹AI = 模拟输入，DI = 数字输入，DO = 数字输出，而P = 电源。

术语

积分非线性误差(INL)

INL是指每个码与一条从负满量程画到正满量程的直线偏差。用作负满量程的该点出现在第一个码跃迁之前的 $\frac{1}{2}$ LSB处。正满量程定义为超出最后一个码跃迁 $1\frac{1}{2}$ LSB的一个电平。从各码的中心到该直线的距离即为偏差(见图30)。

微分非线性误差(DNL)

在一个理想ADC中，码跃迁相距1 LSB。DNL是指实际值与此理想值的最大偏差。经常用保证无失码的分辨率来描述这一规格。

失调误差

第一个码跃迁应对应于一个比模拟地高 $\frac{1}{2}$ LSB的电平(对于0 V至5 V范围，它等于38.1 μ V)。失调误差是指实际跃迁与该点的偏差。

增益误差

当模拟电压低于标称满量程 $1\frac{1}{2}$ LSB时(对于0 V至5 V范围，应在4.999886 V)，发生最后一个码跃迁(从111 ... 10跃迁至111 ... 11)。增益误差是指在消除失调误差之后，最后一个码跃迁的实际电平与理想电平的偏差。

无杂散动态范围(SFDR)

SFDR指输入信号与峰值杂散信号的均方根幅值之差，用分贝(dB)表示。

有效位数(ENOB)

ENOB指利用正弦波输入测得的分辨率。它与SINAD的关系可以表示为：

$$ENOB = (SINAD_{dB} - 1.76)/6.02$$

它用位表示。

无噪声代码分辨率

无噪声代码分辨率是指这样一个位数，如果超过该位数，则无法明确无误地解析各个代码，其计算公式为：

$$\text{无噪声代码分辨率} = \log_2(2N/\text{峰峰值噪声})$$

它用位表示。

有效分辨率

有效分辨率的计算公式如下：

$$\text{有效分辨率} = \log_2(2^N/\text{均方根输入噪声})$$

它用位表示。

总谐波失真(THD)

THD指前五个谐波成分的均方根和与满量程输入信号的均方根值之比，用dB表示。

动态范围

动态范围指满量程的均方根值与输入短接在一起时测得的总均方根噪声之比，用dB表示。它使用-60 dBF下的信号测得，因此包括所有噪声源和DNL伪像。

信噪比(SNR)

SNR指实际输入信号的均方根值与奈奎斯特频率以下除谐波和直流以外所有其它频谱成分的均方根和之比，用dB表示。

信纳比(SINAD)

SINAD指实际输入信号的均方根值与奈奎斯特频率以下包括谐波但直流除外的所有其它频谱成分的均方根和之比，用dB表示。

孔径延迟

孔径延迟衡量采集性能，指从CNV输入的上升沿到输入信号被保持后用于转换的时间。

瞬态响应

瞬态响应是指施加满量程阶跃信号之后，ADC对输入进行精确采集所需的时间。

典型工作特性

除非另有说明, $V_{DD} = 2.5\text{ V}$, $V_{REF} = 5.0\text{ V}$, $V_{IO} = 3.3\text{ V}$ 。

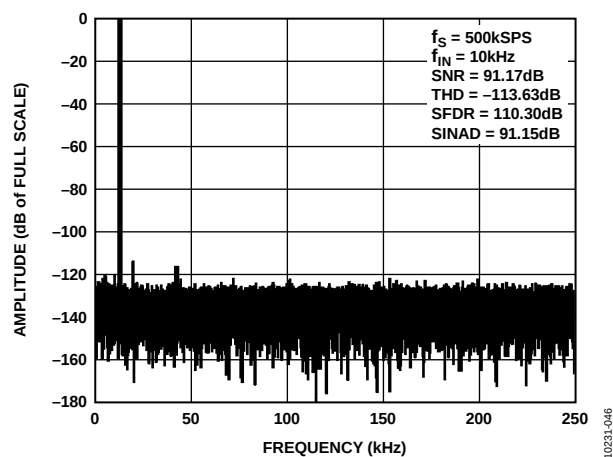


图6. AD7988-5 FFT曲线图, $V_{REF} = 5\text{ V}$

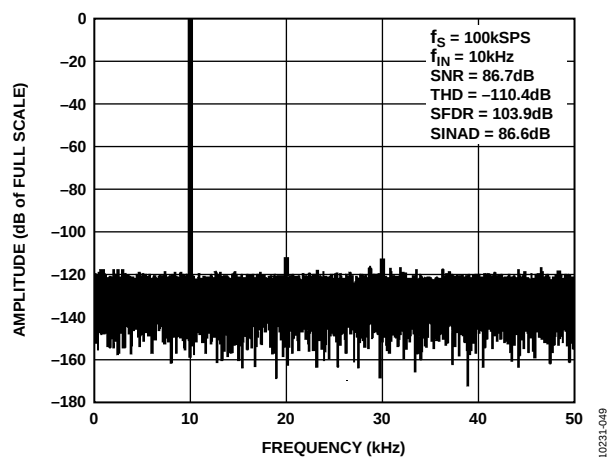


图9. AD7988-1 FFT曲线图, $V_{REF} = 2.5\text{ V}$

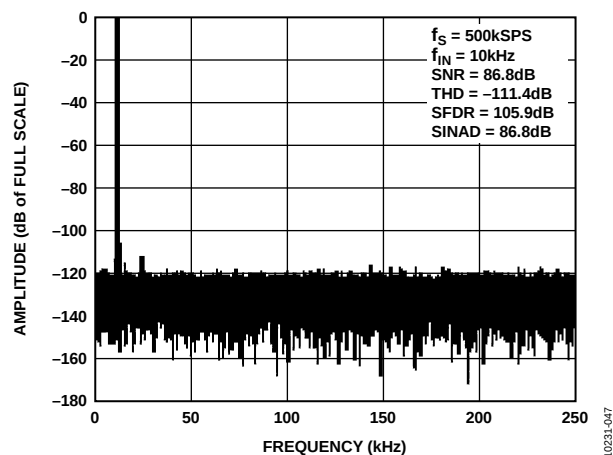


图7. AD7988-5 FFT曲线图, $V_{REF} = 2.5\text{ V}$

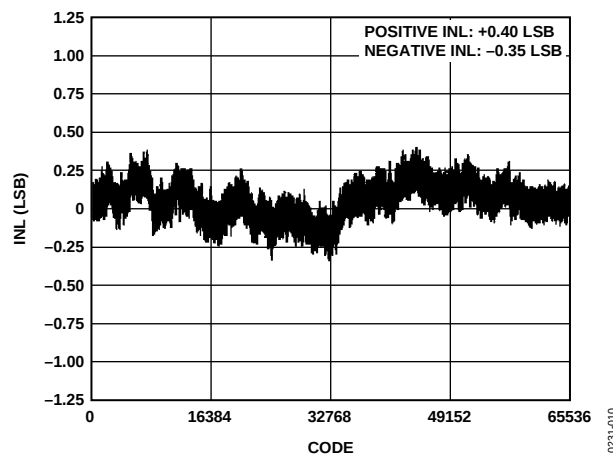


图10. 积分非线性与码的关系, $V_{REF} = 5\text{ V}$

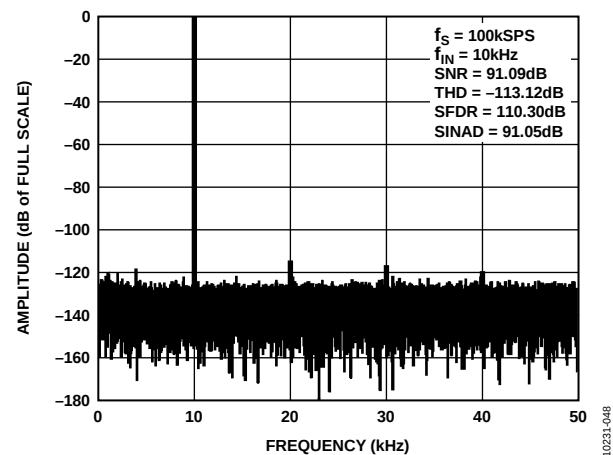


图8. AD7988-1 FFT曲线图, $V_{REF} = 5\text{ V}$

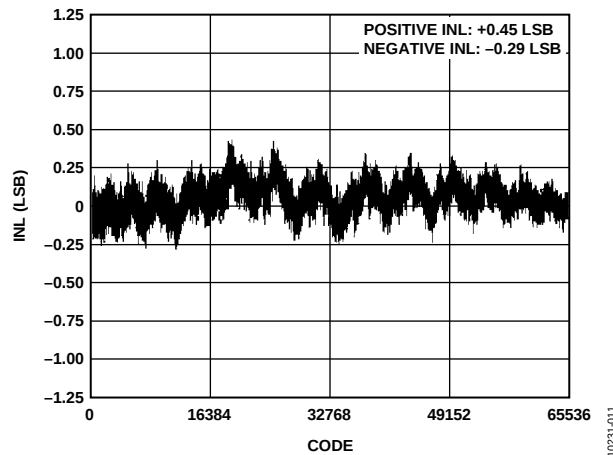


图11. 积分非线性与码的关系, $V_{REF} = 2.5\text{ V}$

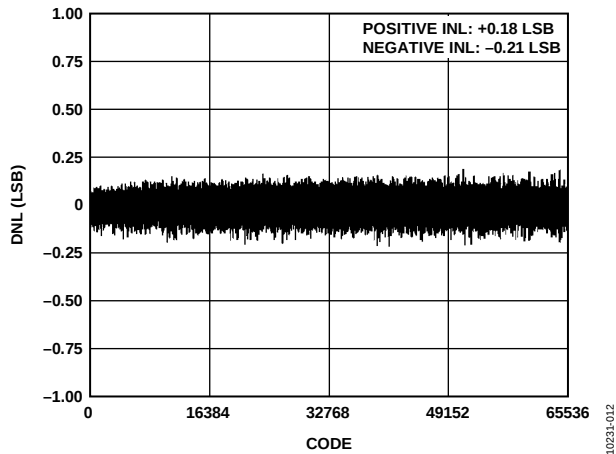
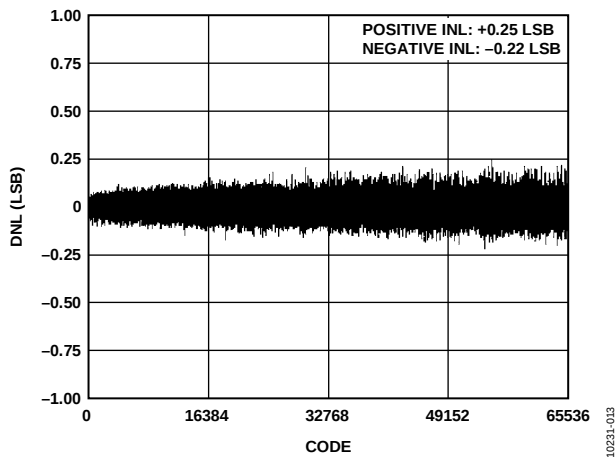
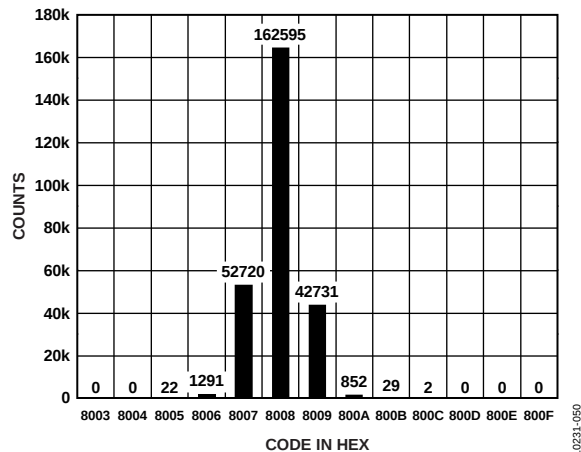
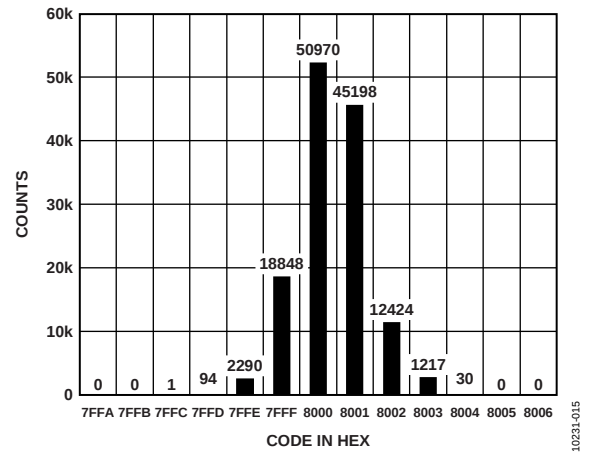
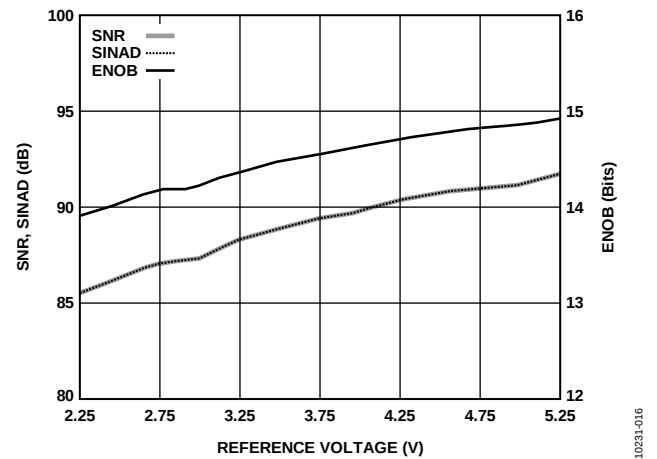
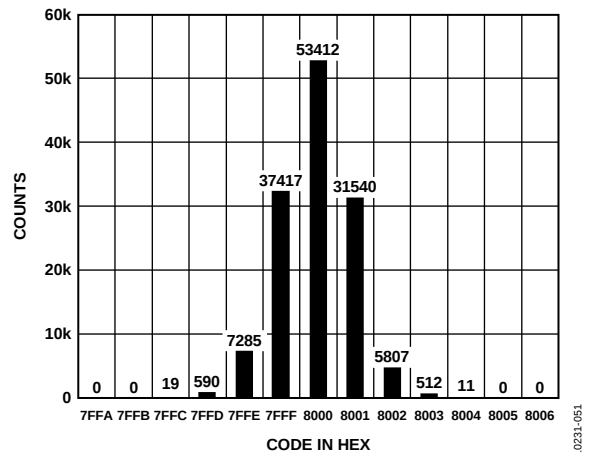
图12. 微分非线性与码的关系, $V_{REF} = 5\text{ V}$ 图13. 微分非线性与码的关系, $V_{REF} = 2.5\text{ V}$ 图14. 一个直流输入的直方图(码中心), $V_{REF} = 5\text{ V}$ 图15. 一个直流输入的直方图(码跃迁), $V_{REF} = 2.5\text{ V}$ 

图16. SNR、SINAD和ENOB与基准电压的关系

图17. 一个直流输入的直方图(码中心), $V_{REF} = 2.5\text{ V}$

AD7988-1/AD7988-5

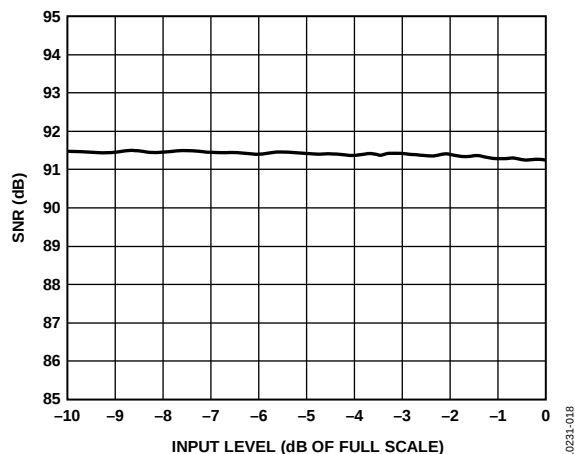


图18. SNR与输入电平的关系

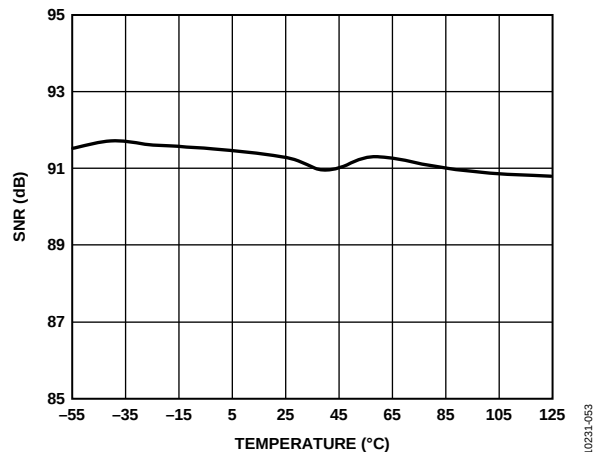


图21. SNR与温度的关系

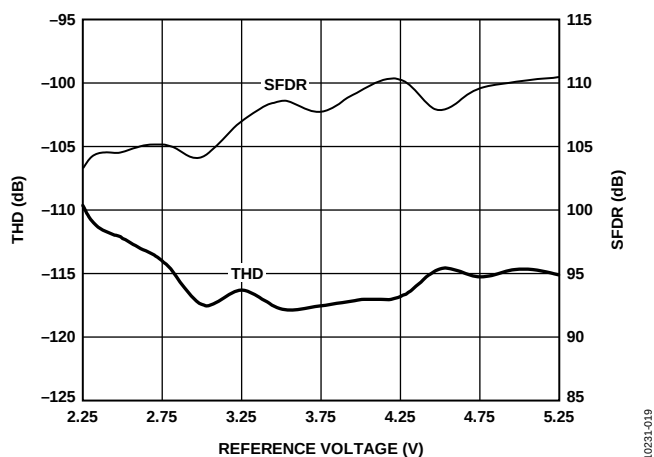


图19. THD、SFDR与基准电压的关系

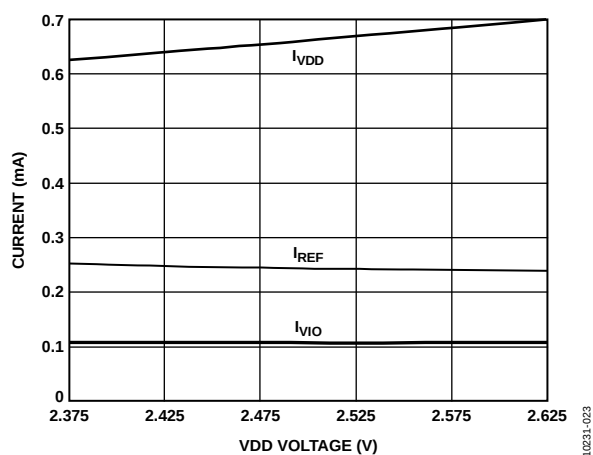


图22. 工作电流与电源的关系(AD7988-5)

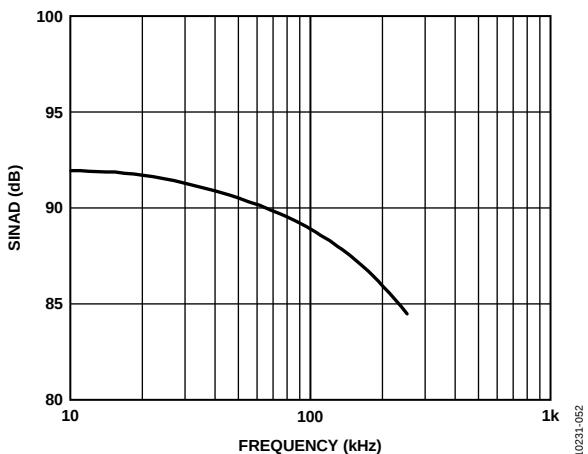


图20. SINAD与频率的关系

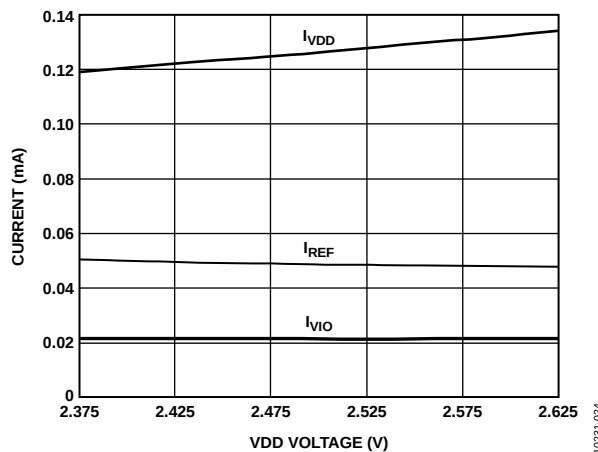


图23. 工作电流与电源的关系(AD7988-1)

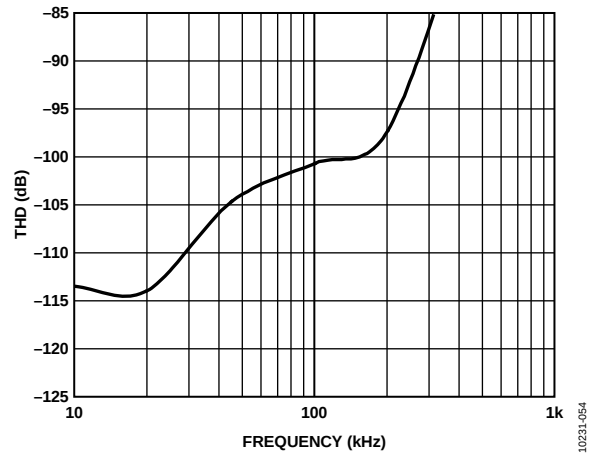


图24. THD与频率的关系

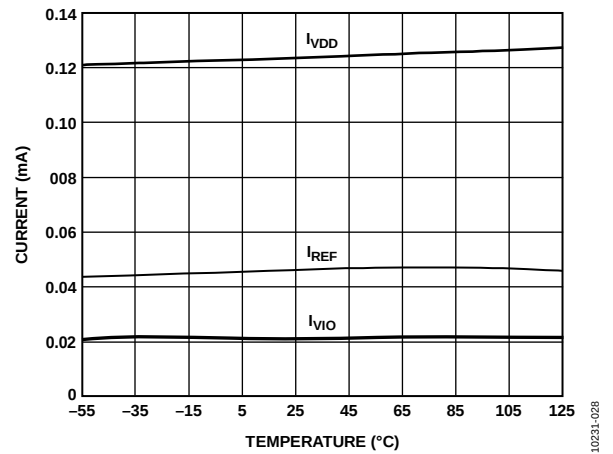


图27. 工作电流与温度的关系(AD7988-1)

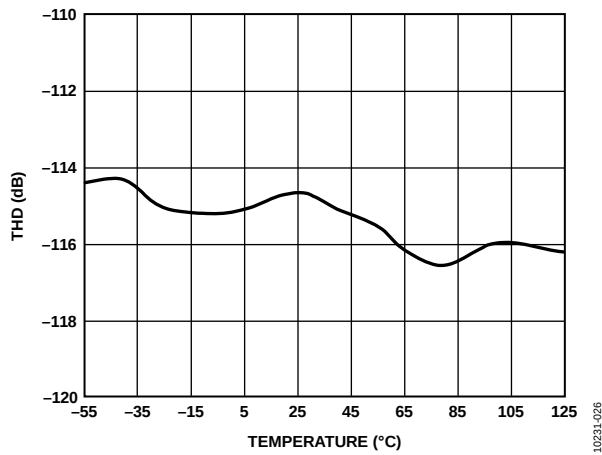


图25. THD与温度的关系

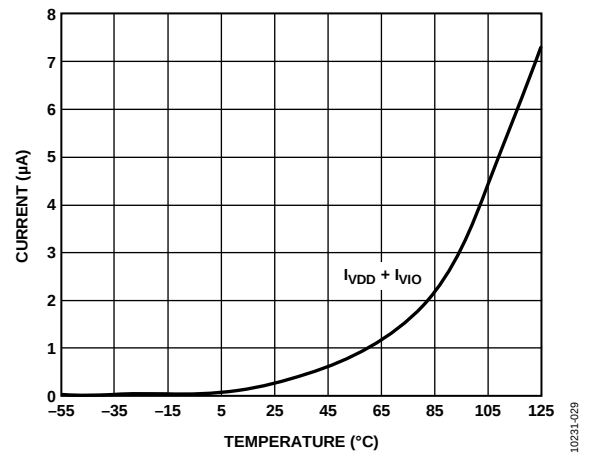


图28. 关断电流与温度的关系

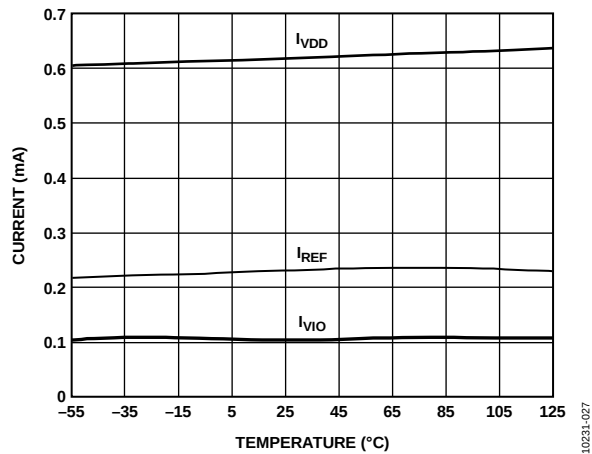


图26. 工作电流与温度的关系(AD7988-5)

工作原理

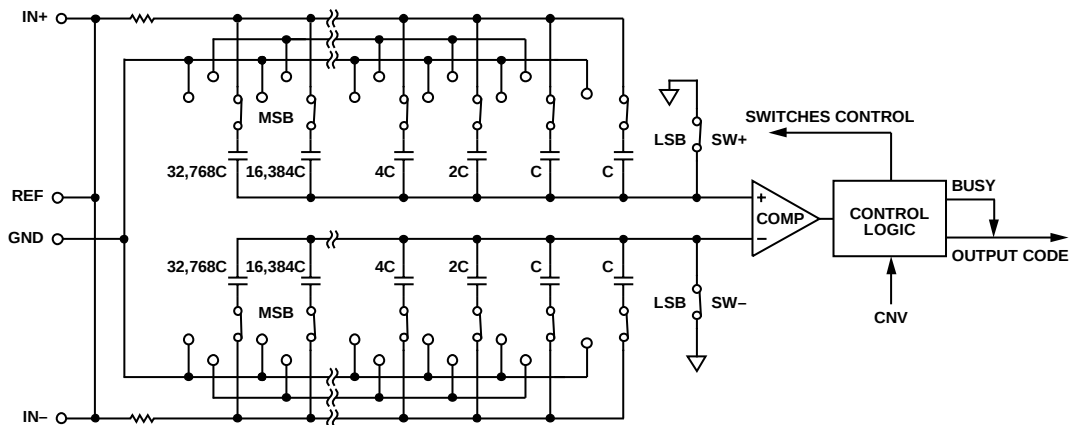


图29. ADC简化电路图

电路信息

AD7988-1/AD7988-5器件是快速、低功耗、单电源、精密16位ADC，使用逐次逼近型架构。

AD7988-1每秒能够转换100,000个样本(100kSPS)，而AD7988-5吞吐量可达500 kSPS，两次转换之间器件进入省电模式。例如，以10 kSPS速率工作时，ADC典型功耗为70 μ W，非常适合电池供电的应用。

AD7988-x为用户提供片内采样保持，没有任何流水线延迟，堪称多路复用多通道应用的理想之选。

AD7988-x可与任何1.8 V至5 V数字逻辑系列接口，提供10引脚MSOP封装或小型10引脚LFCSP (QFN)封装，节省空间，配置灵活。

转换器操作

AD7988-x是一款基于电荷再分配DAC的逐次逼近型ADC。图29显示了该ADC的简化电路图。容性DAC包含两个完全相同的16位二进制加权电容阵列，分别连接到比较器的两个输入端。

在采集阶段，与比较器输入相连的阵列端子通过SW+和SW-连接到GND。所有独立开关都连接到模拟输入端。因此，电容阵列用作采样电容，并采集IN+和IN-输入端的模拟信号。当采集阶段完成且CNV输入变为高电平时，就会启动转换阶段。当转换阶段开始时，SW+和SW-首先断开。然后，两个电容阵列从输入端断开，并连接到GND输入端。因此，采集阶段结束时捕获的输入(IN+和IN-)之间的差分电压施加于比较器输入端，导致比较器不平衡。在GND和REF之间切换电容阵列的各元件，比较器输入将按照二进制加权电压步进($V_{REF}/2$ 、 $V_{REF}/4$... $V_{REF}/65,536$)变化。控制逻辑从MSB开始切换这些开关，以便使比较器重新回到平衡状态。完成此过程后，器件返回采集阶段，而控制逻辑将产生ADC输出码。

AD7988-x具有一个片上转换时钟，因此转换过程不需要串行时钟SCK。

传递函数

AD7988-x的理想传递特性如图30和表7所示。

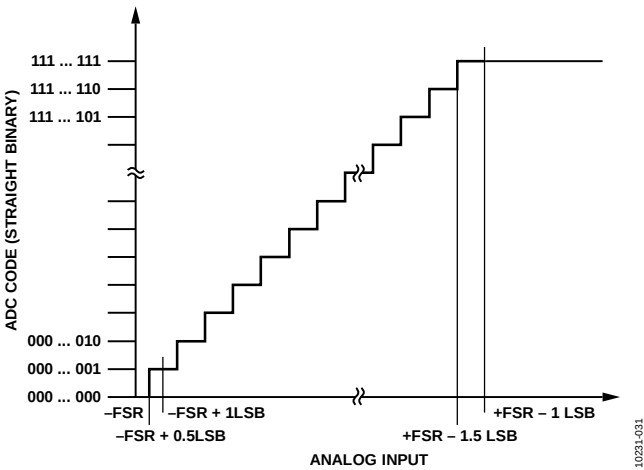


图30. ADC理想传递函数

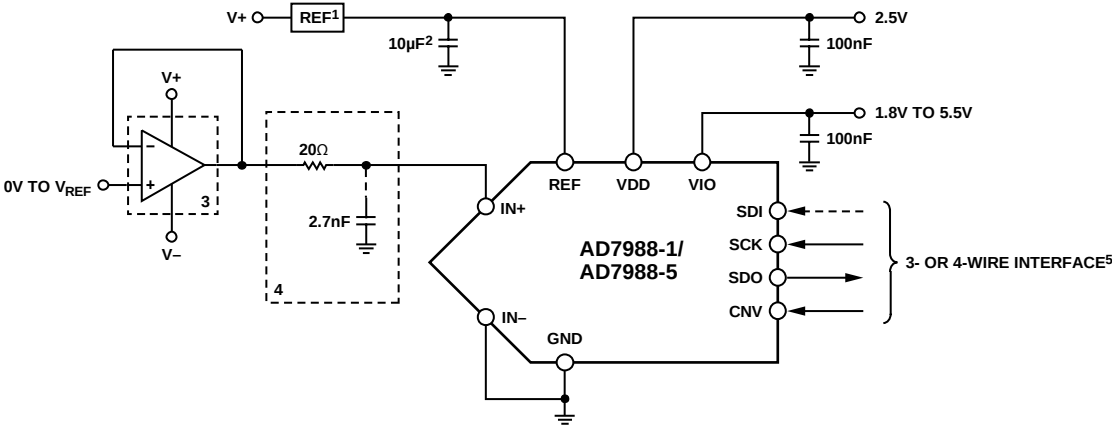
表7. 输出码和理想输入电压

描述	模拟输入	
	V _{REF} = 5 V	数字输出码(十六进制)
FSR - 1 LSB	4.999924 V	FFFF ¹
中间电平 + 1 LSB	2.500076 V	8001
中间电平	2.5 V	8000
中间电平 - 1 LSB	2.499924 V	7FFF
-FSR + 1 LSB	76.3 μV	0001
-FSR	0 V	0000 ²

¹这也是超量程模拟输入 (V_{IN+} - V_{IN-} 大于 V_{REF} - V_{GND}) 对应的码。
²这也是欠量程模拟输入 (V_{IN+} - V_{IN-} 低于 V_{GND}) 对应的代码。

典型连接图

图31所示的例子为采用多个电源时AD7988-x的建议连接图。



¹SEE THE VOLTAGE REFERENCE INPUT SECTION FOR REFERENCE SELECTION.
²C_{REF} IS USUALLY A 10μF CERAMIC CAPACITOR (X5R).
³SEE THE DRIVER AMPLIFIER CHOICE SECTION.
⁴OPTIONAL FILTER. SEE THE ANALOG INPUTS SECTION.
⁵SEE THE DIGITAL INTERFACE SECTION FOR THE MOST CONVENIENT INTERFACE MODE.

图31. 采用多个电源的典型应用电路

AD7988-1/AD7988-5

模拟输入

图32显示了AD7988-x输入结构的等效电路。

两个二极管D1和D2为模拟输入IN+和IN-提供ESD保护。切记，模拟输入信号不得超过供电轨0.3 V以上，否则会造成二极管正偏，并开始传导电流。这些二极管可以处理最高130 mA的正偏电流。例如，当输入缓冲电源与VDD不同时，最终可能会发生这种情况。此时，如果输入缓冲器短路，限流功能可以保护器件。

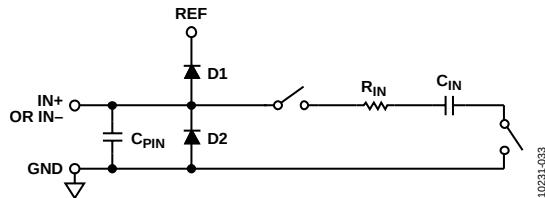


图32. 等效模拟输入电路

模拟输入结构支持IN+和IN-之间真差分信号的采样。借助这些差分输入，可以抑制两个输入端的共模信号。

在采集阶段，模拟输入(IN+和IN-)的阻抗可以看成是由R_{IN}和C_{IN}串联构成的网络与电容C_{PIN}的并联组合。C_{PIN}主要包括引脚电容。R_{IN}典型值为400 Ω，是由串联电阻与开关的导通电阻构成的集总元件。C_{IN}典型值为30 pF，主要包括ADC采样电容。在转换阶段，开关断开时，输入阻抗仅包括C_{PIN}。R_{IN}和C_{IN}构成一个单极低通滤波器，可以降低不良混叠效应并限制噪声。

当驱动电路的源阻抗较低时，可以直接驱动AD7988-x。高源阻抗会显著影响交流特性，特别是THD。直流特性对输入阻抗的敏感度相对较低。最大的源阻抗取决于可容许的总谐波失真(THD)。THD性能下降程度是源阻抗和最大输入频率的函数。

驱动放大器选择

虽然AD7988-x很容易驱动，但驱动放大器需要满足下列要求：

- 驱动器放大器所产生的噪声必须足够低，以保持AD7988-x的SNR和转换噪声性能。来自驱动器的噪声由R_{IN}和C_{IN}所构成的AD7988-x模拟输入电路单极低通滤波器进行滤波，或者由外部滤波器(如有)进行滤波。AD7988-x的典型噪声为47.3 μV rms，因此放大器引起的SNR性能降低为：

$$SNR_{LOSS} = 20 \log \left(\frac{47.3}{\sqrt{47.3^2 + \frac{\pi}{2} f_{-3dB} (Ne_N)^2}} \right)$$

其中：

f_{-3dB}为AD7988-x的输入带宽(10 MHz)，单位为兆赫，或者是输入滤波器(如有)的截止频率。

N为放大器的噪声增益(例如，缓冲器配置时为1)。

e_N为运算放大器的等效输入噪声电压，单位为nV/√Hz。

- 对于交流应用，驱动器的THD性能应与AD7988-x相当。
- 对于多通道、多路复用应用，驱动放大器和AD7988-x模拟输入电路必须使电容阵列以16位水平(0.0015%，15 ppm)建立满量程阶跃。在放大器的数据手册中，更常见的是规定0.1%至0.01%的建立时间。这可能与16位水平的建立时间显著不同，因此选择之前应进行验证。

表8. 推荐的驱动放大器

放大器	典型应用
ADA4841-1	极低噪声、小尺寸、低功耗
AD8021	极低噪声、高频
AD8022	低噪声、高频
OP184	低功耗、低噪声、低频
AD8655	5 V单电源、低噪声
AD8605, AD8615	5 V单电源、低功耗

基准电压输入

AD7988-x基准电压输入REF具有动态输入阻抗，因此应利用低阻抗源驱动，REF与GND引脚之间应有效去耦，如布局布线部分所述。

利用极低阻抗源(例如使用AD8031或AD8605的基准电压缓冲器)驱动REF时，陶瓷芯片电容可实现最佳性能。

如果使用无缓冲基准电压，去耦值取决于所使用的基准电压源。例如，使用低温漂基准电压源ADR43x时，22 μ F (X5R, 1206尺寸)陶瓷芯片电容可实现最佳性能。

如果需要，可以使用低至2.2 μ F的基准电压去耦电容，它对性能(特别是DNL)的影响极小。

无论如何，REF与GND引脚之间不需要额外的低值陶瓷去耦电容(如100 nF)。

电源

AD7988-x使用两个电源引脚：内核电源(VDD)以及数字输入/输出接口电源(VIO)。VIO可以与1.8 V至5.0 V的任何逻辑直接接口。为减少所需的电源数，VIO和VDD引脚可以连在一起。AD7988-x中VIO和VDD的电源时序无关。此外，该器件在很宽的频率范围内对电源变化非常不敏感，如图33所示。

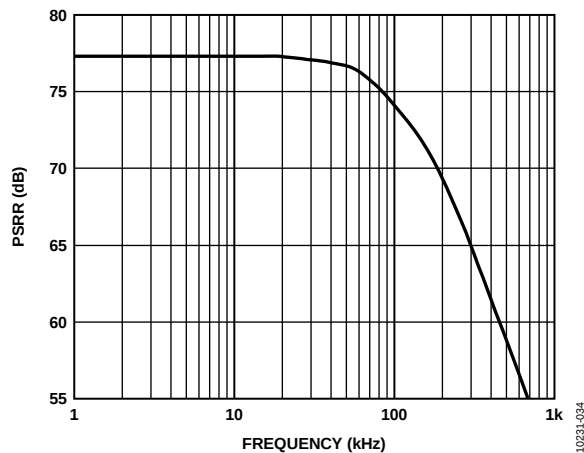


图33. PSRR与频率的关系

为确保最佳性能，VDD应大致为基准输入电压REF的一半。例如，如果REF为5.0 V，VDD应设置为2.5 V ($\pm 5\%$)。如果REF = 2.5V，VDD = 2.5 V，性能会下降，如表2所示。

AD7988-x在每个转换阶段结束时自动进入省电模式。

数字接口

尽管引脚数很少，AD7988-x在串行接口模式上仍具有灵活性。

$\overline{\text{CS}}$ 模式下，AD7988-x与SPI、QSPI[™]和数字主机兼容。此接口可使用三线式或四线式接口。三线式接口使用CNV、SCK和SDO信号，可将线路连接减至最少，在隔离应用中非常有用。四线式接口使用SDI、CNV、SCK和SDO信号，用于启动转换的CNV与回读时序(SDI)独立，这在低抖动采样或同步采样应用中很有用。

链模式下，AD7988-x提供菊花链特性，利用SDI输入可在单条数据线上实现多个ADC的级联，类似移位寄存器。

器件工作模式取决于CNV上升沿出现时的SDI电平。如果SDI为高电平，选择CS模式，而如果SDI为低电平，则选择链模式。SDI保持时间是当SDI和CNV连接在一起时，就会选择链模式。

用户必须在回读前等待最大转换时间。

AD7988-1/AD7988-5

$\overline{\text{CS}}$ 模式，三线式

在将单个AD7988-x连接到兼容SPI的数字控制器主机时，通常会使用此模式。连接图如图34所示，相应的时序如图35所示。

将SDI连接到VIO时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。转换完成后，AD7988-x进入采集阶段并进入省电模式。

CNV变为低电平时，MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当CNV变为高电平时(以最先出现者为准)，SDO返回高阻态。

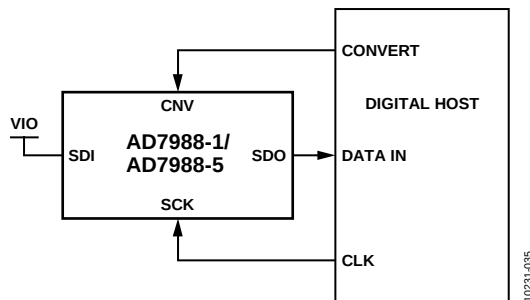


图34. 三线式 $\overline{\text{CS}}$ 模式连接图

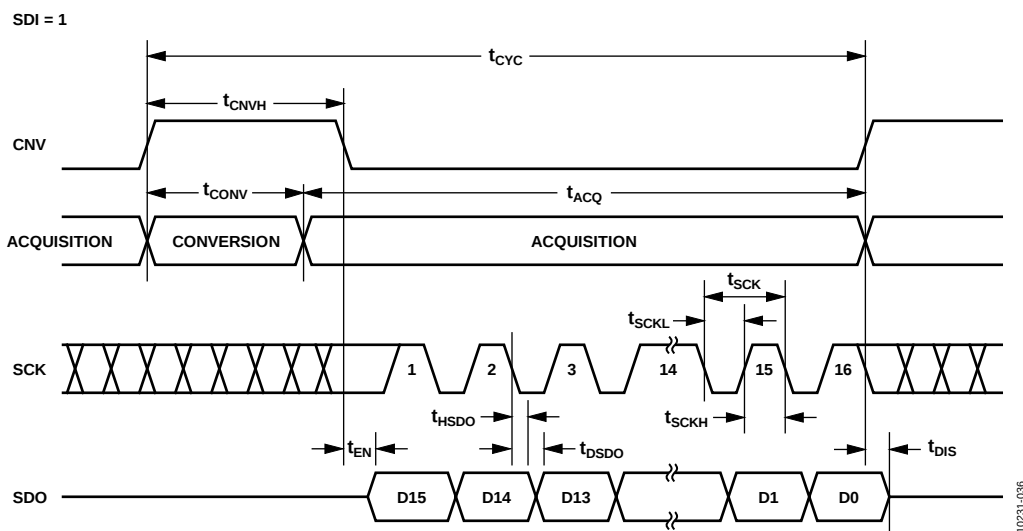


图35. 三线式 $\overline{\text{CS}}$ 模式串行接口时序(SDI高电平)

$\overline{\text{CS}}$ 模式，四线式

在将多个AD7988-x连接到SPI兼容数字主机时，通常会使用此模式。

使用两个AD7988-x器件的连接图示例如图36所示，相应的时序如图37所示。

将SDI置为高电平时，CNV上的上升沿启动转换，选择 $\overline{\text{CS}}$ 模式，并强制SDO进入高阻态。此模式下，CNV在转换阶段和随后的数据回读期间必须保持高电平。(如果SDI和CNV为低电平，SDO变为低电平。)最小转换时间之前，SDI可用于选择其它SPI器件，如模拟多路复用器，但SDI必须在最小转换时间逝去前返回高电平，接着在最大转换时间内保持高电平。

转换完成后，AD7988-x进入采集阶段并进入省电模式。每个ADC结果可通过将SDI输入拉低来读取，从而将MSB输出至SDO。剩余数据位则在随后的SCK下降沿逐个输出。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，只要它具有合理的保持时间。在第16个SCK下降沿之后，或者当SDI变为高电平时(以最先出现者为准)，SDO返回高阻态，之后可读取另一个AD7988-x。

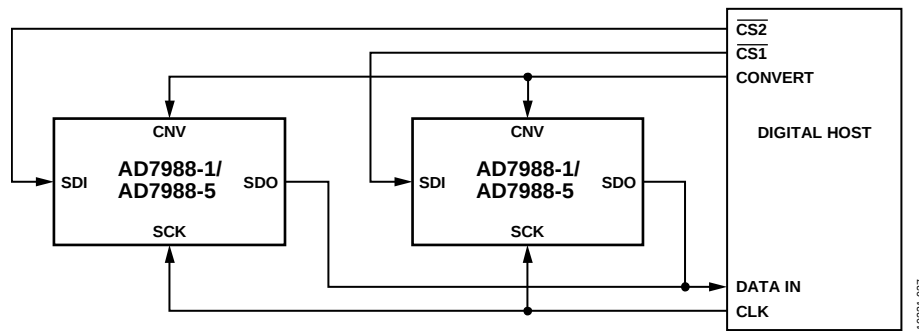


图36. 四线式 $\overline{\text{CS}}$ 模式连接图

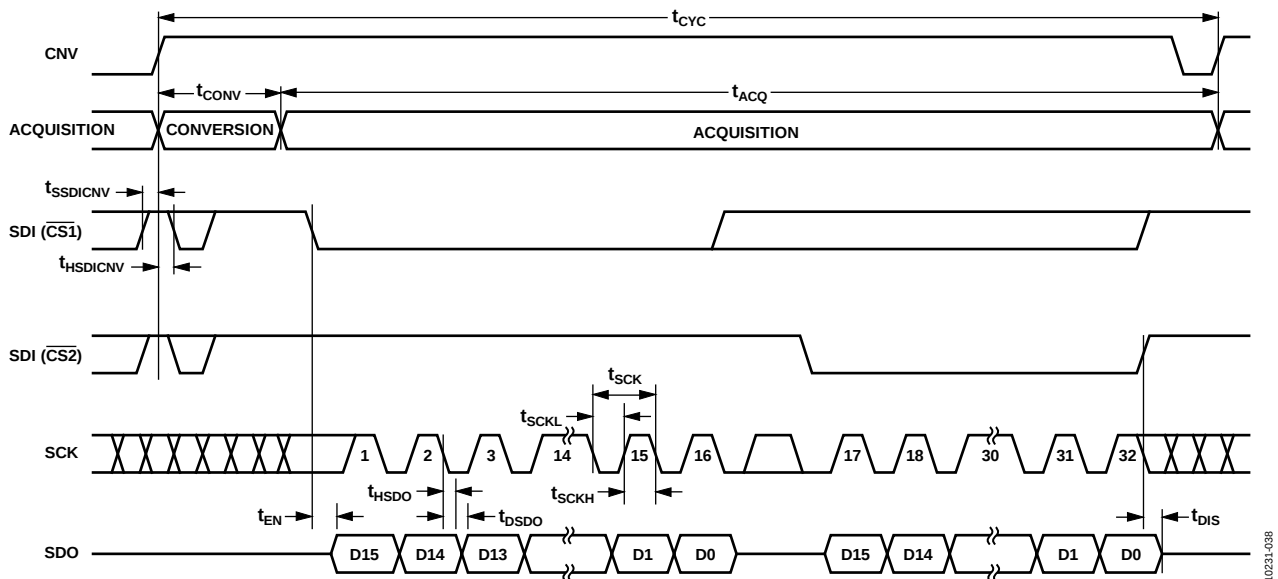


图37. 四线式 $\overline{\text{CS}}$ 模式串行接口时序

AD7988-1/AD7988-5

链模式

此模式可用于在三线式串行接口上以菊花链形式连接多个AD7988-x器件。这一特性有助于减少器件数量和线路连接；例如在隔离式多转换器应用或接口能力有限的系统中。数据回读与读取移位寄存器相似。

使用两个AD7988-x器件的连接图示例如图38所示，相应的时序如图39所示。

SDI和CNV为低电平时，SDO变为低电平。将SCK置为低电平时，CNV上的上升沿启动转换，并选择链模式。此模式下，CNV在转换阶段和随后的数据回读期间保持高电

平。转换完成后，MSB输出至SDO，而AD7988-x进入采集阶段并进入省电模式。存储在内部移位寄存器中的剩余数据位则在随后的SCK下降沿逐个输出。对于每个ADC，SDI馈入内部移位寄存器，并通过SCK下降沿逐个输出。链内每个ADC首先输出数据MSB，回读N个ADC需要 $16 \times N$ 个时钟。数据在SCK的上升沿和下降沿均有效。虽然上升沿可以用于捕捉数据，但使用SCK下降沿的数字主机能实现更快的读取速率，从而在链中容纳更多AD7988-x器件，只要数字主机具有合理的保持时间。最大转换速率可因总回读时间而降低。

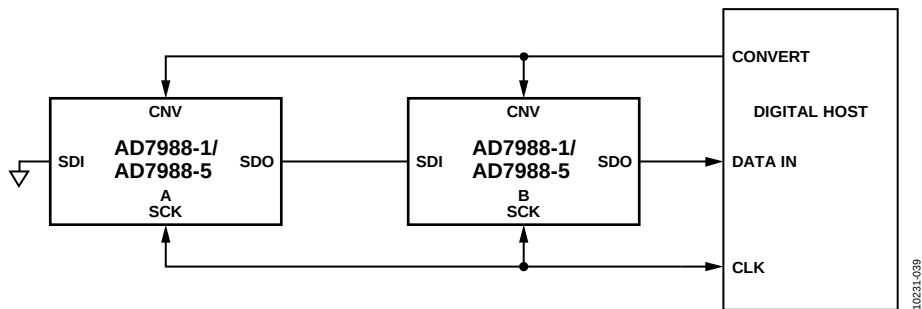


图38. 链模式连接图

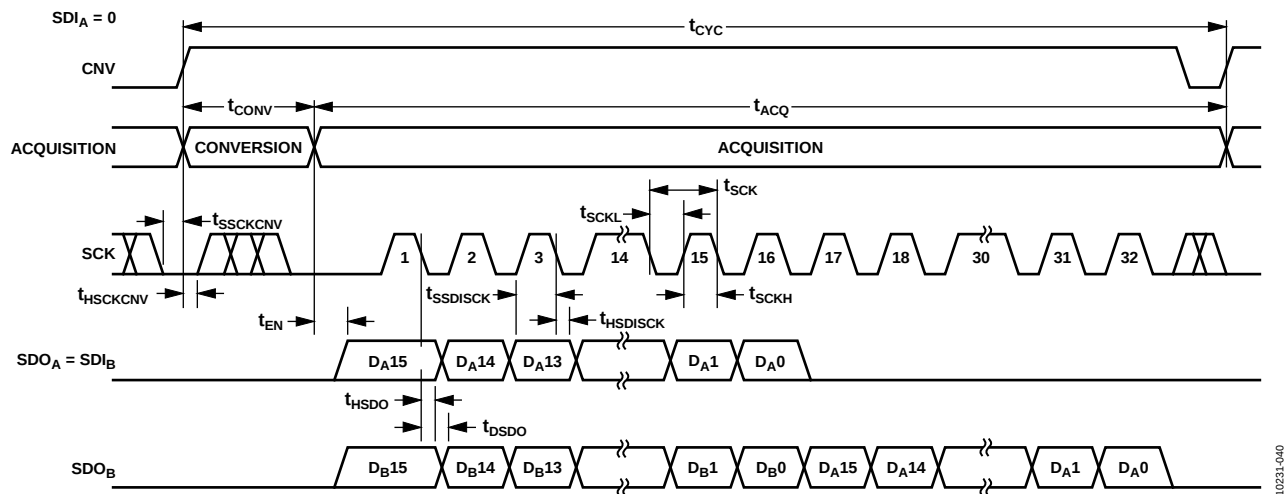


图39. 链模式串行接口时序

应用信息

与BLACKFIN® DSP接口

AD7988-x可以轻松连接到DSP SPI或SPORT。SPI配置很简单，使用标准SPI接口就能完成，如图40所示。

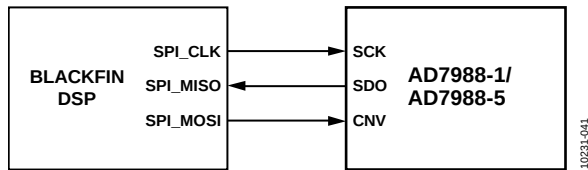


图40. Blackfin SPI接口的典型连接

同样，SPORT接口可用于与该ADC接口。SPORT接口有很多优点，比如可以使用直接存储器访问(DMA)，并提供更低抖动的CNV信号(由硬件计数器产生)。

SPORT与AD7988-x接口之间可能需要一些胶连逻辑。AD7988-x的评估板直接与基于Blackfin的(ADSP-BF-527)SDP板的SPORT接口。用于SPORT接口的配置需要添加一些胶连逻辑，如图41所示。将CNV置为高电平时，ADC的SCK输入关断，以便在转换数据时保持SCK线路静态，从而确保结果的完整性。此方法使用ADC门和NOT门形成SCK路径。RSCLK和RFS路径上使用的其他逻辑门用于延迟匹配，在路径长度较短时可以省去。

以上只是将SPORT接口用于该ADC的一种方法；还存在其他等效解决方案。

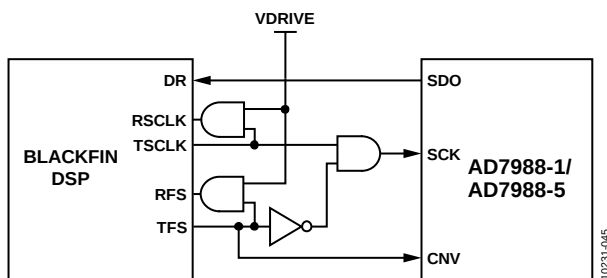


图41. Blackfin Sport接口的评估板连接

布局

AD7988-x的印刷电路板(PCB)应采用模拟部分与数字部分分离设计，并限制在电路板的一定区域内。AD7988-x的所有模拟信号位于左侧，所有数字信号位于右侧，这种引脚排列可以简化这种设计要求。

避免在器件下方布设数字线路，否则会将噪声耦合至芯片管芯，除非在AD7988-x下方铺一个接地层用作屏蔽。诸如CNV或时钟之类的快速开关信号不应靠近模拟信号路径。避免数字信号与模拟信号交叠。

建议至少使用一个接地层。数字和模拟部分可以共用或分割使用接地层。后一情况中，接地层应在AD7988-x器件下方连接。

AD7988-x基准电压输入REF具有动态输入阻抗。使用最小寄生电感去耦REF的方法是将基准电压源的去耦陶瓷电容靠近(理想情况是正对)REF和GND引脚放置，并用较宽的低阻抗走线进行连接。

最后，AD7988-x的电源VDD和VIO应通过陶瓷电容去耦，其值通常为100 nF，靠近AD7988-x放置，并用短而宽的走线连接，以提供低阻抗路径并减小电源线路上的毛刺噪声影响。

图42和图43是遵循这些规则的布局布线示例。

评估AD7988-x性能

AD7988-x (EVAL-AD7988-5SDZ)的评估板套件包括装配完善且经过测试的评估板、文档以及用于从PC通过EVAL-SDP-CB1Z控制评估板的软件。

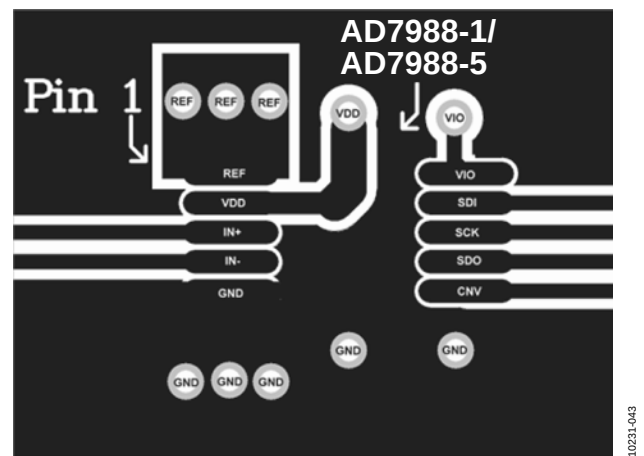


图42. AD7988-x的示例布局(顶层)

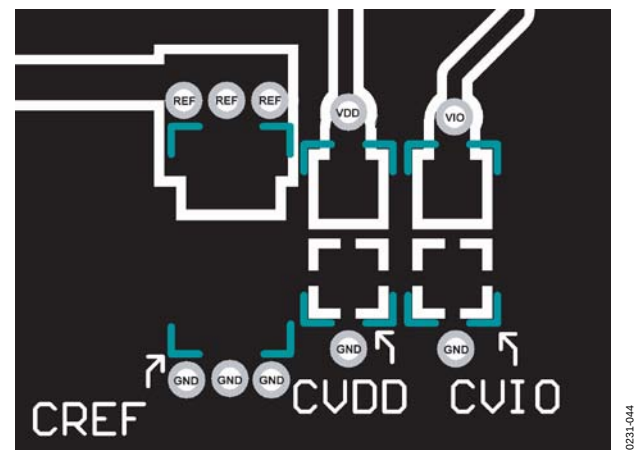


图43. AD7988-x的示例布局(底层)

外形尺寸

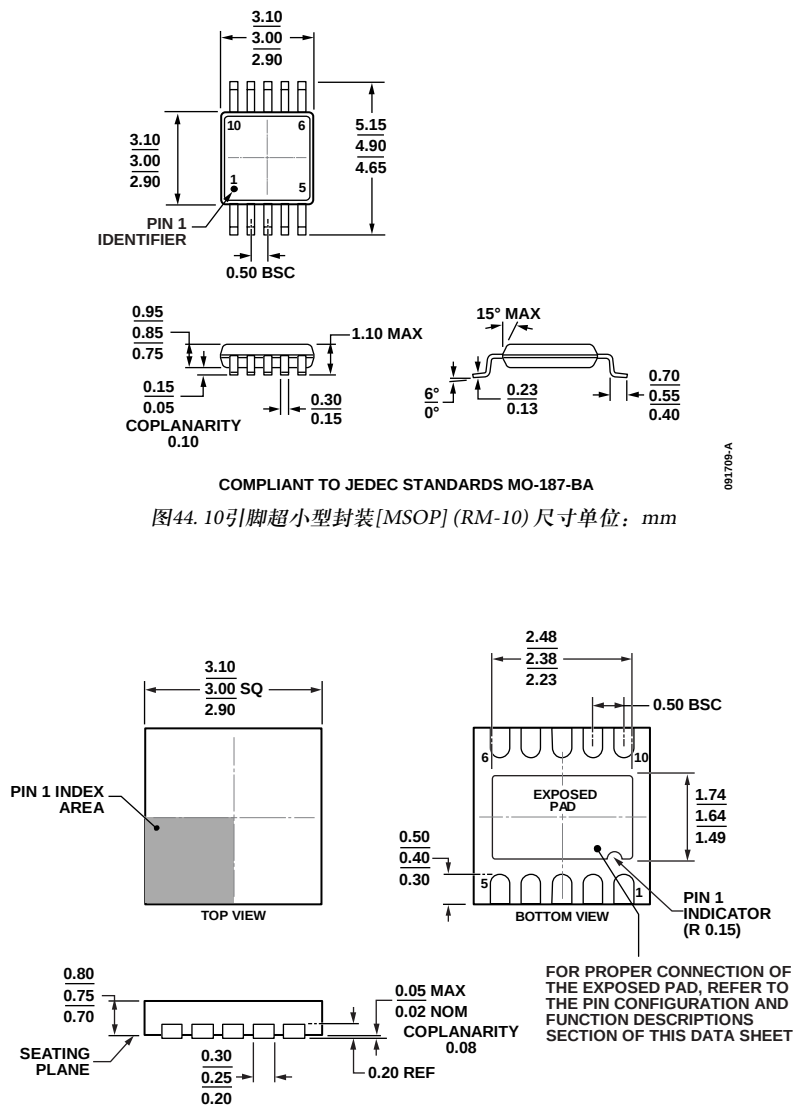


图44. 10引脚超小型封装[MSOP] (RM-10) 尺寸单位: mm

图45. 10引脚引线框芯片级封装[QFN (LFCSP_WD)] 3 mm × 3 mm, 超薄体, 双列引脚(CP-10-9) 图示尺寸单位: mm

订购指南

型号 ¹	注释	积分非线性	温度范围	订购数量	封装描述	封装选项	标识
AD7988-1BRMZ		最大值±1.25 LSB	−40°C 至 +125°C	卷带, 50	10引脚MSOP	RM-10	C7E
AD7988-1BRMZ-RL7		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 1,000	10引脚MSOP	RM-10	C7E
AD7988-1BCPZ-RL		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 5,000	10引脚QFN (LFCSP_WD)	CP-10-9	C7X
AD7988-1BCPZ-RL7		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 1,500	10引脚QFN (LFCSP_WD)	CP-10-9	C7X
AD7988-5BRMZ		最大值±1.25 LSB	−40°C 至 +125°C	卷带, 50	10引脚MSOP	RM-10	C7Q
AD7988-5BRMZ-RL7		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 1,000	10引脚MSOP	RM-10	C7Q
AD7988-5BCPZ-RL		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 5,000	10引脚QFN (LFCSP_WD)	CP-10-9	C7Y
AD7988-5BCPZ-RL7		最大值±1.25 LSB	−40°C 至 +125°C	卷盘, 1,500	10引脚QFN (LFCSP_WD)	CP-10-9	C7Y
EVAL-AD7988-5SDZ	²				评估板已填充AD7988-5; 用于AD7988-1和AD7988-5的评估系统演示板, 通过USB与PC的接口用作数据传输控制器板		
EVAL-SDP-CB1Z	³						

¹ Z = RoHS兼容器件。

² 此板可单独用作评估板, 或与[EVAL-SDZ-CB1Z](#)配合用于评估/演示。

³ 此板允许PC对所有带SD标志后缀的ADI评估板进行控制并与之通信。

注释