

产品特性

每个通道11位、250 MSPS输出数据速率

NSR使能时的性能

SNR: 74.5 dBFS(55 MHz频段、90 MHz、250 MSPS时)

SNR: 72.0 dBFS(82 MHz频段、90 MHz、250 MSPS时)

NSR禁用时的性能

SNR: 66.2 dBFS(90 MHz、250 MSPS时)

SFDR: 85 dBc(185 MHz、250 MSPS时)

总功耗: 706 mW(200 MSPS)

1.8 V电源电压

LVDS(ANSI-644电平)输出

1至8整数输入时钟分频器(最大输入频率625 MHz)

ADC内部基准电压源

灵活的模拟输入范围

1.4 V p-p至2.0 V p-p(标称值1.75 V p-p)

差分模拟输入、400 MHz带宽

95 dB通道隔离/串扰

串行端口控制

节能的掉电模式

应用

通信

分集无线电和智能天线(MIMO)系统

多模式数字接收机(3G)

WCDMA、LTE、CDMA2000

WiMAX、TD-SCDMA

I/Q解调系统

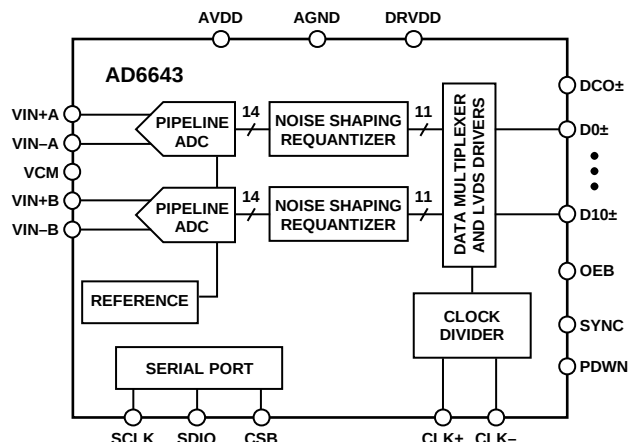
通用软件无线电

概述

AD6643是一款11位、200 MSPS/250 MSPS、双通道中频(IF)接收机,专门针对要求高动态范围性能、低功耗和小尺寸的电信应用中支持多天线系统而设计。

该器件包括两个高性能模数转换器(ADC)和噪声整形再量化器(NSR)数字模块。每个ADC由多级、差分流水线架构组成,并集成了输出纠错逻辑,每个ADC差分流水线的第一级包含一个宽带宽开关电容采样网络。集成基准电压源可简化设计。占空比稳定器(DCS)补偿ADC时钟占空比的波动,使转换器保持出色的性能。

功能框图



NOTES
1. THE D0± TO D10± PINS REPRESENT BOTH THE CHANNEL A AND CHANNEL B LVDS OUTPUT DATA.

图1.

各ADC的输出内部连接到NSR模块。集成NSR电路能够提高奈奎斯特带宽内较小频段的信噪比(SNR)性能。该器件支持两种不同的输出模式,通过SPI可以选择输出模式。如果使能NSR特性,则在处理ADC的输出时,AD6643可以在有限的部分奈奎斯特带宽内实现更高的SNR性能,同时保持11位输出分辨率。

可以对NSR模块进行编程,以提供采样时钟22%或33%的带宽。例如,当采样时钟速率为185 MSPS时,在22%模式下,AD6643可以在40 MHz带宽内实现最高75.5 dBFS的SNR;在33%模式下,它可以在60 MHz带宽内实现最高73.7 dBFS的SNR。

(第3页续)

Rev. C

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2011–2012 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文,敬请谅解翻译中可能存在的语言组织或翻译错误,ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性,请参考ADI提供的最新英文版数据手册。

目录

特性.....	1
应用.....	1
概述.....	1
功能框图.....	1
修订历史.....	2
产品特色.....	3
技术规格.....	4
ADC直流规格.....	4
ADC交流规格.....	5
数字规格－AD6643-200/AD6643-250.....	6
开关规格.....	8
时序规格－AD6643-200/AD6643-250.....	8
绝对最大额定值.....	10
热特性.....	10
ESD警告.....	10
引脚配置和功能描述.....	11
典型性能参数.....	15
等效电路.....	20
工作原理.....	21
ADC架构.....	21
模拟输入考虑.....	21

修订历史

2012年11月—修订版B至修订版C

更改“特性”部分.....	1
更改表1.....	
更改表4.....	8
更改“读取存储器映射寄存器表”部分.....	31
删除表14中的寄存器0x0E、0x24和0x25.....	33
更改“存储器映射寄存器描述”部分.....	36
更新“外形尺寸”部分.....	37

2012年6月—修订版A至修订版B

更改“特性”部分.....	1
更改表2中的全功率带宽参数，删除噪声带宽参数，更改尾注3.....	6
增加图20至图33；重新排序编号.....	17
更改图52.....	24
更新“外形尺寸”.....	35

2011年9月—修订版0至修订版A

通篇增加250 MSPS速度等级.....	1
更改表1.....	4

基准电压源.....	23
时钟输入考虑.....	23
功耗和待机模式.....	24
数字输出.....	25
ADC超量程(OR).....	25
噪声整形再量化器(NSR).....	26
22% BW模式(184.32 MSPS时>40 MHz).....	26
33% BW模式(184.32 MSPS时>60 MHz).....	27
通道/芯片同步.....	28
串行端口接口(SPI).....	29
使用SPI的配置.....	29
硬件接口.....	29
SPI访问特性.....	30
存储器映射.....	31
读取存储器映射寄存器表.....	31
存储器映射寄存器表.....	32
存储器映射寄存器描述.....	35
应用信息.....	36
设计指南.....	36
外形尺寸.....	37
订购指南.....	37

更改表2.....	5
更改表4.....	8
更改图2.....	9
更改表8的OEB引脚描述.....	12
更改图5和表9.....	13
更改典型性能参数条件摘要.....	15
通篇增加AD6643-200.....	15
更改图24和图25.....	18
更改工作原理部分.....	19
更改时序部分.....	23
增加ADC超量程(OR)部分.....	23
将图39、图40和图41中的频率(Hz)更改为频率(MHz).....	24
将图42、图43和图44中的频率(Hz)更改为频率(MHz).....	25
更改通道/芯片同步部分.....	26
将0x59通篇更改为0x3E.....	29
更改表14中的0x02、位[5:4]和0x16、位5.....	30
删除表14中的0x59.....	32
删除SYNC引脚控制(寄存器0x59)部分.....	33
更改“订购指南”.....	35

2011年4月—修订版0：初始版

禁用NSR模块时，ADC数据直接以11位的分辨率提供给输出端。这种工作模式下，AD6643能够在整个奈奎斯特带宽内实现最高66.5 dBFS的SNR。因此，AD6643可以用于电信应用，例如要求更宽带宽的数字预失真观测路径。

经过数字信号处理后，多路复用输出数据路由至两个11位输出端口，最大数据速率为400 Mbps (DDR)。这些输出设置为LVDS，支持ANSI-644电平。

AD6643接收机能够对很宽的中频频谱进行数字化处理。各接收机设计用于同步接收不同的天线。该IF采样架构与传统的模拟技术或较低集成度的数字方法相比，能大幅度降低器件的成本和复杂度。

灵活的掉电选项可以明显降低功耗。器件设置与控制的编程利用三线式SPI兼容型串行接口来完成；该接口提供多种工作模式，支持电路板级系统测试。

AD6643采用64引脚无铅9 mm × 9 mm引脚架构芯片级封装(LFCSP_VQ)，符合RoHS标准，额定温度范围为-40°C至+85°C工业温度范围。该产品受美国专利保护。

产品特点

1. 小型、节省空间的9 mm × 9 mm × 0.85 mm、64引脚LFCSP封装集成两个ADC。
2. 引脚可选的噪声整形再量化器(NSR)，当带宽降低至最大60 MHz、185 MSPS时，它能提高信噪比。
3. LVDS数字输出接口针对低成本FPGA系列而配置。
4. 采用1.8 V单电源供电。
5. 标准串行端口接口(SPI)支持各种产品特性和功能，例如：数据格式化(偏移二进制或二进制补码)、NSR、掉电、测试模式以及基准电压模式。
6. 片内1到8整数输入时钟分频器和多芯片同步功能支持广泛的时钟方案和多通道子系统。

技术规格

ADC直流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = −1.0 dBFS差分输入、1.75 V p-p满量程输入范围、默认SPI。

表1.

参数	温度	AD6643-200			AD6643-250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
分辨率	全	11			11			Bits
精度								
无失码	全	保证			保证			
失调误差	全			±10			±10	mV
增益误差	全			+2/−6			−5/+3	% FSR
微分非线性(DNL) ¹	全		±0.1	±0.25		±0.1	±0.4	LSB
积分非线性(INL) ¹	全		±0.2	±0.25		±0.2	±0.4	LSB
匹配特性								
失调误差	25°C			±13			±13	mV
增益误差	25°C			−2/+3.5			−2.5/+3.5	% FSR
温度漂移								
失调误差	全		±15			±15		ppm/°C
增益误差	全		±87			±87		ppm/°C
输入端参考噪声 VREF = 1.75 V	25°C		0.614			0.614		LSB rms
模拟输入								
输入范围	全		1.75			1.75		V p-p
输入电容 ²	全		2.5			2.5		pF
输入电阻 ³	全		20			20		kΩ
输入共模电压	全		0.9			0.9		V
电源								
电源电压								
AVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
DRVDD	全	1.7	1.8	1.9	1.7	1.8	1.9	V
电源电流								
I _{AVDD} ¹	全		238	260		256	275	mA
I _{DRVDD} ¹ (NSR禁用)	全		154	215		180	215	mA
I _{DRVDD} ¹ (NSR使能—22%模式)	全		172			206		mA
I _{DRVDD} ¹ (NSR使能—33%模式)	全		186			218		mA
功耗								
正弦波输入 ¹ (DRVDD = 1.8 V, NSR禁用)	全		706	855		785	873	mW
正弦波输入 ¹ (DRVDD = 1.8 V, NSR使能—22%模式)	全		738			832		mW
正弦波输入 ¹ (DRVDD = 1.8 V, NSR使能—33%模式)	全		765			853		mW
待机功耗 ⁴	全		90			90		mW
掉电模式的功耗	全		10			10		mW

¹ 在每一对LVDS输出上使用10 MHz、0 dBFS正弦波和100 Ω端接电阻测量。

² 输入电容指一个差分输入引脚与其(-)引脚之间的有效电容。

³ 输入电阻指一个差分输入引脚与其(-)引脚之间的有效电阻。

⁴ 待机功耗的测量条件为：直流输入、CLK±引脚无效(设为AVDD或AGND)。

ADC交流规格

除非另有说明，AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = -1.0 dBFS差分输入、1.75 V p-p满量程输入范围、默认SPI。

表2.

参数 ¹	温度	AD6643-200			AD6643-250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
信噪比(SNR)								
NSR禁用								
f _{IN} = 30 MHz	25°C		66.6			66.4		dBFS
f _{IN} = 90 MHz	25°C		66.5			66.2		dBFS
	全	66.2						dBFS
f _{IN} = 140 MHz	25°C		66.4			66.1		dBFS
f _{IN} = 185 MHz	25°C		66.2			65.9		dBFS
	全				65.3			dBFS
f _{IN} = 220 MHz	25°C		66.0			65.6		dBFS
NSR使能								
22% BW模式								
f _{IN} = 30 MHz	25°C		76.1			74.8		dBFS
f _{IN} = 90 MHz	25°C		76.1			74.5		dBFS
	全	74.5						dBFS
f _{IN} = 140 MHz	25°C		75.5			74.2		dBFS
f _{IN} = 185 MHz	25°C		74.7			73.7		dBFS
	全				72.6			dBFS
f _{IN} = 220 MHz	25°C		74.2			73.4		dBFS
33% BW模式								
f _{IN} = 30 MHz	25°C		76.1			72.3		dBFS
f _{IN} = 90 MHz	25°C		73.6			72.0		dBFS
	全	72.0						dBFS
f _{IN} = 140 MHz	25°C		73.1			71.7		dBFS
f _{IN} = 185 MHz	25°C		72.6			71.2		dBFS
	全				70.1			dBFS
f _{IN} = 220 MHz	25°C		72.1			70.9		dBFS
信纳比(SINAD)								
f _{IN} = 30 MHz	25°C		65.6			65.4		dBFS
f _{IN} = 90 MHz	25°C		65.5			65.2		dBFS
	全	65.1						dBFS
f _{IN} = 140 MHz	25°C		65.3			65.1		dBFS
f _{IN} = 185 MHz	25°C		65.1			64.9		dBFS
	全				64.3			dBFS
f _{IN} = 220 MHz	25°C		64.9			64.6		dBFS
最差的二次或三次谐波								
f _{IN} = 30 MHz	25°C		-92			-90		dBc
f _{IN} = 90 MHz	25°C		-91			-88		dBc
	全			-80				dBc
f _{IN} = 140 MHz	25°C		-88			-86		dBc
f _{IN} = 185 MHz	25°C		-88			-85		dBc
	全						-80	dBc
f _{IN} = 220 MHz	25°C		-84			-85		dBc

AD6643

参数 ¹	温度	AD6643-200			AD6643-250			单位
		最小值	典型值	最大值	最小值	典型值	最大值	
无杂散动态范围(SFDR)								
f _{IN} = 30 MHz	25°C		92			90		dBc
f _{IN} = 90 MHz	25°C		91			88		dBc
	全	80						dBc
f _{IN} = 140 MHz	25°C		88			86		dBc
f _{IN} = 185 MHz	25°C		88			85		dBc
	全				79			dBc
f _{IN} = 220 MHz	25°C		84			85		dBc
最差其它谐波或杂散								
f _{IN} = 30 MHz	25°C		−94			−94		dBc
f _{IN} = 90 MHz	25°C		−94			−93		dBc
	全			−80				dBc
f _{IN} = 140 MHz	25°C		−95			−92		dBc
f _{IN} = 185 MHz	25°C		−94			−92		dBc
	全						−80	dBc
f _{IN} = 220 MHz	25°C		−93			−88		dBc
双音无杂散动态范围(SFDR)								
f _{IN} = 184.12 MHz, 187.12 MHz (−7 dBFS)	25°C		88			88		dBc
串扰 ²	全		95			95		dB
全功率带宽 ³	25°C		1000			1000		MHz

¹ 如需了解完整的定义, 请参阅应用笔记AN-835; 了解高速ADC测试和评估。
² 串扰的测量条件: 一个通道参数为−1 dBFS、100 MHz且另一个通道上无输入信号。
³ 全功率带宽指基频频谱功率降低3 dB时的ADC输入带宽。

数字规格 – AD6643-200/AD6643-250

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、最大采样速率、VIN = −1.0 dBFS差分输入、1.75 V p-p满量程输入范围、使能DCS、默认SPI。

表3.

参数	温度	最小值	典型值	最大值	单位
差分时钟输入(CLK+、CLK−)					
逻辑兼容		CMOS/LVDS/LVPECL			
内部共模偏置	全		0.9		V
差分输入电压	全	0.3		3.6	V p-p
输入电压范围	全	AGND		AVDD	V
输入共模范围	全	0.9		1.4	V
输入电流电平					
高电平	全	10		22	μA
低电平	全	−22		−10	μA
输入电容	全		4		pF
输入电阻	全	8	10	12	kΩ
同步输入					
逻辑兼容		CMOS/LVDS			
内部偏置	全		0.9		V
输入电压范围	全	AGND		AVDD	V
输入电压电平					
高电平	全	1.2		AVDD	V
低电平	全	AGND		0.6	V

参数	温度	最小值	典型值	最大值	单位
输入电流电平					
高电平	全	−5		+5	μA
低电平	全	−100		+100	μA
输入电容	全		1		pF
输入电阻	全	12	16	20	kΩ
逻辑输入(CSB) ¹					
输入电压电平					
高电平	全	1.22		2.1	V
低电平	全	0		0.6	V
输入电流电平					
高电平	全	−5		+5	μA
低电平	全	−80		−45	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SCLK) ²					
输入电压电平					
高电平	全	1.22		2.1	V
低电平	全	0		0.6	V
输入电流电平					
高电平	全	45		70	μA
低电平	全	−5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		2		pF
逻辑输入(SDIO) ¹					
输入电压电平					
高电平	全	1.22		2.1	V
低电平	全	0		0.6	V
输入电流电平					
高电平	全	45		70	μA
低电平	全	−5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
逻辑输入 (OEB、PDWN) ²					
输入电压电平					
高电平	全	1.22		2.1	V
低电平	全	0		0.6	V
输入电流电平					
高电平	全	45		70	μA
低电平	全	−5		+5	μA
输入电阻	全		26		kΩ
输入电容	全		5		pF
数字输出					
LVDS数据和OR输出					
差分输出电压(VOD)					
ANSI模式	全	250	350	450	mV
小摆幅模式	全	150	200	280	mV
输出失调电压(VOS)					
ANSI模式	全	1.15	1.25	1.35	V
小摆幅模式	全	1.15	1.25	1.35	V

¹ 上拉。

² 下拉。

AD6643

开关规格

表4.

参数	符号	温度	AD6643-200			AD6643-250			单位
			最小值	典型值	最大值	最小值	典型值	最大值	
时钟输入参数									
输入时钟速率		全			625			625	MHz
转换速率 ¹		全	40		200	40		250	MSPS
时钟周期——分频模式 ²	t _{CLK}	全	4.0			4			ns
COL高脉冲宽度 ²	t _{CH}								
一分频模式，DCS使能		全	2.25	2.5	2.75	1.8	2.0	2.2	ns
一分频模式，DCS禁用		全	2.375	2.5	2.625	1.9	2.0	2.1	ns
二分频至八分频模式，DCS使能		全	0.8			0.8			ns
数据输出参数(DATA、OR)								1.0	
LVDS模式								0.1	
数据传播延迟 ²	t _{PD}	全		6.0			6.0		ns
DCO传播延迟 ²	t _{DCO}	全		6.7			6.7		ns
DCO至数据偏斜 ²	t _{SKEW}	全	0.4	0.7	1.0	0.4	0.7	1.0	ns
流水线延迟		全		10			10		周期 ³
NSR使能		全		13			13		周期 ³
孔径延迟 ⁴	t _A	全		1.0			1.0		ns
孔径不确定(抖动) ⁴	t _J	全		0.1			0.1		ps rms
唤醒时间(从待机)		全		10			10		μs
唤醒时间(从掉电模式)		全		250			250		μs
超范围恢复时间		全		3			3		周期

¹ 转换速率指分频之后的时钟速率。

² 时序图参见图2。

³ 周期指ADC输入采样速率周期。

⁴ 时序图中未显示。

时序规格 – AD6643-200/AD6643-250

表5.

参数	条件	最小值	典型值	最大值	单位
同步时序要求	详细时序参见图3。				
t _{SSYNC}	SYNC至CLK建立时间的上升沿		0.3		ns
t _{HSYNC}	SYNC至CLK保持时间的上升沿		0.4		ns
SPI时序要求	SPI时序图参见图59				
t _{DS}	数据与SCLK上升沿之间的建立时间	2			ns
t _{DH}	数据与SCLK上升沿之间的保持时间	2			ns
t _{CLK}	SCLK周期	40			ns
t _S	CSB与SCLK之间的建立时间	2			ns
t _H	CSB与SCLK之间的保持时间	2			ns
t _{HIGH}	SCLK应处于逻辑高电平状态的最短时间	10			ns
t _{LOW}	SCLK应处于逻辑低电平状态的最短时间	10			ns
t _{EN_SDIO}	相对于SCLK下降沿，SDIO引脚从输入状态切换到输出状态所需的时间(图59未显示)	10			ns
t _{DIS_SDIO}	相对于SCLK上升沿，SDIO引脚从输出状态切换到输入状态所需的时间(图59未显示)	10			ns

时序图

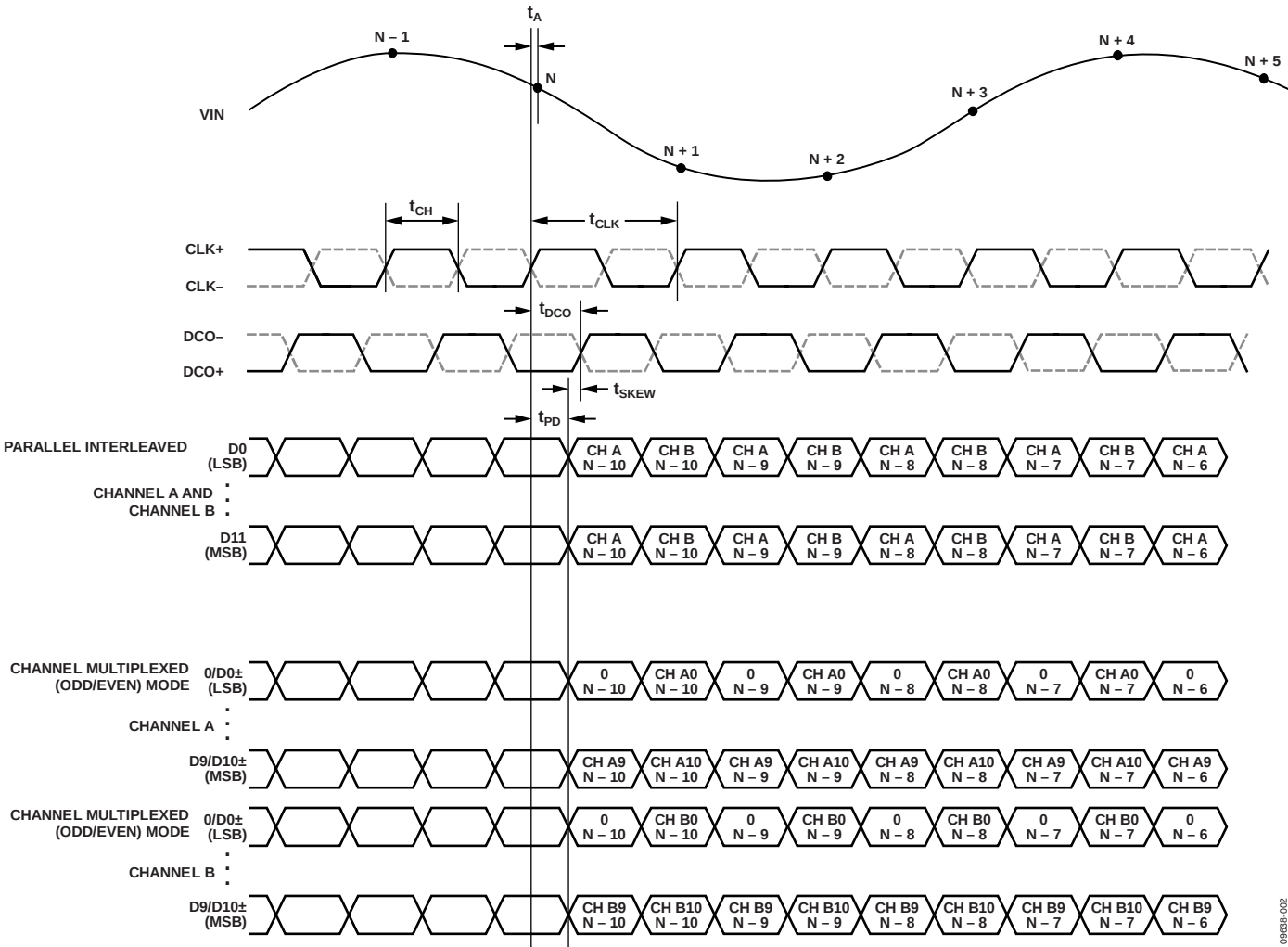


图2. 数据输出时序延迟的LVDS模式。NSR禁用(使能NSR会增加额外三个时钟周期的延迟)

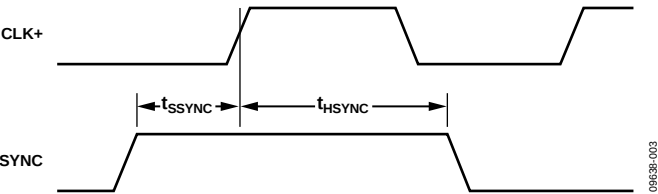


图3. 同步时序输入

绝对最大额定值

表6.

参数	额定值
电气	
AVDD至AGND	−0.3 V至+2.0 V
DRVDD至AGND	−0.3 V至+2.0 V
VIN+ A/VIN+ B、VIN− A/VIN− B至AGND	−0.3 V至AVDD + 0.2 V
CLK+、CLK−至AGND	−0.3 V至AVDD + 0.2 V
SYNC至AGND	−0.3 V至AVDD + 0.2 V
VCM至AGND	−0.3 V至AVDD + 0.2 V
CSB至AGND	−0.3 V至DRVDD + 0.3 V
SCLK至AGND	−0.3 V至DRVDD + 0.3 V
SDIO至AGND	−0.3 V至DRVDD + 0.3 V
OEB至AGND	−0.3 V至DRVDD + 0.3 V
PDWN至AGND	−0.3 V至DRVDD + 0.3 V
OR+ /OR−至AGND	−0.3 V至DRVDD + 0.3 V
D0− /D0+到D10− /D10+至AGND	−0.3 V至DRVDD + 0.3 V
DCO+ /DCO−至AGND	−0.3 V至DRVDD + 0.3 V
环境参数	
工作温度范围(环境)	−40°C至+85°C
偏置条件下的最大结温	150°C
存储温度范围(环境)	−65°C至+125°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热特性

LFCSP封装的裸露焊盘必须焊接到接地层。将裸露焊盘焊接到印刷电路板(PCB)上，可提高焊接可靠性，从而最大限度发挥封装的热性能。

θ_{JA} 典型值的测试条件为使用实接地层的4层PCB。如表7所示，气流可提高散热，从而降低 θ_{JA} 。另外，直接与封装引脚接触的金属，包括金属走线、通孔、接地层、电源层，可降低 θ_{JA} 。

表7. 热阻

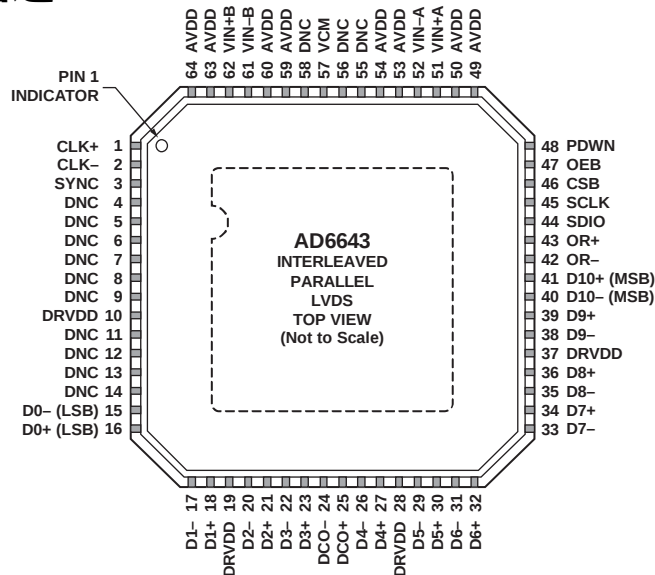
封装类型	气流速度 (m/s)	$\theta_{JA}^{1,2}$	$\theta_{JC}^{1,3}$	$\theta_{JB}^{1,4}$	单位
64引脚 LFCSP 9 mm × 9 mm (CP-64-4)	0	26.8	1.14	10.4	°C/W
	1.0	21.6			°C/W
	2.0	20.2			°C/W

¹ 按照JEDEC 51-7，加上JEDEC 25-5 2S2P测试板。
² 按照JEDEC JESD51-2(静止空气)或JEDEC JESD51-6(流动空气)。
³ 按照MIL-Std 883、方法1012.1。
⁴ 按照JEDEC JESD51-8(静止空气)。

ESD警告

	ESD(静电放电)敏感器件。 带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。
---	--

引脚配置和功能描述



- NOTES
- 1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
 - 2. THE EXPOSED THERMAL PADDLE ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PADDLE MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

09633B-004

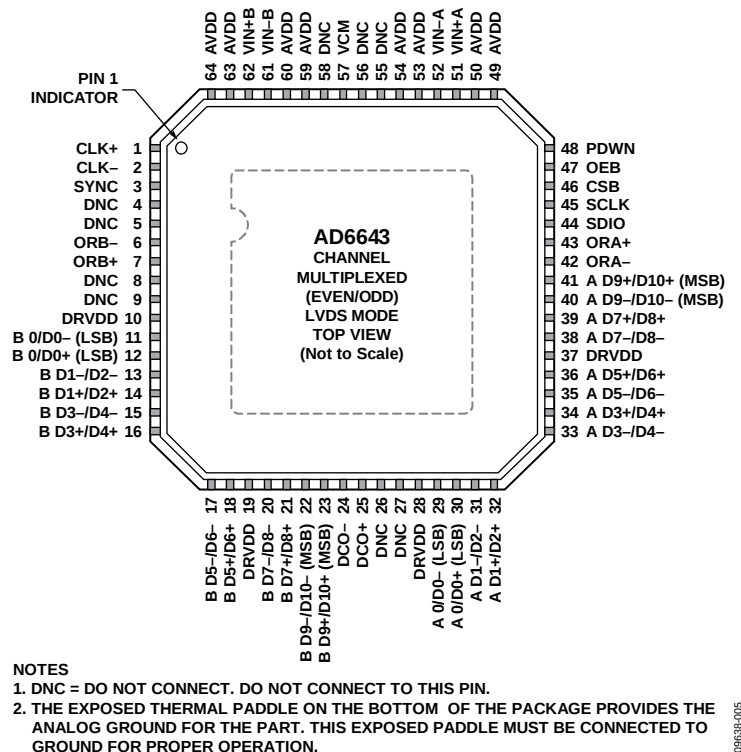
图4. LFCSP交错并行LVDS引脚配置(顶视图)

表8. 交错并行LVDS模式的引脚功能描述

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
4至9, 11 to 14, 55, 56, 58	DNC	地	不连接。请勿连接到这些引脚。
0	AGND、 裸露 焊盘		模拟地。封装底部的裸露热焊盘为器件提供模拟地。 该焊盘必须与地相连，才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+)。
52	VIN-A	输入	通道A的差分模拟输入引脚(-)。
62	VIN+B	输入	通道B的差分模拟输入引脚(+)。
61	VIN-B	输入	通道B的差分模拟输入引脚(-)。
57	VCM	输出	模拟输入的共模电平偏置输出。此引脚应用一个0.1 μF 电容去耦至接地。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
15	D0- (LSB)	输出	通道A/通道B LVDS输出数据0(+).
16	D0+ (LSB)	输出	通道A/通道B LVDS输出数据0(-).
18	D1+	输出	通道A/通道B LVDS输出数据1(+).
17	D1-	输出	通道A/通道B LVDS输出数据1(-).
21	D2+	输出	通道A/通道B LVDS输出数据2(+).
20	D2-	输出	通道A/通道B LVDS输出数据2(-).
23	D3+	输出	通道A/通道B LVDS输出数据3(+).
22	D3-	输出	通道A/通道B LVDS输出数据3(-).
27	D4+	输出	通道A/通道B LVDS输出数据4(+).

AD6643

引脚编号	引脚名称	类型	描述
26	D4–	输出	通道A/通道B LVDS输出数据4(–)。
30	D5+	输出	通道A/通道B LVDS输出数据5(+)
29	D5–	输出	通道A/通道B LVDS输出数据5(–)。
32	D6+	输出	通道A/通道B LVDS输出数据6(+)
31	D6–	输出	通道A/通道B LVDS输出数据6(–)。
34	D7+	输出	通道A/通道B LVDS输出数据7(+)
33	D7–	输出	通道A/通道B LVDS输出数据7(–)。
36	D8+	输出	通道A/通道B LVDS输出数据8(+)
35	D8–	输出	通道A/通道B LVDS输出数据8(–)。
39	D9+	输出	通道A/通道B LVDS输出数据9(+)
38	D9–	输出	通道A/通道B LVDS输出数据9(–)。
41	D10+ (MSB)	输出	通道A/通道B LVDS输出数据10(+)
40	D10– (MSB)	输出	通道A/通道B LVDS输出数据10(–)。
43	OR+	输出	通道A/通道B LVDS超量程(+)
42	OR–	输出	通道A/通道B LVDS超量程(–)。
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+)
24	DCO–	输出	通道A/通道B LVDS数据时钟输出(–)。
SPI控制			
45	SCLK	输入	SPI串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
44	SDIO	输入/输出	SPI串行数据I/O。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
46	CSB	输入	片选信号(低电平有效)。CSB控制读写周期的选通。
输出使能信号和掉电			
47	OEB	输入/输出	输出使能信号输入(低电平有效)。
48	PDWN	输入/输出	掉电输入(高电平有效)。此引脚的操作取决于SPI模式，可配置为掉电或待机(参见表14)。



NOTES

1. DNC = DO NOT CONNECT. DO NOT CONNECT TO THIS PIN.
2. THE EXPOSED THERMAL PADDLE ON THE BOTTOM OF THE PACKAGE PROVIDES THE ANALOG GROUND FOR THE PART. THIS EXPOSED PADDLE MUST BE CONNECTED TO GROUND FOR PROPER OPERATION.

图5. LFCSP通道多路复用(奇/偶)LVDS引脚配置(顶视图)

表9. 通道多路复用(奇/偶)LVDS模式的引脚功能描述

引脚编号	引脚名称	类型	描述
ADC电源			
10, 19, 28, 37	DRVDD	电源	数字输出驱动器电源(标称值1.8 V)。
49, 50, 53, 54, 59, 60, 63, 64	AVDD	电源	模拟电源(标称值1.8 V)。
4, 5, 8, 9, 26, 27, 55, 56, 58	DNC		不连接。请勿连接到这些引脚。
0	AGND、裸露焊盘	地	封装底部的裸露热焊盘为器件提供模拟地。该焊盘必须与地相连,才能正常工作。
ADC模拟			
51	VIN+A	输入	通道A的差分模拟输入引脚(+).
52	VIN-A	输入	通道A的差分模拟输入引脚(-).
62	VIN+B	输入	通道B的差分模拟输入引脚(+).
61	VIN-B	输入	通道B的差分模拟输入引脚(-).
57	VCM	输出	模拟输入的共模电平偏置输出。此引脚应用一个0.1 μ F 电容去耦至接地。
1	CLK+	输入	ADC时钟输入(+).
2	CLK-	输入	ADC时钟输入(-).
数字输入			
3	SYNC	输入	数字同步引脚。仅用于从机模式。
数字输出			
7	ORB+	输出	通道B LVDS超量程输出(+). 超量程指示在DCO的上升沿有效。
6	ORB-	输出	通道B LVDS超量程输出(-). 超量程指示在DCO的上升沿有效。
11	B 0/D0- (LSB)	输出	通道B LVDS输出0/数据0(-). 源自此输出的数据时钟输出(DCO)上升沿上的输出位始终为逻辑0。
12	B 0/D0+ (LSB)	输出	通道B LVDS输出0/数据0(+). 源自此输出的数据时钟输出(DCO)上升沿上的输出位始终为逻辑0。

AD6643

引脚编号	引脚名称	类型	描述
13	B D1−/D2−	输出	通道B LVDS输出数据1/数据2(−)。
14	B D1+/D2+	输出	通道B LVDS输出数据1/数据2(+)
15	B D3−/D4−	输出	通道B LVDS输出数据3/数据4(−)。
16	B D3+/D4+	输出	通道B LVDS输出数据3/数据4(+)
17	B D5−/D6−	输出	通道B LVDS输出数据5/数据6(−)。
18	B D5+/D6+	输出	通道B LVDS输出数据5/数据6(+)
20	B D7−/D8−	输出	通道B LVDS输出数据7/数据8(−)。
21	B D7+/D8+	输出	通道B LVDS输出数据7/数据8(+)
22	B D9−/D10− (MSB)	输出	通道B LVDS输出数据9/数据10(−)。
23	B D9+/D10+ (MSB)	输出	通道B LVDS输出数据9/数据10(+)
29	A 0/D0− (LSB)	输出	通道B LVDS输出0/数据1(−)。此输出的第一个输出位始终为逻辑0。
30	A 0/D0+ (LSB)	输出	通道B LVDS输出0/数据1(+)。此输出的第一个输出位始终为逻辑0。
31	A D1−/D2−	输出	通道A LVDS输出数据1/数据0(−)。
32	A D1+/D2+	输出	通道A LVDS输出数据1/数据0(+)
33	A D3−/D4−	输出	通道A LVDS输出数据3/数据2(−)。
34	A D3+/D4+	输出	通道A LVDS输出数据3/数据2(+)
35	A D5−/D6−	输出	通道A LVDS输出数据5/数据4(−)。
36	A D5+/D6+	输出	通道A LVDS输出数据5/数据4(+)
38	A D7−/D8−	输出	通道A LVDS输出数据7/数据6(−)。
39	A D7+/D8+	输出	通道A LVDS输出数据7/数据6(+)
40	A D9−/D10− (MSB)	输出	通道A LVDS输出数据9/数据8(−)。
41	A D9+/D10+ (MSB)	输出	通道A LVDS输出数据9/数据8(+)
43	ORA+	输出	通道A LVDS超量程输出(+)。超量程指示在DCO的上升沿有效。
42	ORA−	输出	通道A LVDS超量程输出(−)。超量程指示在DCO的上升沿有效。
25	DCO+	输出	通道A/通道B LVDS数据时钟输出(+)
24	DCO−	输出	通道A/通道B LVDS数据时钟输出(−)。
SPI控制			
45	SCLK	输入	SPI串行时钟(SCKL)。串行移位时钟输入，用来同步串行接口的读、写操作。
44	SDIO	输入/输出	SPI串行数据输入/输出(SDIO)。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
46	CSB	输入	SPI片选信号(低电平有效)。低电平有效控制信号，用来选通读写周期。
输出使能信号和掉电			
47	OEB	输入	输出使能信号输入(低电平有效)。
48	PDWN	输入	掉电输入(高电平有效)。此引脚的操作取决于SPI模式，可配置为掉电或待机(参见表14)。

典型性能参数

除非另有说明, AVDD = 1.8 V、DRVDD = 1.8 V、采样速率 = 每个速度等级的最大采样速率、DCS使能、1.75 V p-p 差分输入、VIN = -1.0 dBFS、32k采样、 $T_A = 25^\circ\text{C}$ 。

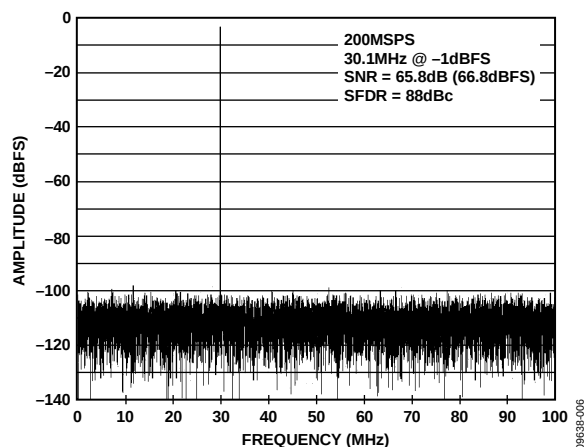


图6. AD6643-200单音FFT($f_{IN} = 30.1\text{ MHz}$)

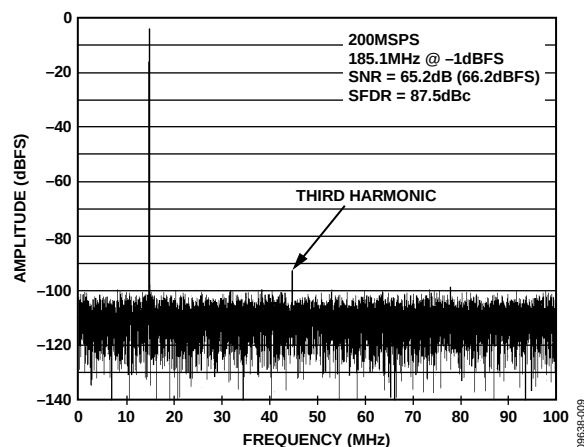


图9. AD6643-200单音FFT($f_{IN} = 185.1\text{ MHz}$)

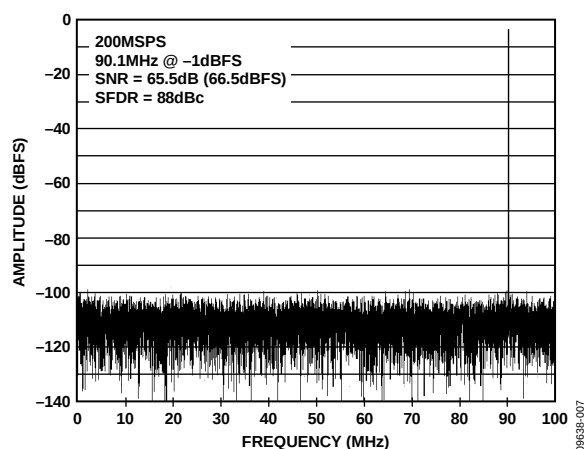


图7. AD6643-200单音FFT($f_{IN} = 90.1\text{ MHz}$)

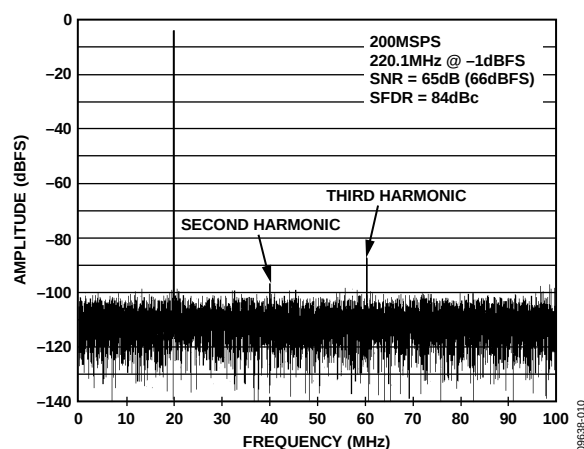


图10. AD6643-200单音FFT($f_{IN} = 220.1\text{ MHz}$)

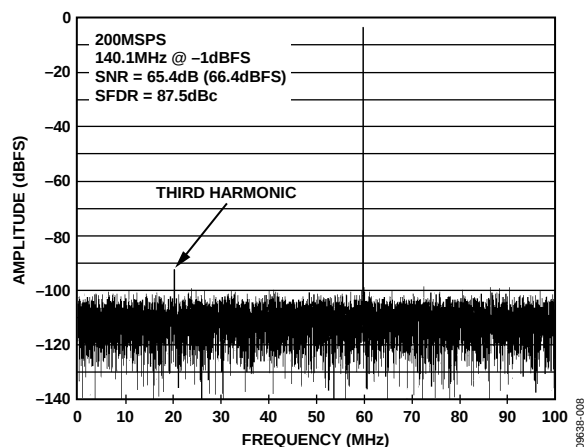


图8. AD6643-200单音FFT($f_{IN} = 140.1\text{ MHz}$)

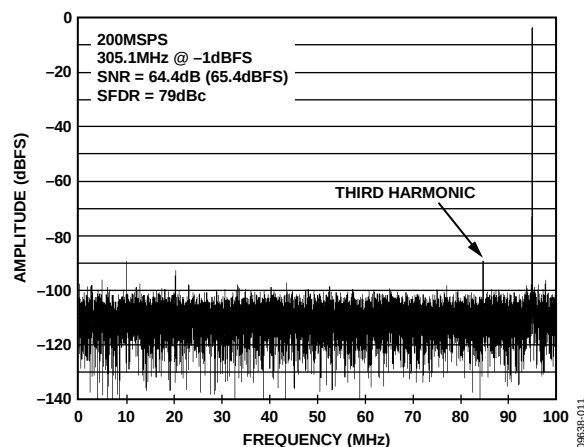


图11. AD6643-200单音FFT($f_{IN} = 305.1\text{ MHz}$)

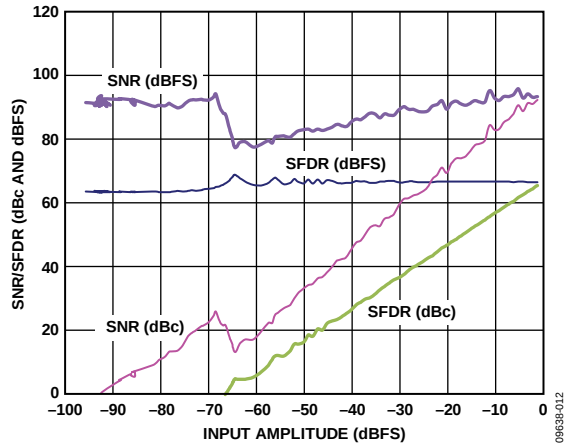


图12. AD6643-200单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 90.1$ MHz)

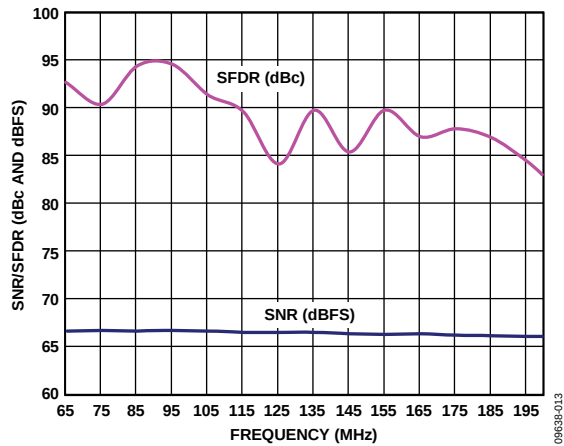


图13. AD6643-200单音SNR/SFDR与输入频率(f_{IN})的关系

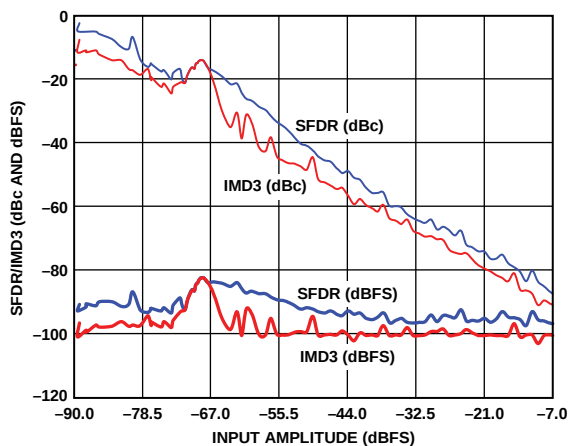


图14. AD6643-200双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 89.12$ MHz, $f_{IN2} = 92.12$ MHz)

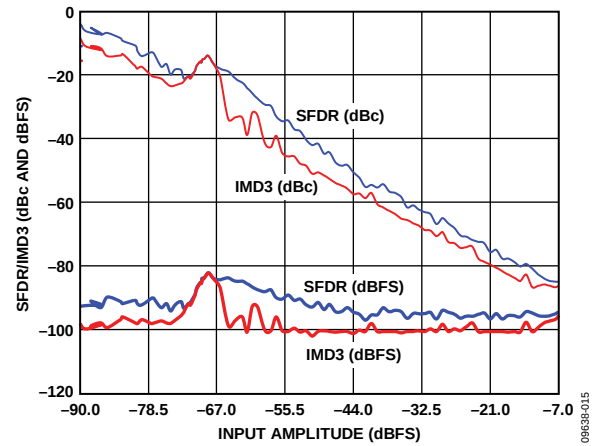


图15. AD6643-200双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 184.12$ MHz, $f_{IN2} = 187.12$ MHz)

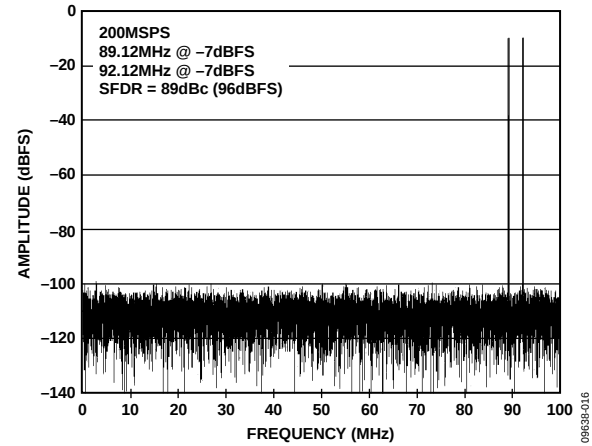


图16. AD6643-200双音FFT($f_{IN1} = 89.12$ MHz, $f_{IN2} = 92.12$ MHz)

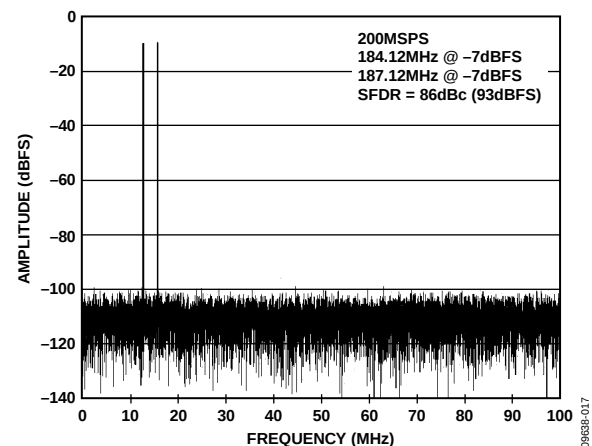


图17. AD6643-200双音FFT($f_{IN1} = 184.12$ MHz, $f_{IN2} = 187.12$ MHz)

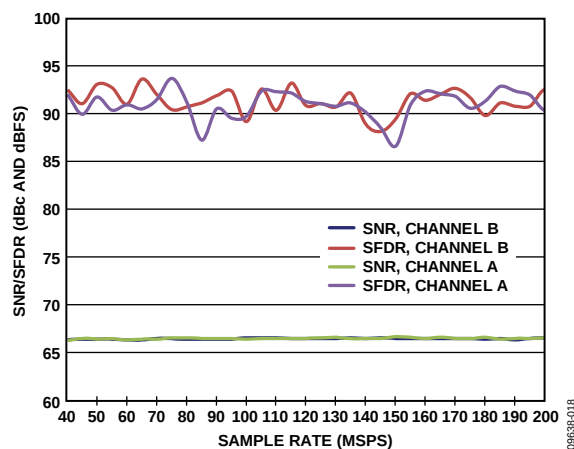


图18. AD6643-200单音SNR/SFDR与采样速率(f_s)的关系
($f_{IN} = 90.1$ MHz)

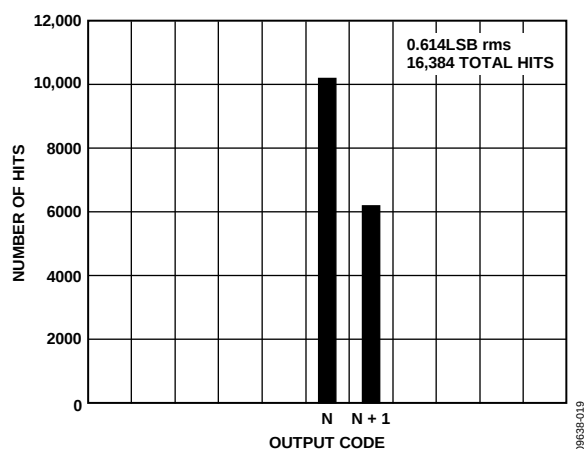


图19. AD6643-200接地输入直方图

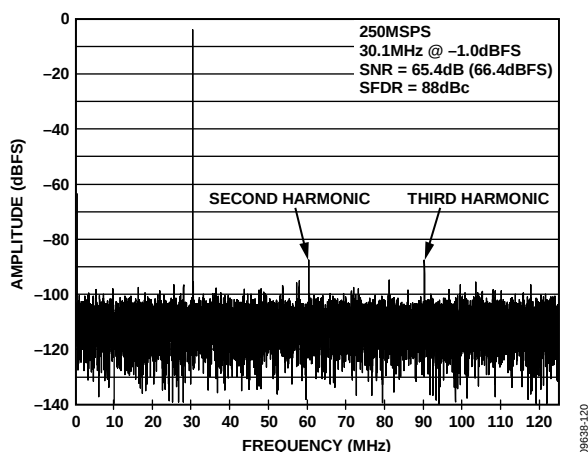


图20. AD6643-250单音FFT($f_{IN} = 30.1$ MHz)

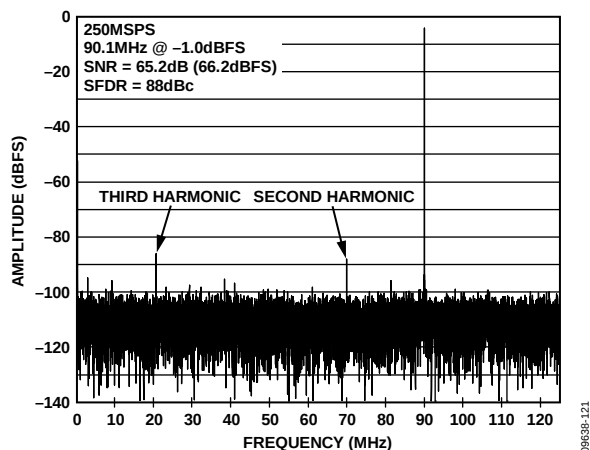


图21. AD6643-250单音FFT($f_{IN} = 90.1$ MHz)

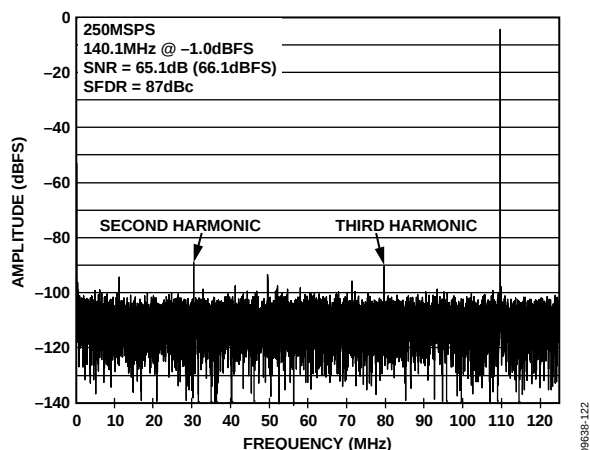


图22. AD6643-250单音FFT($f_{IN} = 140.1$ MHz)

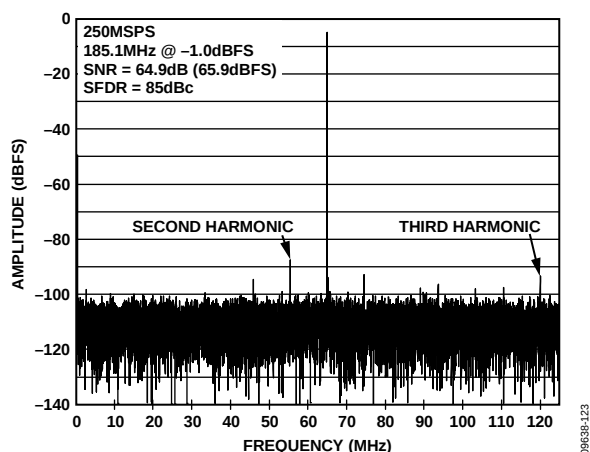


图23. AD6643-250单音FFT($f_{IN} = 185.1$ MHz)

AD6643

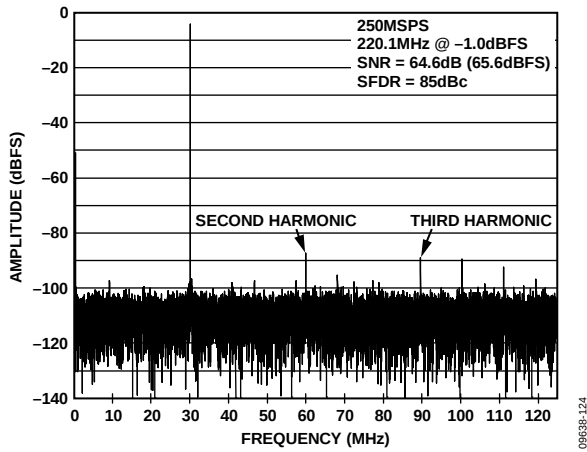


图24. AD6643-250单音FFT($f_{IN} = 220.1$ MHz)

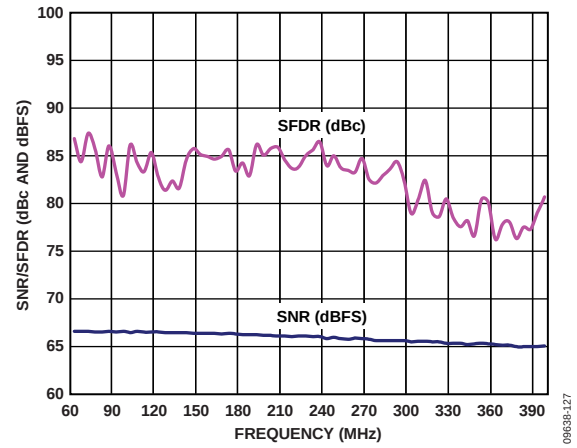


图27. AD6643-250单音SNR/SFDR与输入频率(f_{IN})的关系
($V_{REF} = 1.75$ V p-p)

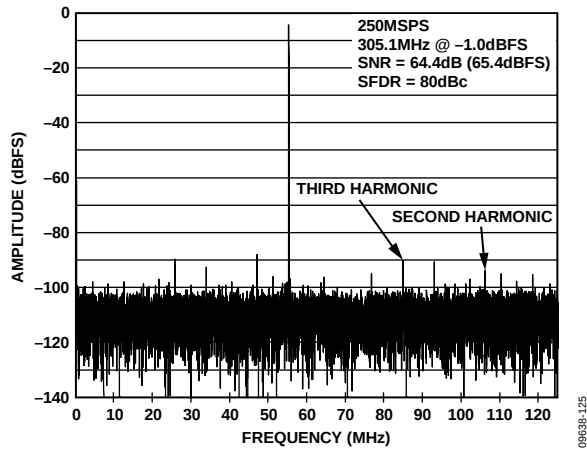


图25. AD6643-250单音FFT($f_{IN} = 305.1$ MHz)

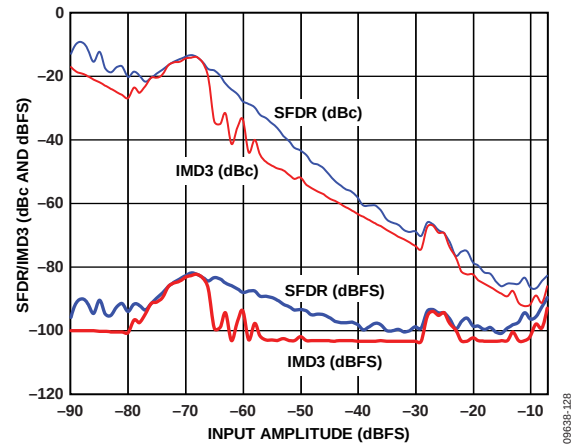


图28. AD6643-250双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 89.12$ MHz, $f_{IN2} = 92.12$ MHz)

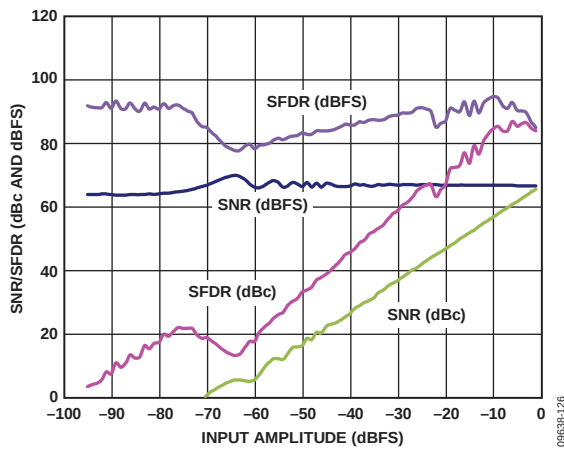


图26. AD6643-250单音SNR/SFDR与输入幅度(A_{IN})的关系
($f_{IN} = 90.1$ MHz)

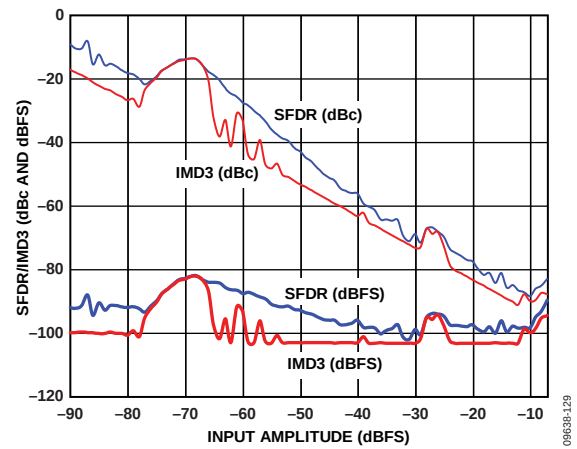


图29. AD6643-250双音SFDR/IMD3与输入幅度(A_{IN})的关系
($f_{IN1} = 184.12$ MHz, $f_{IN2} = 187.12$ MHz)

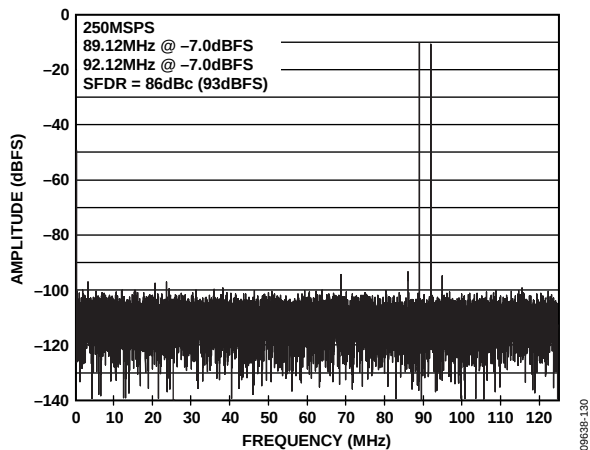


图30. AD6643-250双音FFT($f_{IN1} = 89.12 \text{ MHz}$, $f_{IN2} = 92.12 \text{ MHz}$)

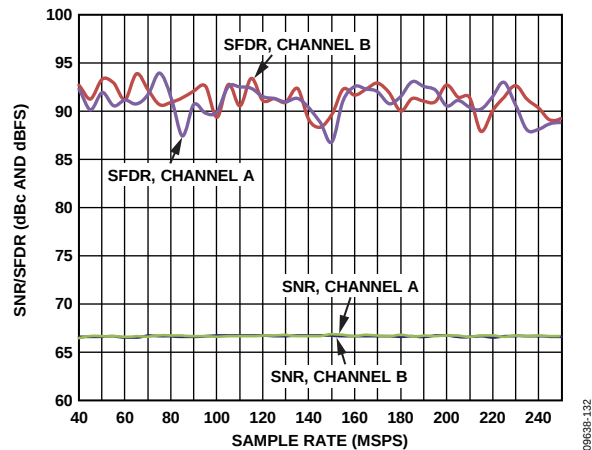


图32. AD6643-250单音SNR/SFDR与采样速率(f_s)的关系($f_{IN} = 90.1 \text{ MHz}$)

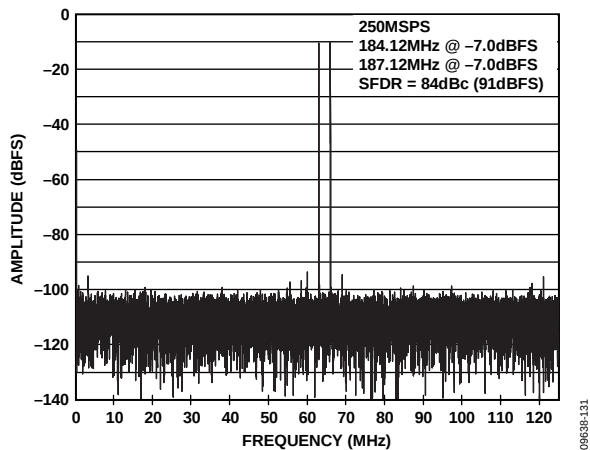


图31. AD6643-250双音FFT($f_{IN1} = 184.12 \text{ MHz}$, $f_{IN2} = 187.12 \text{ MHz}$)

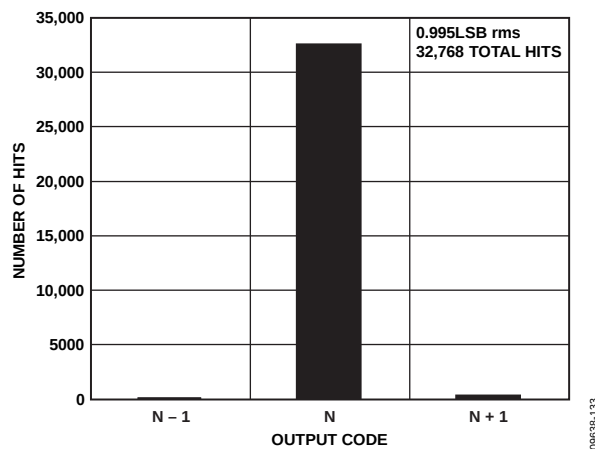


图33. AD6643-250接地输入直方图

等效电路

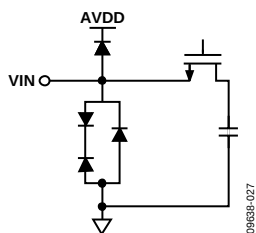


图34. 等效模拟输入电路

09638-027

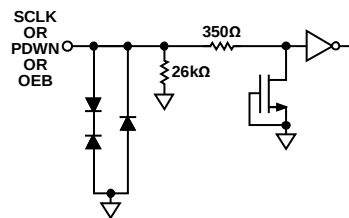


图 38. 等效SCLK或PDWN或OEB输入电路

09638-031

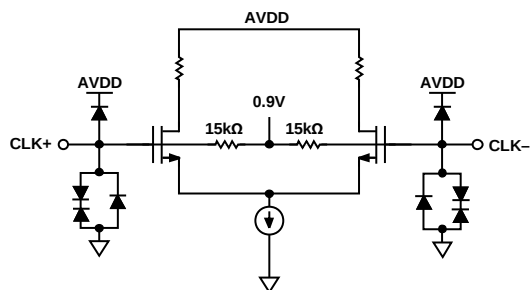


图35. 等效时钟输入电路

09638-028

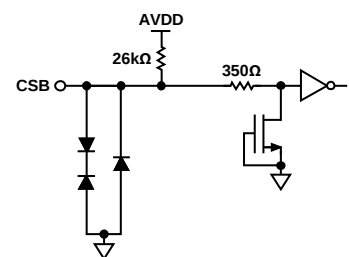


图 39. 等效CSB输入电路

09638-032

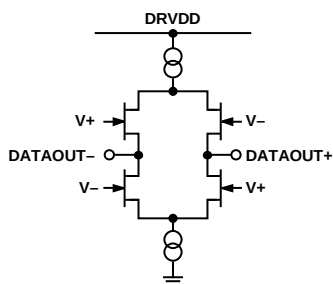


图 36. 等效LVDS输出电路

09638-053

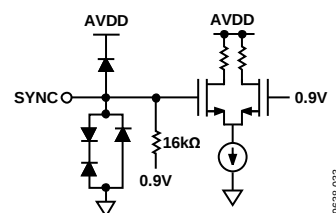


图40. 等效SYNC输入电路

09638-033

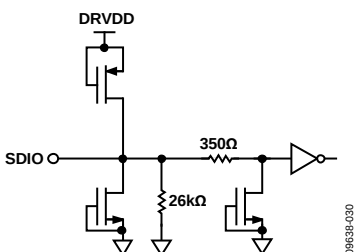


图37. 等效SDIO电路

09638-030

工作原理

AD6643具有两个模拟输入通道和两个数字输出通道。中频(IF)输入信号需要经过多级才能出现在输出端口。

ADC架构

AD6643架构由一个双前端采样保持电路和其后的流水线型开关电容ADC组成。各个级的量化输出组合在一起，在数字校正逻辑中最终形成一个11位转换结果。或者，将11位结果发送至数字校正逻辑前可通过噪声整形再量化器(NSR)模块予以处理。

流水线结构允许第一级处理新的输入采样点，而其它级继续处理之前的采样点。采样在时钟的上升沿进行。

除最后一级以外，流水线的每一级都包括一个低分辨率Flash型ADC、一个开关电容数模转换器(DAC)和一个级间余量放大器(MDAC)。余量放大器用于放大重构DAC输出与Flash型输入之间的差，用于流水线的下一级。为了便于实现Flash误差的数字校正，每一级设定了一位冗余量。最后一级仅由一个闪存型ADC组成。

每个通道的输入级包含一个差分采样电路，可在差分或单端模式下完成交流耦合或直流耦合。输出级模块能够实现数据对准、错误校正，且能将数据传输到输出缓冲器。输出缓冲器需要单独供电，允许调整输出驱动电流。在掉电期间，输出缓冲器进入高阻态。

AD6643双通道中频接收机可同时数字化两个通道，非常适合电信系统中的分集接收和数字预失真(DPD)观测路径。

双通道中频接收机设计可用于信号分集接收；两个ADC以相同方式处理来自两个独立天线的相同载波。另外，两个ADC还可处理相互独立的模拟输入信号。用户能够借助ADC输入端的低通滤波器或带通滤波器，输入从直流到300 MHz频率的信号，且不会明显降低ADC的性能。ADC可对400 MHz模拟输入信号进行处理，但这会加大ADC的噪声和失真。

同步功能用于多个器件之间的同步定时。

借助一个三线型SPI兼容的串行接口，可对AD6643进行编程和控制。

模拟输入考虑

AD6643的模拟输入端是一个差分开关电容电路，专为实现最佳差分信号处理性能而设计。

输入根据时钟信号，在采样模式和保持模式之间切换(见图41)。当输入切换到采样模式时，信号源必须能够对采样电容充电且在半时钟周期内完成建立。

每个输入端都串联一个小电阻，可以降低驱动源输出级所需的峰值瞬态电流。在两个输入端之间可配置一个并联电容，以提供动态充电电流。此无源网络能在ADC输入端形成低通滤波器；因此，模数转换的精度取决于应用。

在中频(IF)欠采样应用中，需要去掉输入两端的并联电容。因为并联电容与驱动源阻抗共同作用，会限制输入带宽。欲了解更多信息，请参阅应用笔记AN-742“开关电容ADC的频域响应”、应用笔记AN-827“放大器与开关电容ADC接口的谐振匹配方法”和Analog Dialogue的文章“用于宽带模数转换器的变压器耦合前端”(www.analog.com)。

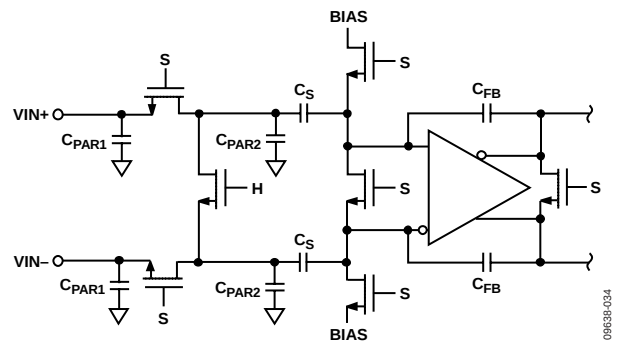


图41. 开关电容输入

为实现最佳动态性能，必须保证驱动VIN+的源阻抗与驱动VIN-的源阻抗相匹配，并且使输入保持差分平衡。

输入共模

AD6643的模拟输入端无内部直流偏置。在交流耦合应用中，用户必须提供外部偏置。建议将器件设置成 $V_{CM} = 0.5 \times AVDD$ (或0.9 V)，以实现最佳性能。

芯片通过VCM引脚提供板上共模基准电压。建议使用VCM输出设置输入共模。通过VCM引脚提供模拟输入共模电压(典型值为 $0.5 \times AVDD$)时，可实现芯片的最佳性能。必须用一个0.1 μF 电容对VCM引脚去耦到地，如“应用信息”部分所述。将该去耦电容放在VCM引脚附近，以便将器件与该电容间的串联电阻和电感降至最低。

AD6643

差分输入配置

通过差分输入配置驱动AD6643时，可实现芯片的最佳性能。在基带应用中，[AD8138](#)、[ADA4937-2](#)、[ADA4930-2](#)和[ADA4938-2](#)差分驱动器能够为ADC提供出色的性能和灵活的接口。

通过AD6643的VCM引脚，可以方便地设置ADA4938-2的输出共模电压(见图42)；驱动器可以配置为Sallen-Key滤波器拓扑电路结构，从而对输入信号进行带宽限制。

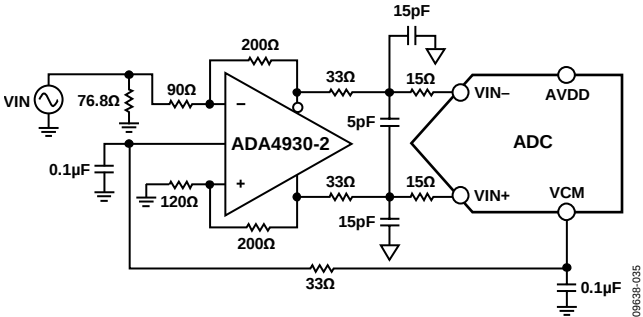


图42. 利用ADA4930-2进行差分输入配置

在SNR为关键参数的基带应用中，建议使用的输入配置是差分变压器耦合，如图43所示。为实现模拟输入偏置，可将VCM电压连接到变压器次级绕组的中心抽头处。

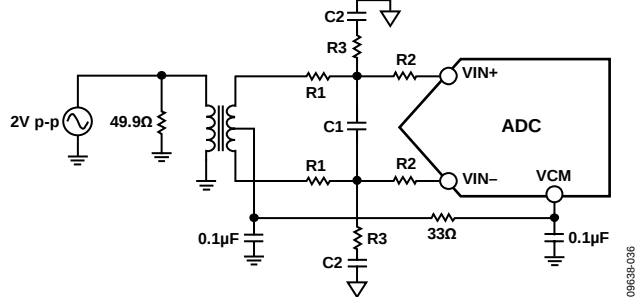


图43. 差分变压器耦合配置

选择变压器时，必需考虑其信号特性。大多数射频变压器在工作频率低于几兆赫兹时，产生饱和现象。信号功率过大也可导致磁芯饱和，从而导致失真。

当输入频率处于第二或更高奈奎斯特区域时，大多数放大器的噪声性能无法满足要求以达到AD6643真正的SNR性能。在SNR为关键参数的应用中，建议使用的输入配置是差分双巴伦耦合(见图44)。在这种配置中，输入交流耦合，CML通过一个33Ω电阻提供给各输入。这些电阻补偿输入巴伦的损耗，向驱动器提供50Ω阻抗。

在双巴伦和变压器配置中，输入电容和电阻的值取决于输入频率和源阻抗。基于这些参数，可能需要调整输入电阻和电容值，或者需要移除一些元件。表10列出了在不同输入频率范围内设置RC网络的建议值。不过，由于这些值取决于输入信号和带宽，因此只能用作初始参考。请注意，表10中给出的值分别用于图43和图44中的R1、R2、C2和R3元件。

表10. RC网络示例

频率范围 (MHz)	串联电阻 R1 (Ω)	差分电容 C1 (pF)	串联电阻 R2 (Ω)	并联电容 C2 (pF)	并联电阻 R3 (Ω)
0至100	33	8.2	0	15	49.9
100至300	15	3.9	0	8.2	49.9

频率在第二奈奎斯特区域内的时候，除了使用变压器耦合输入外，还可以使用可变增益放大器。数字可变增益放大器(DVGA) [AD8375](#)或[AD8376](#)具备驱动AD6643所需的良好性能。图45显示AD8376的示例，该器件通过带通抗混叠滤波器驱动AD6643。

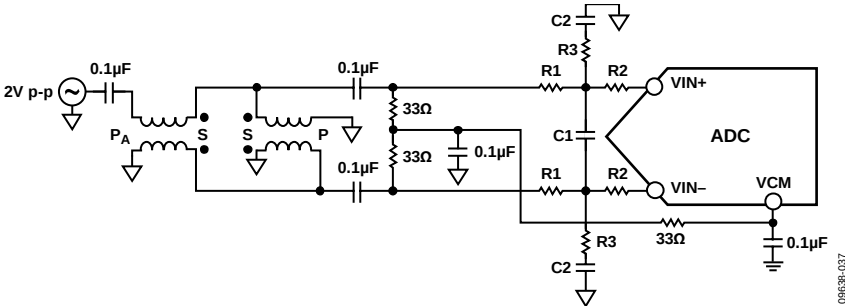
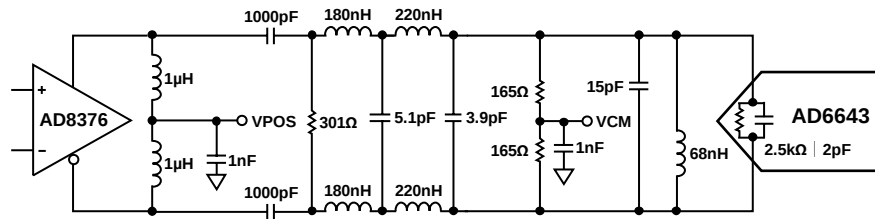


图44. 差分双巴伦输入配置



NOTES

1. ALL INDUCTORS ARE COILCRAFT 0603CS COMPONENTS WITH THE EXCEPTION OF THE 1μH CHOKE INDUCTORS (0603LS).
2. FILTER VALUES SHOWN ARE FOR A 20MHz BANDWIDTH FILTER CENTERED AT 140MHz.

图45. 利用AD8376进行差分输入配置

基准电压源

AD6643内置稳定、精确的基准电压源。可通过用SPI改变基准电压来调整满量程输入范围。ADC输入范围跟随基准电压呈线性变化。

时钟输入考虑

为了充分发挥芯片的性能，应利用一个差分信号作为AD6643采样时钟输入端(CLK+和CLK-)的时钟信号。该信号通常使用变压器或电容器交流耦合到CLK+和CLK-引脚内。CLK+和CLK-引脚有内部偏置(见图46)，无需外部偏置。如果这些输入悬空，应将CLK-引脚拉低以防止杂散时钟。

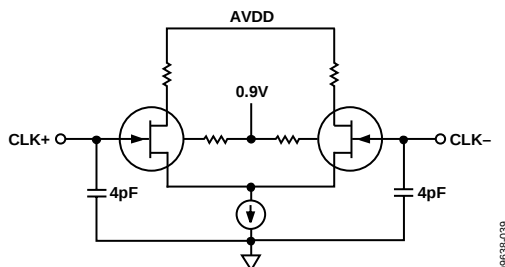


图46. 等效时钟输入电路

时钟输入选项

AD6643的时钟输入结构非常灵活。CMOS、LVDS、LVPECL或正弦波信号均可作为其时钟输入信号。无论采用哪种信号，都必须考虑到时钟源抖动(见抖动考虑部分说明)。

图47和图48显示两种为AD6643提供时钟信号的首选方法(时钟速率可达625 MHz)。利用射频巴伦或射频变压器，可将低抖动时钟源的单端信号转换成差分信号。

对于125 MHz至625 MHz的时钟频率，建议采用射频巴伦配置；对于10 MHz至200 MHz的时钟频率，建议采用射频变压器配置。跨接在变压器次级上的背对背肖特基二极管可以将输入到AD6643中的时钟信号限制为约差分0.8 V p-p。这样，既可以防止时钟的大电压摆幅馈通至AD6643的其它部分，还可以保留信号的快速上升和下降时间，这一点对于低抖动性能来说非常重要。

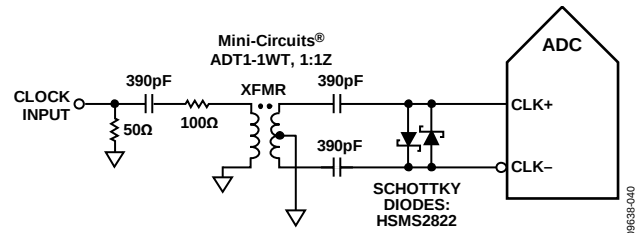


图47. 变压器耦合差分时钟(频率可达200 MHz)

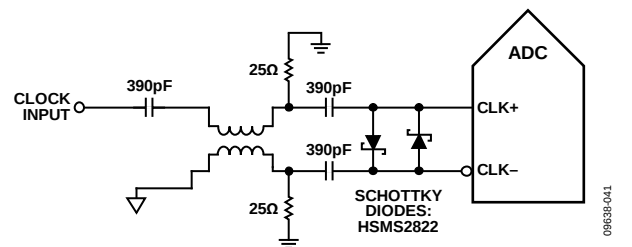


图48. 巴伦耦合差分时钟(频率可达625 MHz)

如果没有低抖动的时钟源，那么，另一种方法是对差分PECL信号进行交流耦合，并传输至采样时钟输入引脚(如图49所示)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522和ADCLK905/ADCLK907/ADCLK925时钟驱动器具有出色的抖动性能。

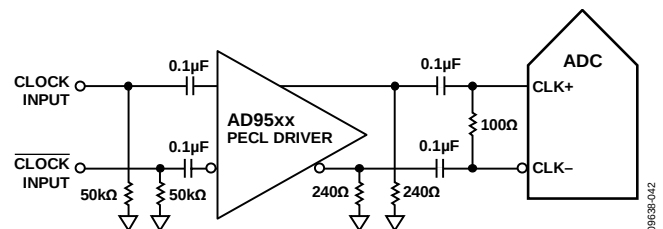


图49. 差分PECL采样时钟(频率可达625 MHz)

第三种方法是对差分LVDS信号进行交流耦合，并传输至采样时钟输入引脚(如图50所示)。AD9510、AD9511、AD9512、AD9513、AD9514、AD9515、AD9516、AD9517、AD9518、AD9520、AD9522、AD9523和AD9524时钟驱动器具有出色的抖动性能。

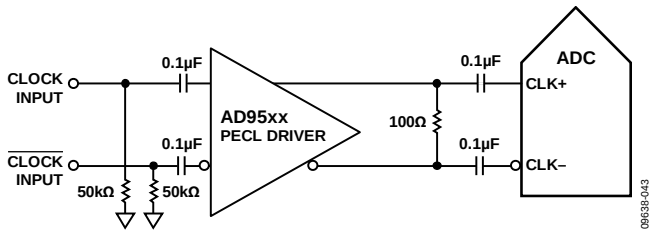


图50. 差分LVDS采样时钟(频率可达625 MHz)

输入时钟分频器

AD6643内置一个输入时钟分频器，可对输入时钟进行1至8整数倍分频。占空比稳定器(DCS)上电时默认使能。

利用外部SYNC输入信号，可同步AD6643时钟分频器。通过对寄存器0x3A的位1和位2进行写操作，可以设置每次收到SYNC信号或者仅第一次收到SYNC信号后，对时钟分频器再同步。有效SYNC可使分频器复位至初始状态。该同步特性可让多个器件的时钟分频器对准，从而保证同时进行输入采样。

时钟占空比

典型的高速ADC利用两个时钟边沿产生不同的内部定时信号，因此，它对时钟占空比非常敏感。通常，为保持ADC的动态性能，时钟占空比容差应为 $\pm 5\%$ 。

AD6643内置一个占空比稳定器(DCS)，可对非采样边沿(下降沿)进行重新定时，从而提供标称占空比为50%的内部时钟信号。因此，用户可提供的时钟输入占空比范围非常广，且不会影响AD6643的性能。

输入时钟上升沿的抖动依然非常重要，且无法借助占空比稳定器降低这种抖动。当时钟速率低于40 MHz(标称值)时，占空比控制环路不起作用。当时钟速率产生动态变化时，必须考虑与环路相关的时间常量。在DCS环路重新锁定输入信号前，都需要等待1.5 μs 至5 μs 的时间。在环路处于非锁定状态时，DCS环路被旁路，内部器件定时取决于输入时钟信号的占空比。在此类应用中，建议禁用DCS。在所有其它应用中，建议使能DCS电路，以便获得最佳交流性能。

抖动考虑

高速、高分辨率ADC对时钟输入信号的质量非常敏感。在给定的输入频率(f_{IN})下，由于抖动(t_j)造成的信噪比(SNR)下降计算公式如下：

$$\text{SNR}_{\text{HF}} = -10 \log[(2\pi \times f_{\text{IN}} \times t_{\text{RMS}})^2 + 10^{(/\text{SNR}_{\text{LF}}/10)}]$$

公式中，均方根孔径抖动表示所有抖动源(包括时钟输入信号和模拟输入信号和ADC孔径抖动规格)的均方根。中频欠采样应用对抖动尤其敏感(如图51所示)。

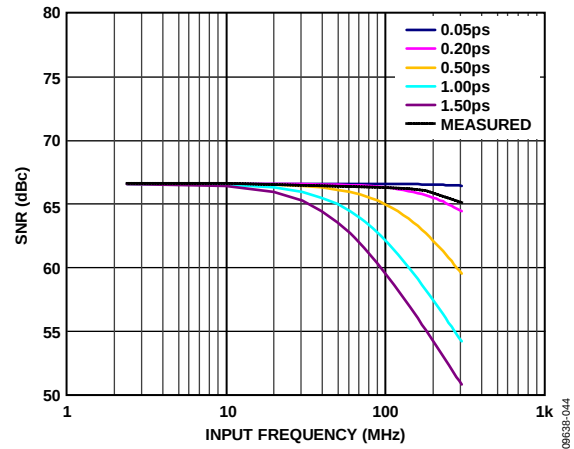


图51. 信噪比与输入频率和抖动的关系

当孔径抖动可能影响AD6643的动态范围时，应将时钟输入信号视为模拟信号。将时钟驱动器电源与ADC输出驱动器电源分离，以免在时钟信号内混入数字噪声。低抖动的晶体控制振荡器可提供最佳时钟源。如果时钟信号来自其它类型的时钟源(通过门控、分频或其它方法)，则需要在最后一步中利用原始时钟进行重定时。

如需了解更多与ADC相关的抖动性能信息，请参阅应用笔记AN-501“孔径不确定性与ADC系统性能”和应用笔记AN-756“采样系统与时钟相位噪声和抖动的关系”(www.analog.com)。

功耗和待机模式

如图52所示，AD6643的功耗与其采样速率成比例关系。图52中的数据是采用与测量典型性能特性相同的工作条件得出。

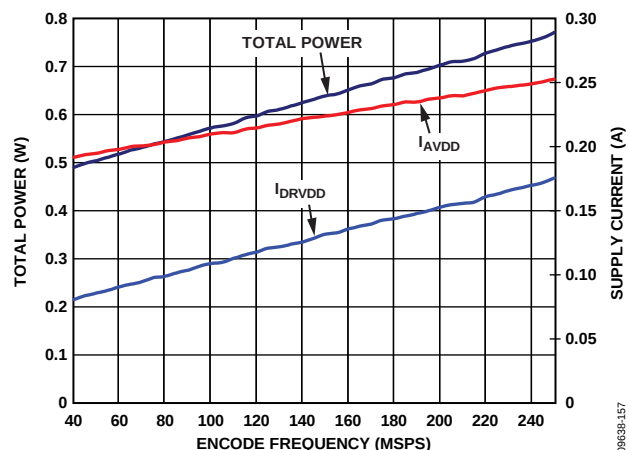


图52. AD6643功率和电流与采样速率的关系

置位PDWN(通过SPI端口或将PDWN引脚置位高电平)，可使AD6643进入掉电模式。在这种状态下，ADC的典型功耗为10 mW。在掉电模式下，输出驱动器处于高阻抗状态。

将PDWN引脚置位低电平后，AD6643返回正常工作模式。注意，PDWN以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

在掉电模式下，通过关闭基准电压、基准电压缓冲器、偏置网络以及时钟，可实现低功耗。进入掉电模式时，内部电容放电；返回正常工作模式时，内部电容必须重新充电。因此，唤醒时间与处于掉电模式的时间有关；处于掉电模式的时间越短，则相应的唤醒时间越短。

使用SPI端口接口时，用户可将ADC置于掉电模式或待机模式。如需较短的唤醒时间，可以使用待机模式，该模式下内部基准电压电路处于通电状态。欲了解更多信息，请参阅“存储器映射寄存器描述”部分和应用笔记AN-877“通过SPI与高速ADC接口”(www.analog.com)。

数字输出

使用一个1.8 V DRVDD电源，可将AD6643输出驱动配置用于ANSI LVDS或低电压驱动LVDS。

如应用笔记AN-877“通过SPI与高速ADC接口”中所述，在SPI控制模式下，数据的输出格式可选择偏移二进制、二进制补码或格雷码。

数据输出使能功能(OEB)

AD6643的数字输出引脚具有灵活的三态功能。三态模式通过OEB引脚或SPI接口使能。若OEB引脚处于低电平状态，则使能输出数据驱动器。若OEB引脚处于高电平状态，则将输出数据驱动器置于高阻态。OEB功能不适用于快速访问数据总线。注意，OEB以数据输出驱动器电源电压(DRVDD)为基准，且不得高于该电压。

表11. 输出数据格式

输入(V)	VIN+ – VIN–, 输入范围 = 1.75 V p-p (V)	偏移二进制输出模式	二进制补码模式(默认)	或
VIN+ – VIN–	小于–0.875	000 0000 0000	100 0000 0000	1
VIN+ – VIN–	–0.875	000 0000 0000	100 0000 0000	0
VIN+ – VIN–	0	100 0000 0000	000 0000 0000	0
VIN+ – VIN–	+ 0.875	111 1111 1111	011 1111 1111	0
VIN+ – VIN–	大于+ 0.875	111 1111 1111	011 1111 1111	1

使用SPI接口时，通过寄存器0x14的位4(输出禁用信号位)，可以独立设置每个通道的数据输出和三态。由于输出数据交错，如果仅禁用两个通道中的一个，剩余通道的数据在上升和下降输出时钟周期均会重复。

时序

AD6643为锁存数据提供10个输入采样时钟周期的流水线延迟(当NSR使能时为13个输入采样时钟周期)。在经过时钟信号上升沿后的一个传播延迟时间(t_{PD})之后，产生输出数据。

为减少AD6643内的瞬时现象，应尽可能缩短输出数据线的长度并降低输出负载。瞬时现象可降低转换器的动态性能。

AD6643的典型最低转换速率为40 MSPS。当时钟速率低于40 MSPS时，芯片的动态性能会有所下降。

数据时钟输出(DCO)

此外，AD6643还提供数据时钟输出(DCO)，用于采样外部寄存器中的数据。图2显示了AD6643输出模式的时序图。

ADC超量程(OR)

ADC输入端检测到超量程时，ADC超量程指示器将置位。超量程条件在ADC流水线输出端确定；因此，需要10个ADC时钟周期延迟(NSR使能时为13个ADC时钟周期)。当输入端发生超量程10个时钟周期后，该位可指示超量程(NSR使能时为13个时钟周期)。

噪声整形再量化器(NSR)

AD6643具有噪声整形再量化器(NSR)，可在奈奎斯特频带子集内维持高于11位的SNR。接收机的谐波性能不受NSR特性影响。使能时，NSR给输入信号带来0.6 dB的额外损耗，使得输出引脚上的0 dBFS输入降至-0.6 dBFS。

NSR特性可针对每一通道通过SPI独立控制。

同时提供两种不同的带宽模式；可通过SPI端口选择。每种模式下，频带的中心频率可调谐，使IF可以是奈奎斯特频带范围内的任何频率。

22% BW模式(184.32 MSPS时>40 MHz)

第一种带宽模式在22%的ADC采样速率下(奈奎斯特频带的44%)提供极佳的噪声性能，并可通过将NSR控制寄存器的NSR模式位(地址0x3C)设为000来确定中心。在此模式下，可使用NSR调谐寄存器中的6位调谐字(地址0x3E)设置有用的频率范围。共有57个可能调谐字(TW)；每步为ADC采样速率的0.5%。以下三个公式分别描述左频带边沿(f_0)、通道中心(f_{CENTER})和右频带边沿(f_1)：

$$f_0 = f_{\text{ADC}} \times .005 \times TW$$

$$f_{\text{CENTER}} = f_0 + 0.11 \times f_{\text{ADC}}$$

$$f_1 = f_0 + 0.22 \times f_{\text{ADC}}$$

图53至图55显示AD6643在三个不同调谐字、22% BW模式下可以获得的典型频谱。

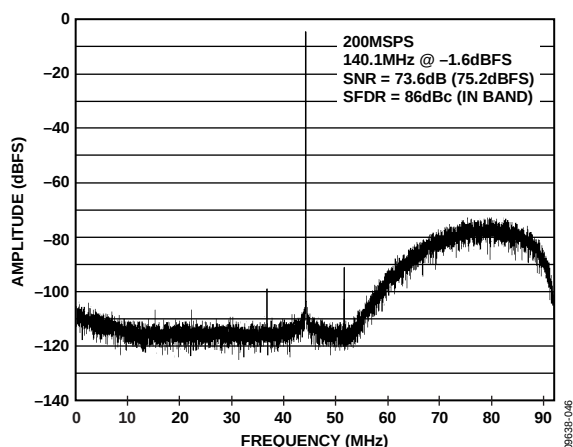


图53. 22% BW模式，调谐字 = 13

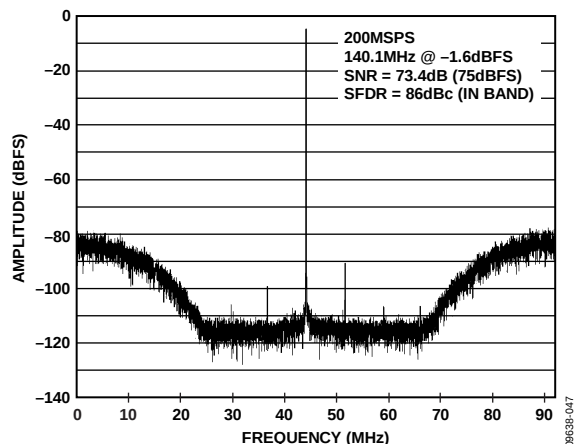


图54. 22% BW模式，调谐字 = 28($f_0/4$ 调谐)

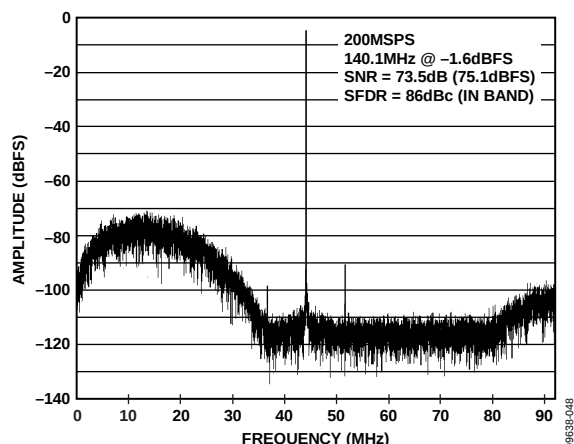


图55. 22% BW模式，调谐字 = 41

33% BW模式(184.32 MSPS时>60 MHz)

第二种带宽模式在33%的ADC采样速率下(奈奎斯特频带的66%)提供极佳的噪声性能, 并可通过将NSR控制寄存器的NSR模式位(地址0x3C)设为001来确定中心。在此模式下, 可使用NSR调谐寄存器中的6位调谐字(地址0x3E)设置有用的频率范围。共有34个可能调谐字(TW); 每步为ADC采样速率的0.5%。以下三个公式分别描述左频带边沿(f_0)、通道中心(f_{CENTER})和右频带边沿(f_1):

$$f_0 = f_{\text{ADC}} \times .005 \times TW$$

$$f_{\text{CENTER}} = f_0 + 0.165 \times f_{\text{ADC}}$$

$$f_1 = f_0 + 0.33 \times f_{\text{ADC}}$$

图56至图58显示AD6643在三个不同调谐字、33% BW模式下可以获得的典型频谱。

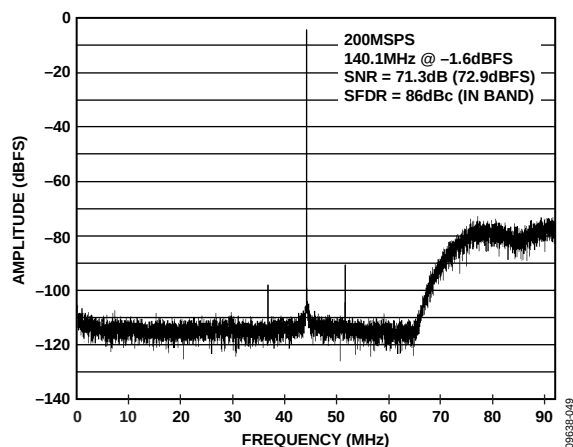


图56. 33% BW模式, 调谐字 = 5

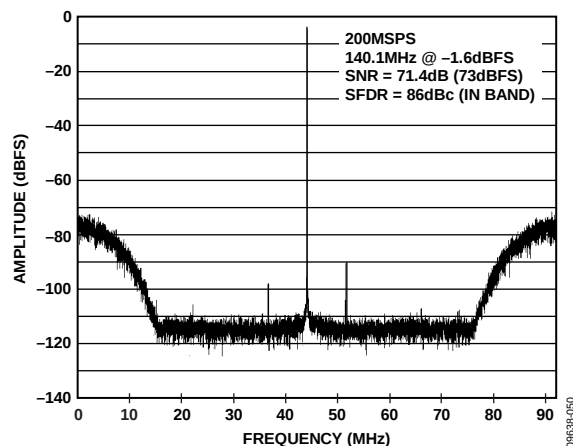


图57. 33% BW模式, 调谐字 = 17($f_s/4$ 调谐)

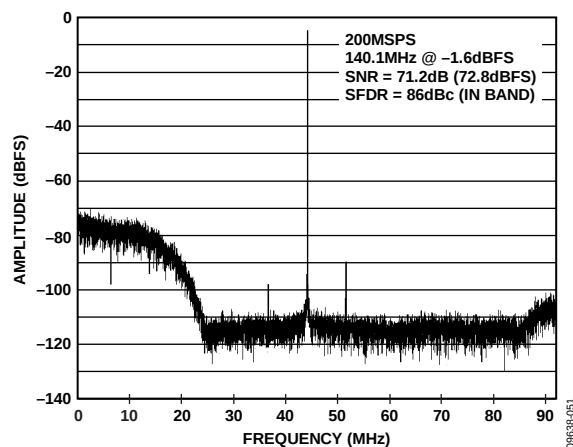


图58. 33% BW模式, 调谐字 = 27

通道/芯片同步

AD6643有一个同步(SYNC)输入端，允许用户通过灵活的同步选项实现内部模块同步。同步特性可保证多个ADC同步运行。利用SYNC输入信号，可同步输入时钟分频器。可以通过设置寄存器0x3A的适当位使能分频器，以便在第一次或每次出现SYNC信号时进行同步。

SYNC输入在内部与采样时钟同步。不过，为了确保多个器件间不会出现时序不确定，SYNC输入信号应与输入时钟信号同步。SYNC输入信号应由单端CMOS型信号驱动。

串口(SPI)

AD6643串行端口接口(SPI)允许用户利用ADC内部的一个结构化寄存器空间来配置转换器，以满足特定功能和操作的需要。SPI具有灵活性，可根据具体的应用进行定制。通过串行端口，可访问地址空间、对地址空间进行读写。存储空间以字节为单位进行组织，并且能进一步划分成多个区域。各个区域的说明见存储器映射部分。如需了解详细操作信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。

使用SPI的配置

该ADC的SPI由三部分组成：SCLK引脚、SDIO引脚和CSB引脚(见表12)。SCLK(串行时钟)引脚用于同步从ADC读出的数据和写入ADC的数据。SDIO(串行数据输入/输出)引脚是一个双功能引脚，可通过此引脚将数据发送至内部ADC存储器映射寄存器或从该寄存器中读出数据。CSB(片选信号)引脚是低电平有效控制引脚，它能够使能或者禁用读写周期。

表12. 串行端口接口引脚

引脚	功能
SCLK	串行时钟。串行移位时钟输入，用来同步串行接口的读、写操作。
SDIO	串行数据输入/输出。双功能引脚；通常用作输入或输出，取决于发送的指令和时序帧中的相对位置。
CSB	片选信号。低电平有效控制信号，用来选通读写周期。

CSB的下降沿与SCLK的上升沿共同决定帧的开始。图59为串行时序图范例，相应的定义见表5。

CSB可以在多种模式下工作。CSB可始终维持在低电平状态，从而使器件一直处于使能状态；这称作流。CSB可以在字节之间停留在高电平，这样可以允许其他外部时序。CSB引脚拉高时，SPI功能处于高阻抗模式。在该模式下，可以开启SPI引脚的第二功能。

在一个指令周期内，传输一条16位指令。在指令传输后将进行数据传输，数据长度由W0位和W1位共同决定。

所有数据均由8位字组成。串行数据的每个字节的第一位表示发出的是读命令还是写命令。这样，就能将串行数据输入/输出(SDIO)引脚的数据传输方向设置为输入或输出。

除了字长，指令周期还决定串行帧是读操作指令还是写操作指令，从而通过串行端口对芯片编程或读取片上存储器内的数据。如果指令是回读操作，则执行回读操作会使串行数据输入/输出(SPIO)引脚的数据传输方向，在串行帧的一定位置由输入改为输出。

数据可通过MSB优先模式或LSB优先模式发送。芯片上电后，默认采用MSB优先的方式，可以通过SPI端口配置寄存器来更改数据发送方式。如需了解更多关于该特性及其它特性的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”(www.analog.com)。

硬件接口

表12中所描述的引脚包括用户编程器件与AD6643的串行端口之间的物理接口。当使用SPI接口时，SCLK引脚和CSB引脚均用作输入引脚。SDIO引脚是双向引脚，在写入阶段，用作输入引脚；在回读阶段，用作输出引脚。

SPI接口非常灵活，FPGA或微控制器均可控制该接口。应用笔记AN-812“基于微控制器的串行接口(SPI)启动电路”中详细介绍了一种SPI配置方法。

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6643之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

当不使用SPI接口时，有些引脚用作第二功能。在器件上电期间，当引脚与AVDD或接地端连接时，这些引脚可起到特定的作用。“数字输出”部分将介绍AD6643支持的特定功能。

AD6643

SPI访问特性

表13简要说明了可通过SPI访问的一般特性。如需详细了解这些特性，请参阅应用笔记AN-877“通过SPI与高速ADC接口”(www.analog.com)。AD6643的特定器件特性详见存储器映射寄存器表部分。

表13. 可通过SPI访问的特性

特性名称	描述
功耗模式	允许用户设置掉电模式或待机模式
时钟	允许用户通过SPI访问DCS
失调	允许用户以数字方式调整转换器失调
测试I/O	允许用户设置测试模式，以便在输出位上获得已知数据
输出模式	允许用户设置输出
输出相位	允许用户设置输出时钟极性
输出延迟	允许用户改变DCO延迟
VREF	允许用户设置基准电压
数字处理	允许用户使能同步特性

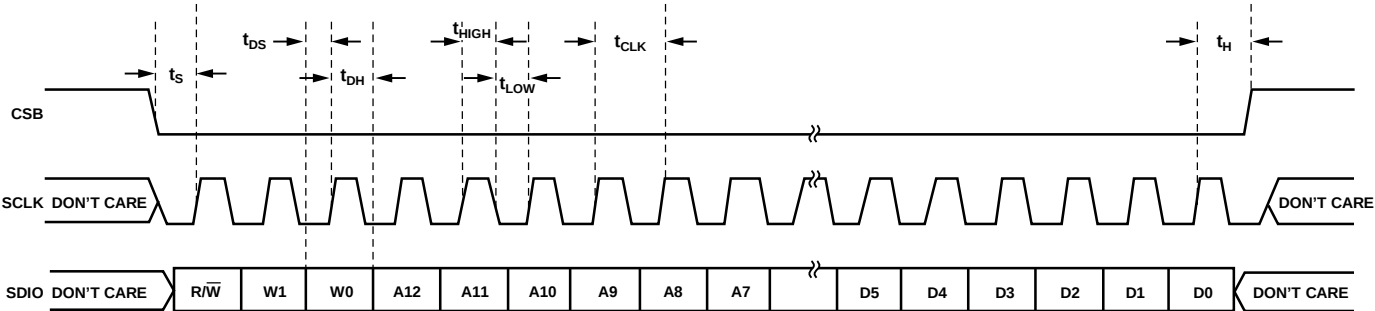


图59. 串行端口接口时序图

09638-052

存储器映射

读取存储器映射寄存器表

存储器映射寄存器表的每一行有8位。存储器映射大致分为四个部分：芯片设置寄存器(地址0x00至地址0x02)；通道索引和传送寄存器(地址0x05至地址0xFF)；ADC功能寄存器，包括设置寄存器、控制寄存器和测试寄存器(地址0x08至地址0x20)；以及数字特性控制寄存器(地址0x3A至地址0x3E)。

存储器映射寄存器表(表14)记录了每个十六进制地址及其十六进制默认值。位7 (MSB)栏为给定十六进制默认值的起始位。例如，输出模式寄存器(地址0x14)的十六进制默认值为0x05。这表明，位0 = 1，其余位均为0。此设置是默认输出格式值(二进制补码)。如需了解更多关于该功能及其它功能的信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”。该文档详细描述了寄存器0x00至寄存器0x25控制的功能。存储器映射寄存器描述部分还介绍了其它寄存器(寄存器0x3A至寄存器0x3E)。

禁用的地址

此器件目前不支持表14中未包括的所有地址和位。有效地址中未使用的位应写为0。在该地址(例如：地址0x18)仅有一部分位处于禁用状态时，才可以对这些位置进行写操作。如果整个地址(例如：地址0x13)均禁用，则不应对该地址进行写操作。

默认值

AD6643复位后，将向关键寄存器内载入默认值。表14(存储器映像寄存器表)内列出了各寄存器的默认值。

逻辑电平

以下是逻辑电平的术语说明：

- “置位”指“将某位设置为逻辑1”或“向某位写入逻辑1”。
- “清除位”指“将某位设置为逻辑0”或“向某位写入逻辑0”。

传送寄存器映射

地址0x08至地址0x20和地址0x3A至地址0x3E是被屏蔽的。因此向这些地址进行写操作不会影响器件运行，除非向地址0xFF写入0x01，设置了传输位，从而发出了传输命令。这样，设置传输位时，就可以在内部同时更新这些寄存器。设置传输位时，内部进行更新，然后传输位自动清零。

特定通道寄存器

可通过编程，单独为每个通道设置某些通道功能(例如：信号监控阈值)。在这些情况下，可在内部为每个通道复制通道地址位置。这些寄存器及相应的局部寄存器位，见表14。通过设置寄存器0x05的通道A位或通道B位，可访问这些局部寄存器及相应位。

如果这两个位均置位，后续写操作将影响两个通道的寄存器。在一个读周期内，仅允许将一个通道位(通道A位或通道B位)置位，以便对其中的一个或两个寄存器执行读操作。如果在一个SPI读周期内置位两个通道位，则器件返回通道A的值。

当不允许分别设置两个通道时，表14给出的全局寄存器及相应位将影响整个器件或通道的特性。寄存器0x05中的设置不影响全局寄存器及相应位的值。

AD6643

存储器映射寄存器表

此器件目前不支持表14中未包括的所有地址和位。

表14. 存储器映射寄存器

地址 (十六 进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六 进制)	默认值注释
芯片配置寄存器											
0x00	SPI端口配置 (全局) ¹	0	LSB 优先	软复位	1	1	软复位	LSB优先	0	0x18	半字节之间是 镜像关系， 使得无论在何种 移位模式下， LSB优先或MSB 优先模式寄存器 均能正确记录数据
0x01	芯片ID (全局)	8位芯片ID[7:0] (AD6643 = 0x84) (默认)								0x84	只读
0x02	芯片等级 (全局)	开路	开路	速度等级ID 00 = 250 MSPS 10 = 200 MSPS	开路	开路	开路	开路	开路		速度等级ID， 用来区分器件； 只读
通道索引和传送寄存器											
0x05	通道索引 (全局)	开路	开路	开路	开路	开路	开路	ADC B (默认)	ADC A (默认)	0x03	设置这些位以 决定片内何器件 接收下一个写 命令；仅适用于 局部寄存器
0xFF	传输 (全局)	开路	开路	开路	开路	开路	开路	开路	传输	0x00	从主移位寄存器 向从移位寄存器 同步传输数据
ADC功能											
0x08	功耗模式 (局部)	开路	开路	外部掉电 引脚功能 (局部) 0 = 掉电 1 = 待机	开路	开路	开路	内部掉电模式(局部) 00 = 正常工作 01 = 完全掉电 10 = 待机 11 = 保留		0x00	决定芯片的 一般工作模式
0x09	全局时钟 (全局)	开路	开路	开路	开路	开路	开路	开路	占空比 稳定器 (默认)	0x01	
0x0B	时钟分频器 (全局)	开路	开路	输入时钟分频器相位调整 000 = 无延迟 001 = 1输入时钟周期 010 = 2输入时钟周期 011 = 3输入时钟周期 100 = 4输入时钟周期 101 = 5输入时钟周期 110 = 6输入时钟周期 111 = 7输入时钟周期			时钟分频比 000 = 1分频 001 = 2分频 010 = 3分频 011 = 4分频 100 = 5分频 101 = 6分频 110 = 7分频 111 = 8分频			0x00	000以外的时钟 分频值会使占 空比稳定器 自动启用

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值注释	
0x0D	测试模式 (局部)	用户测试模式控制 0 = 连续/ 重复图样 1 = 单一图样, 接着为零	开路	产生复位PN长序列	产生复位PN短序列	输出测试模式 0000 = 关(默认) 0001 = 中间电平短路 0010 = 正FS 0011 = 负FS 0100 = 交替棋盘形式 0101 = PN长序列 0110 = PN短序列 0111 = 1/0字反转 1000 = 用户测试模式 1001至1110 = 未使用 1111 = 斜坡输出				0x00	设置此寄存器后, 测试数据将取代 正常数据被置于 输出引脚上	
0x10	失调调整 (局部)	开路	开路	失调调整以LSB为单位, 从+31到-32 (二进制补码格式)						0x00		
0x14	输出模式	开路	开路	开路	输出禁用 (局部)	开路	输出反转(局部) 1 = 正常(默认) 0 = 反相		输出格式 00 = 偏移 二进制 01 = 二进制补码 (默认) 10 = 格雷码 11 = 保留 (局部)	0x05	配置输出和 数据格式	
0x15	输出调整 (全局)	开路	开路	开路	开路	LVDS输出驱动电流调整 0000 = 3.72 mA输出驱动电流 0001 = 3.5 mA输出驱动电流(默认) 0010 = 3.30 mA输出驱动电流 0011 = 2.96 mA输出驱动电流 0100 = 2.82 mA输出驱动电流 0101 = 2.57 mA输出驱动电流 0110 = 2.27 mA输出驱动电流 0111 = 2.0 mA输出驱动电流 (范围缩小) 1000至1111 = 保留				0x01		
0x16	时钟相位控制 (全局)	DCO时钟反相	开路	奇/偶模式 输出使能 0 = 禁用 1 = 使能	开路	开路		开路	开路	开路	0x00	
0x17	DCO输出延迟 (全局)	使能DCO 时钟延迟	开路	开路	DCO时钟延迟 [延迟 = (3100 ps × 寄存器值/31 + 100)] 00000 = 100 ps 00001 = 200 ps 00010 = 300 ps ... 11110 = 3100 ps 11111 = 3200 ps						0x00	
0x18	输入范围选择 (全局)	开路	开路	开路	满量程输入电压选择 01111 = 2.087 V p-p ... 00001 = 1.772 V p-p 00000 = 1.75 V p-p(默认) 11111 = 1.727 V p-p ... 10000 = 1.383 V p-p						0x00	满量程输入调整, 步进为0.022 V
0x19	用户测试码1, LSB(全局)	用户测试码1[7:0]								0x00		
0x1A	用户测试码1, MSB(全局)	用户测试码1[15:8]								0x00		

AD6643

地址 (十六进制)	寄存器名称	位7 (MSB)	位6	位5	位4	位3	位2	位1	位0 (LSB)	默认值 (十六进制)	默认值注释
0x1B	用户测试码2, LSB(全局)	用户测试码2[7:0]								0x00	
0x1C	用户测试码2, MSB(全局)	用户测试码2[15:8]								0x00	
0x1D	用户测试码3, LSB(全局)	用户测试码3[7:0]								0x00	
0x1E	用户测试码3, MSB(全局)	用户测试码3[15:8]								0x00	
0x1F	用户测试码4, LSB(全局)	用户测试码4[7:0]								0x00	
0x20	用户测试码4, MSB(全局)	用户测试码4[15:8]								0x00	
数字特性控制寄存器											
0x3A	同步控制 (全局)	开路	开路	开路	开路	开路	开路	时钟分频器 同步使能 0 = 关 1 = 开	主机同步 使能 0 = 关 1 = 开	0x00	用于同步时钟 分频器的控制 寄存器
0x3C	NSR控制 (局部)	开路	开路	开路	开路	NSR模式 000 = 22% BW模式 001 = 33% BW模式			NSR使能 0 = 关 1 = 开	0x00	噪声整形再量 化器(NSR)控制
0x3E	NSR调谐字 (局部)	开路	开路	NSR调谐字 参见噪声整形再量化器(NSR)部分 调谐字的公式取决于NSR模式						0x1C	NSR频率调谐字

¹ 写入地址0x00时，地址0x05的通道索引寄存器应设为0x03(默认)。

存储器映射寄存器描述

如需了解有关寄存器0x00至寄存器0x20所控制功能的更多信息，请参阅应用笔记AN-877“通过SPI与高速ADC接口”(www.analog.com)。

同步控制(寄存器0x3A)

位[7:3]—保留

位2—时钟分频器仅与下一同步脉冲同步

如果主机同步使能缓冲器位(地址0x3A的位0)和时钟分频器同步使能位(地址0x3A的位1)均为高电平，则位2允许时钟分频器与它接收到的第一个同步脉冲同步，并忽略其它同步脉冲。同步后，时钟分频器同步使能位(地址0x3A的位1)复位。

位1—时钟分频器同步使能

位1选通时钟分频器的同步脉冲。当位1为高电平且位0为高电平时，同步信号使能。这是连续同步模式。

位0—主机同步缓冲器使能

要使能任何同步功能，位0必须设为高电平。如果不用同步功能，此位应保持低电平以省电。

NSR控制(寄存器0x3C)

位[7:4]—保留

位[3:1]—NSR模式

位[3:1]决定NSR的带宽模式。当位[3:1]设为000时，NSR配置为22% BW模式，此模式在22%的采样速率下提供更高的SNR性能。当位[3:1]设为001时，NSR配置为33% BW模式，此模式在33%的采样速率下提供更高的SNR性能。

位0—NSR使能

当位0为高电平时NSR使能，位0为低电平时NSR禁用。

NSR调谐字(寄存器0x3E)

位[7:6]—保留

位[5:0]—NSR调谐字

NSR调谐字设置NSR频带的频带边沿。在22% BW模式下，共有57个可能的调谐字；在33% BW模式下，共有34个可能的调谐字。无论是哪种模式，每步均代表0.5%的ADC采样速率。有关基于BW工作模式计算调谐字的公式，请参见“噪声整形再量化器(NSR)”部分。

应用信息

设计指南

在进行AD6643的系统级设计和布局之前，建议设计人员先熟悉下述设计指南，其中探讨了某些引脚所需的特殊电路连接和布局布线要求。

电源和接地建议

当连接电源至AD6643时，建议使用两个独立的1.8 V电源：一个电源用于模拟输出(AVDD)，另一个电源用于数字输出(DRVDD)。设计人员可以使用多个不同的去耦电容以适用于高频和低频。去耦电容应放置在接近PCB入口点和接近器件引脚的位置，并尽可能缩短走线长度。

AD6643仅需要一个PCB接地层。对PCB模拟、数字和时钟模块进行合理去耦和巧妙分隔，可以轻松获得最佳性能。

裸露焊盘散热块建议

为获得最佳的电气性能和热性能，必须将ADC底部的裸露焊盘连接至模拟地(AGND)。PCB上裸露(无阻焊膜)的连续铜平面应与AD6643的裸露焊盘(引脚0)匹配。

铜平面上应有多个通孔，获得尽可能低的热阻路径以通过PCB底部进行散热。应采用绝缘环氧化物来填充或堵塞这些通孔。

为了最大化地实现ADC与PCB之间的覆盖与连接，应在PCB上覆盖一个丝印层，以便将PCB上的连续平面划分为多个均等的部分。这样，在回流焊过程中，可在ADC与PCB之间提供多个连接点。而一个连续的、无分割的平面则仅可保证在ADC与PCB之间有一个连接点。PCB布局范例可以参考评估板。如需了解有关封装和芯片级封装PCB布局布线的详细信息，请参阅应用笔记[AN-772](#)“引脚架构芯片级封装(LFCSP)设计与制造指南”。

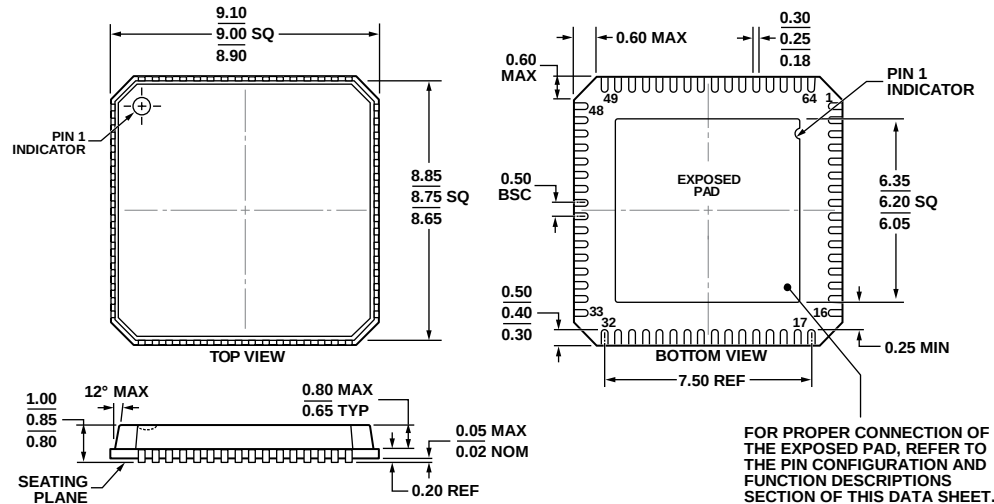
VCM

VCM引脚应通过一个0.1 μ F电容去耦至地，如图43所示。为获得最佳通道间隔离性能，AD6643 VCM引脚和通道A模拟输入网络连接之间以及AD6643 VCM引脚和通道B模拟输入网络连接之间均应连接一个33 Ω 电阻。

SPI端口

当需要转换器充分发挥其全动态性能时，应禁用SPI端口。通常SCLK信号、CSB信号和SDIO信号与ADC时钟是异步的，因此，这些信号中的噪声会降低转换器性能。如果其它器件使用板上SPI总线，则可能需要在该总线与AD6643之间连接缓冲器，以防止这些信号在关键的采样周期内，在转换器的输入端发生变化。

外形尺寸



COMPLIANT TO JEDEC STANDARDS MO-220-VMMD-4
图60. 64引脚引脚架构芯片级封装[LFCSP_VQ]
9 mm x 9 mm超薄四方体
(CP-64-4)
图示尺寸单位: mm

06-12-2012-B

订购指南

型号 ¹	温度范围	封装描述	封装选项
AD6643BCPZ-200	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6643BCPZRL7-200	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6643BCPZ-250	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6643BCPZRL7-250	-40°C至+85°C	64引脚引脚架构芯片级封装[LFCSP_VQ]	CP-64-4
AD6643-200EBZ		评估板, 附带AD6643-200	
AD6643-250EBZ		评估板, 附带AD6643-250	

¹ Z = 符合RoHS标准的器件。

注释

注释

AD6643

注释