



双通道、12/14/16位 $\text{nanoDAC}^{\text{®}}$ ， 内置5 ppm/°C片内基准电压源

AD5623R/AD5643R/AD5663R

产品特性

低功耗，最小的引脚兼容、双通道 nanoDAC

AD5663R：16位

AD5643R：14位

AD5623R：12位

用户可选外部或内部基准电压源

默认使用外部基准电压源

1.25 V/2.5 V、5 ppm/°C片内基准电压源

10引脚MSOP和3 mm x 3 mm、LFCSP封装

2.7 V至5.5 V电源

通过设计保证单调性

上电复位至零电平

各通道独立关断

串行接口，时钟速率最高达50 MHz

硬件LDAC和CLR功能

应用

过程控制

数据采集系统

便携式电池供电仪表

数字增益和失调电压调整

可编程电压源和电流源

可编程衰减器

概述

AD5623R/AD5643R/AD5663R均属于 nanoDAC 系列，分别是低功耗、双通道、12/14/16位缓冲电压输出数模转换器(DAC)，采用2.7 V至5.5 V单电源供电，通过设计保证单调性。

这些器件均内置一个片内基准电压源。AD5623R-3/AD5643R-3/AD5663R-3内置一个1.25 V、5 ppm/°C基准电压源，满量程输出范围可达到2.5 V；AD5623R-5/AD5643R-5/AD5663R-5内置一个2.5 V、5 ppm/°C基准电压源，满量程输出范围可达到5 V。上电时，片内基准电压源关闭，因而可以用外部基准电压。所有器件均可以采用2.7 V至5.5 V单电源供电。对DAC执行写操作将打开内部基准电压源。

上述器件均内置一个上电复位电路，确保DAC输出上电至0 V并保持该电平，直到执行一次有效的写操作为止。此外还具有省电特性，在省电模式下，器件在5 V时的功耗降至480 nA，并提供软件可选输出负载。

Rev. F

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

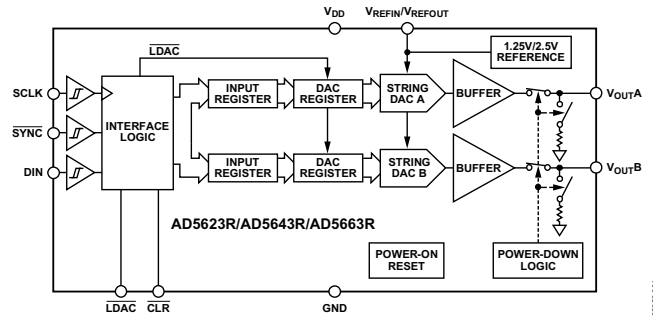


图1.

表1. 相关器件

产品型号	描述
AD5663	2.7 V至5.5 V、双通道、16位 nanoDAC ，集成外部基准电压源

在正常工作模式下，该器件具有低功耗特性，非常适合便携式电池供电设备。

AD5623R/AD5643R/AD5663R采用多功能三线式串行接口，能够以最高50 MHz的时钟速率工作，并与标准SPI[®]、QSPI[™]、MICROWIRE[™]、DSP接口标准兼容。它内置片内精密输出放大器，能够实现轨到轨输出摆幅。

产品特色

1. 双通道、12/14/16位DAC。
2. 1.25 V/2.5 V、5 ppm/°C片内基准电压源。
3. 提供10引脚MSOP和3 mm x 3 mm、10引脚LFCSP两种封装。
4. 低功耗：3 V时典型功耗为0.6 mW，5 V时为1.25 mW。
5. 建立时间(最大值)：4.5 μs (AD5623R)

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2006–2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

特性.....	1	输出放大器.....	20
应用.....	1	内部基准电压源.....	20
功能框图.....	1	外部基准电压源.....	20
概述.....	1	串行接口.....	20
产品特色.....	1	输入移位寄存器.....	21
修订历史.....	2	SYNC 中断.....	21
技术规格.....	3	上电复位.....	22
AD5623R-5/AD5643R-5/AD5663R-5.....	3	软件复位.....	22
AD5623R-3/AD5643R-3/AD5663R-3.....	5	省电模式.....	22
交流特性.....	6	LDAC 功能.....	23
时序特性.....	7	内部基准电压源设置.....	24
时序图.....	7	微处理器接口.....	25
绝对最大额定值.....	8	应用信息.....	26
ESD警告.....	8	基准电压源用作电源.....	26
引脚配置和功能描述.....	9	使用AD5663R的双极性操作.....	26
典型性能参数.....	10	AD5663R与电隔离接口的配合使用.....	26
术语.....	18	电源旁路和接地.....	27
工作原理.....	20	外形尺寸.....	28
Digital-to-Analog Section.....	20	订购指南.....	29
电阻串.....	20		

修订历史

2013年2月—修订版E至修订版F		2010年4月—修订版A至修订版B	
更改表14.....	23	更新“外形尺寸”.....	28
2012年4月—修订版D至修订版E		2006年12月—修订版0至修订版A	
更改表2.....	3	更改表2.....	3
更新“外形尺寸”.....	28	更改表3.....	5
更改“订购指南”.....	29	更改图3.....	9
2011年4月—修订版C至修订版D		更改“订购指南”.....	28
更改“订购指南”.....	29	2006年4月—修订版0：初始版	
2010年6月—修订版B至修订版C			
更改“订购指南”.....	28		

技术规格

AD5623R-5/AD5643R-5/AD5663R-5

$V_{DD} = 4.5\text{ V}$ 至 5.5 V ， $R_L = 2\text{ k}\Omega$ 接GND， $C_L = 200\text{ pF}$ 接GND， $V_{REFIN} = V_{DD}$ ；除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表2.

参数	A级1			B级1			单位	条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
静态性能 ²								
AD5663R								
分辨率				16			位	
相对精度					± 8	± 16	LSB	
差分非线性						± 1	LSB	通过设计保证单调性
AD5643R								
分辨率				14			位	
相对精度					± 2	± 4	LSB	
差分非线性						± 0.5	LSB	通过设计保证单调性
AD5623R								
分辨率				12			位	
相对精度		± 1	± 2		± 0.5	± 1	LSB	
差分非线性			± 1			± 0.25	LSB	通过设计保证单调性
零刻度误差		+2	+10		+2	+10	mV	DAC寄存器载入全0
失调误差		± 1	± 10		± 1	± 10	mV	
满量程误差		-0.1	± 1		-0.1	± 1	% of FSR	DAC寄存器载入全1
增益误差			± 1.5			± 1.5	% of FSR	
零电平误差漂移		± 2			± 2		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		± 2.5			± 2.5		ppm	用FSR/ $^\circ\text{C}$ 表示
直流电源抑制比		-100			-100		dB	DAC代码 = 中间电平； $V_{DD} = 5\text{ V} \pm 10\%$
直流串扰(外部基准电压源)		10			10		μV	满量程输出变化引起； $R_L = 2\text{ k}\Omega$ 接GND或 V_{DD}
		10			10		$\mu\text{V}/\text{mA}$	负载电流变化引起
		5			5		μV	(各通道)掉电引起
直流串扰(内部基准电压源)		25			25		μV	满量程输出变化引起； $R_L = 2\text{ k}\Omega$ 接GND或 V_{DD}
		20			20		$\mu\text{V}/\text{mA}$	负载电流变化引起
		10			10		μV	(各通道)掉电引起
输出特性 ³								
输出电压范围	0		V_{DD}	0		V_{DD}	V	
容性负载稳定性		2			2		nF	$R_L = \infty$
		10			10		nF	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5			0.5		Ω	
短路电流		30			30		mA	$V_{DD} = 5\text{ V}$
上电时间		4					μs	退出掉电模式； $V_{DD} = 5\text{ V}$ $V_{DD} = 5\text{ V}$
参考输入								
基准电流		170	200		170	200	μA	$V_{REF} = V_{DD} = 5.5\text{ V}$
基准输入范围	0.75		V_{DD}	0.75		V_{DD}	V	
基准输入阻抗		26			26		k Ω	

AD5623R/AD5643R/AD5663R

参数	A级1			B级1			单位	条件/注释
	最小值	典型值	最大值	最小值	典型值	最大值		
基准输出								
输出电压	2.495		2.505	2.495		2.505	V	环境温度
基准电压温度系数 ³		±10			±5	±10	ppm/°C	MSOP封装型号
		±10			±10		ppm/°C	LFCSP封装型号
输出阻抗		7.5					kΩ	
逻辑输入 ³								
输入电流			±2			±2	μA	所有数字输入
输入低电压(V _{INL})			0.8			0.8	V	V _{DD} = 5 V
输入高电压(V _{INH})	2			2			V	V _{DD} = 5 V
引脚电容		3			3		pF	DIN、SCLK和SYNC
		19			19		pF	LDAC 和 CLR
电源要求								
V _{DD}	4.5		5.5	4.5		5.5	V	V _{IH} = V _{DD} 和 V _{IL} = GND
I _{DD} (正常模式) ⁴		0.25	0.45		0.25	0.45	mA	内部基准电压源关闭
V _{DD} = 4.5 V至5.5 V		0.8	1		0.8	1	mA	内部基准电压源开启
I _{DD} (全掉电模式) ⁵		0.48	1		0.48	1	μA	V _{IH} = V _{DD} 和 V _{IL} = GND
V _{DD} = 4.5 V至5.5 V								

¹ 温度范围：A、B级 = -40°C至+105°C。

² 线性度计算使用缩减的数据范围：AD5663R(编码512到编码65,024)、AD5643R(编码128到编码16,256)、AD5623R(编码32到编码4064)。输出端无负载。

³ 通过设计和特性保证，但未经生产测试。

⁴ 接口未启用。所有DAC启用。DAC输出端无负载。

⁵ 两个DAC掉电。

AD5623R-3/AD5643R-3/AD5663R-3

$V_{DD} = 2.7\text{ V}$ 至 3.6 V , $R_L = 2\text{ k}\Omega$ 接 GND, $C_L = 200\text{ pF}$ 接 GND, $V_{REFIN} = V_{DD}$; 除非另有说明, 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表3.

参数	最小值	B级 ¹ 典型值	最大值	单位	条件/注释
静态性能 ²					
AD5663R					
分辨率	16			位	
相对精度		± 8	± 16	LSB	
差分非线性			± 1	LSB	通过设计保证单调性
AD5643R					
分辨率	14			位	
相对精度		± 2	± 4	LSB	
差分非线性			± 0.5	LSB	通过设计保证单调性
AD5623R					
分辨率	12			位	
相对精度		± 0.5	± 1	LSB	
差分非线性			± 0.25	LSB	通过设计保证单调性
零刻度误差		$+2$	$+10$	mV	DAC寄存器载入全0
失调误差		± 1	± 10	mV	
满量程误差		-0.1	± 1	% of FSR	DAC寄存器载入全1
增益误差			± 1.5	% of FSR	
零电平误差漂移		± 2		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		± 2.5		ppm	用FSR/ $^\circ\text{C}$ 表示
直流电源抑制比		-100		dB	DAC代码 = 中间电平; $V_{DD} = 3\text{ V} \pm 10\%$
直流串扰(外部基准电压源)		10		μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接 GND 或 V_{DD}
		10		$\mu\text{V}/\text{mA}$	负载电流变化引起
		5		μV	(各通道)掉电引起
直流串扰(内部基准电压源)		25		μV	满量程输出变化引起; $R_L = 2\text{ k}\Omega$ 接 GND 或 V_{DD}
		20		$\mu\text{V}/\text{mA}$	负载电流变化引起
		10		μV	(各通道)掉电引起
输出特性 ³					
输出电压范围	0		V_{DD}	V	
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
直流输出阻抗		0.5		Ω	
短路电流		30		mA	$V_{DD} = 3\text{ V}$
上电时间		4		μs	退出掉电模式; $V_{DD} = 3\text{ V}$
参考输入					
基准电流		170	200	μA	$V_{REF} = V_{DD} = 3.6\text{ V}$
基准输入范围	0.75		V_{DD}	V	
基准输入阻抗		26		k Ω	
基准输出					
输出电压	1.247		1.253	V	环境温度
基准电压温度系数 ³		± 5	± 15	ppm/ $^\circ\text{C}$	MSOP封装型号
		± 10		ppm/ $^\circ\text{C}$	LFCSP封装型号
输出阻抗		7.5		k Ω	

AD5623R/AD5643R/AD5663R

参数	B级 ¹			单位	条件/注释
	最小值	典型值	最大值		
逻辑输入 ³					
输入电流			±2	μA	所有数字输入
输入低电压 V_{INL}			0.8	V	$V_{\text{DD}} = 3\text{ V}$
输入高电压 V_{INH}	2			V	$V_{\text{DD}} = 3\text{ V}$
引脚电容		3		pF	DIN、SCLK和 $\overline{\text{SYNC}}$
		19		pF	$\overline{\text{LDAC}}$ 和CLR
电源要求					
V_{DD}	2.7		3.6	V	
I_{DD} (正常模式) ⁴					$V_{\text{IH}} = V_{\text{DD}}$ 和 $V_{\text{IL}} = \text{GND}$
$V_{\text{DD}} = 2.7\text{ V}$ 至 3.6 V		200	425	μA	内部基准电压源关闭
$V_{\text{DD}} = 2.7\text{ V}$ 至 3.6 V		800	900	μA	内部基准电压源开启
I_{DD} (全掉电模式) ⁵					
$V_{\text{DD}} = 2.7\text{ V}$ 至 3.6 V		0.2	1	μA	$V_{\text{IH}} = V_{\text{DD}}$ 和 $V_{\text{IL}} = \text{GND}$

¹ 温度范围：B级 = -40°C至+105°C

² 线性度计算使用缩减的数据范围：AD5663R(编码512到编码65,024)、AD5643R(编码128到编码16,256)、AD5623R(编码32到编码4064)。输出端无负载。

³ 通过设计和特性保证，但未经生产测试。

⁴ 接口未启用。所有DAC启用。DAC输出端无负载。

⁵ 两个DAC掉电。

交流特性

$V_{\text{DD}} = 2.7\text{ V}$ 至 5.5 V ； $R_{\text{L}} = 2\text{ k}\Omega$ 接GND； $C_{\text{L}} = 200\text{ pF}$ 接GND； $V_{\text{REFIN}} = V_{\text{DD}}$ ；除非另有说明，所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。

表4.

参数 ^{1,2}	最小值	典型值	最大值	单位	条件/注释 ³
输出电压建立时间					
AD5623R		3	4.5	μs	¼到¾量程建立到±0.5 LSB
AD5643R		3.5	5	μs	¼到¾量程建立到±0.5 LSB
AD5663R		4	7	μs	¼到¾量程建立到±2 LSB
压摆率		1.8		V/μs	
数模转换毛刺脉冲		10		nV-s	主进位1 LSB变化
数字馈通		0.1		nV-s	
基准馈通	-90			dB	$V_{\text{REF}} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率范围10 Hz至20 MHz
数字串扰		0.1		nV-s	
模拟串扰		1		nV-s	外部基准电压源
		4		nV-s	内部基准电压源
DAC间串扰		1		nV-s	外部基准电压源
		4		nV-s	内部基准电压源
乘法带宽		340		kHz	$V_{\text{REF}} = 2\text{ V} \pm 0.1\text{ V p-p}$
总谐波失真	-80			dB	$V_{\text{REF}} = 2\text{ V} \pm 0.1\text{ V p-p}$ ，频率 = 10 kHz
输出噪声频谱密度		120		nV/√Hz	DAC编码 = 中间量程，1 kHz
		100		nV/√Hz	DAC编码 = 中间量程，10 kHz
输出噪声		15		μV p-p	0.1 Hz至10 Hz

¹ 通过设计和特性保证，但未经生产测试。

² 参见术语部分。

³ 温度范围：A、B级 = -40°C至+105°C，典型值为+25°C。

时序特性

所有输入信号均在 $t_R = t_F = 1\text{ ns/V}$ (10%到90%的 V_{DD})情况下标定并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。
除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , 所有规格均相对于 T_{MIN} 至 T_{MAX} 而言。¹

表5.

参数	在 T_{MIN} 、 T_{MAX} 的限值 $V_{DD} = 2.7\text{ V}$ 至 5.5 V	单位	条件/注释
t_1^2	20	ns(最小值)	SCLK周期时间
t_2	9	ns(最小值)	SCLK高电平时间
t_3	9	ns(最小值)	SCLK低电平时间
t_4	13	ns(最小值)	$\overline{\text{SYNC}}$ 到SCLK下降沿建立时间
t_5	5	ns(最小值)	数据建立时间
t_6	5	ns(最小值)	数据保持时间
t_7	0	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 上升沿
t_8	15	ns(最小值)	最小 $\overline{\text{SYNC}}$ 高电平时间
t_9	13	ns(最小值)	$\overline{\text{SYNC}}$ 上升沿到SCLK下降沿忽略
t_{10}	0	ns(最小值)	SCLK下降沿到 $\overline{\text{SYNC}}$ 下降沿忽略
t_{11}	10	ns(最小值)	$\overline{\text{LDAC}}$ 低电平脉冲宽度
t_{12}	15	ns(最小值)	SCLK下降沿到 $\overline{\text{LDAC}}$ 上升沿
t_{13}	5	ns(最小值)	$\overline{\text{CLR}}$ 低电平脉冲宽度
t_{14}	0	ns(最小值)	SCLK下降沿到 $\overline{\text{LDAC}}$ 下降沿
t_{15}	300	ns(最大值)	$\overline{\text{CLR}}$ 脉冲启动时间

¹ 通过设计和特性保证, 但未经生产测试。
² $V_{DD} = 2.7\text{ V}$ 至 5.5 V 时, 最大SCLK频率为50 MHz。

时序图

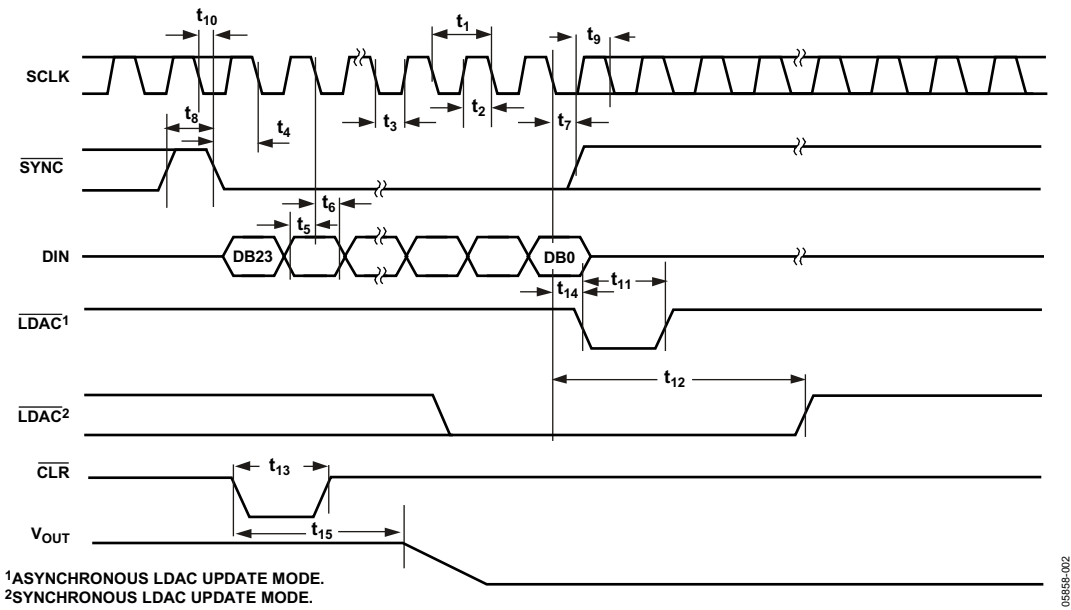


图2. 串行写入操作

AD5623R/AD5643R/AD5663R

绝对最大额定值

除非另有说明， $T_A = 25^{\circ}\text{C}$ 。

表6.

参数	额定值
V_{DD} 至GND	-0.3 V至+7 V
V_{OUT} 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
V_{REFIN}/V_{REFOUT} 至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
数字输入电压至GND	-0.3 V至 $V_{DD} + 0.3\text{ V}$
工作温度范围	
工业	-40°C至+105°C
存储温度范围	-65°C至+150°C
结温($T_J\text{ max}$)	150°C
功耗	$(T_J\text{ max} - T_A)/\theta_{JA}$
LFCSP封装(4层板)	
θ_{JA} 热阻	61°C/W
MSOP封装(四层板)	
θ_{JA} 热阻	142°C/W
θ_{JC} 热阻	43.7°C/W
回流焊峰值温度	
无铅	260(+0/-5)°C

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

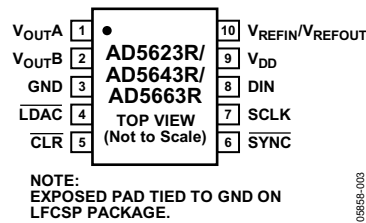


图3. 引脚配置

表7. 引脚功能描述

引脚编号	引脚名称	描述
1	V _{OUTA}	DAC A的模拟输出电压。输出放大器能以轨到轨方式工作。
2	V _{OUTB}	DAC B的模拟输出电压。输出放大器能以轨到轨方式工作。
3	GND	地。器件上所有电路的基准点。
4	$\overline{\text{LDAC}}$	发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新任意或全部DAC寄存器。允许所有DAC输出同步更新。也可以将该引脚永久接为低电平。
5	$\overline{\text{CLR}}$	异步清零输入。CLR输入对下降沿敏感。在CLR为低电平期间，所有 $\overline{\text{LDAC}}$ 脉冲都被忽略。当CLR激活时，所有输入和DAC寄存器均载入零电平。这将使输出清零。器件在下一次写操作的第24个下降沿退出清零编码模式。如果CLR在写序列期间有效，写操作将被中止。
6	$\overline{\text{SYNC}}$	电平触发的控制输入(低电平有效)。这是输入数据的帧同步信号。当SYNC为低电平时，使能输入移位寄存器，数据在后续时钟的下降沿输入移位寄存器。DAC在第24个时钟周期后更新，除非SYNC在此边沿之前变为高电平，这种情况下SYNC的上升沿将用作中断，DAC将忽略写入序列。
7	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。
8	DIN	串行数据输入。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
9	V _{DD}	电源输入引脚。这些器件可以采用2.7 V至5.5 V电源供电，电源应通过并联的10 μF 电容和0.1 μF 电容去耦至GND。
10	V _{REFIN/VREFOUT}	通用基准电压输入/基准电压输出。当选择内部基准电压源时，此引脚为基准输出。使用外部基准电压源时，此引脚为基准输入。此引脚默认使用基准输入。

典型性能参数

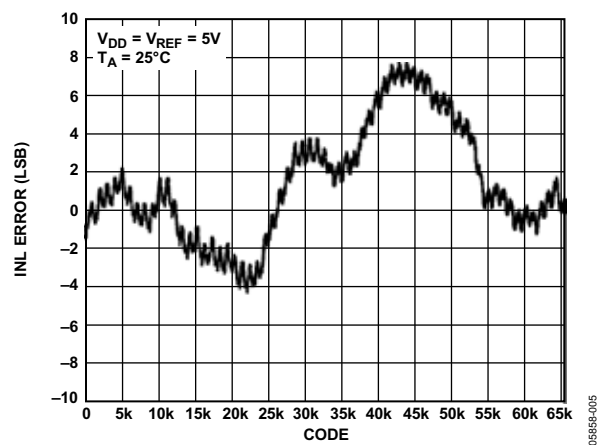


图4. INL—AD5663R, 外部基准电压源

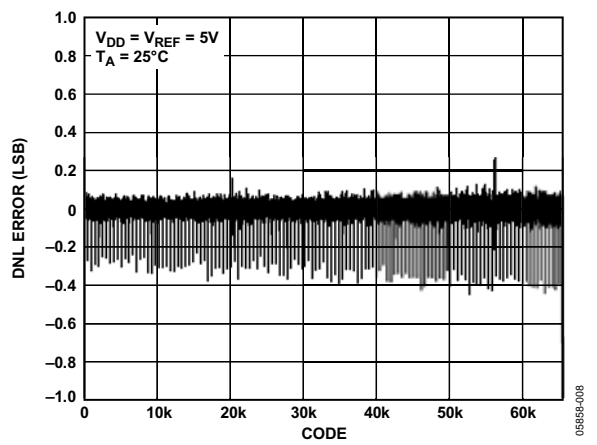


图7. DNL—AD5663R, 外部基准电压源

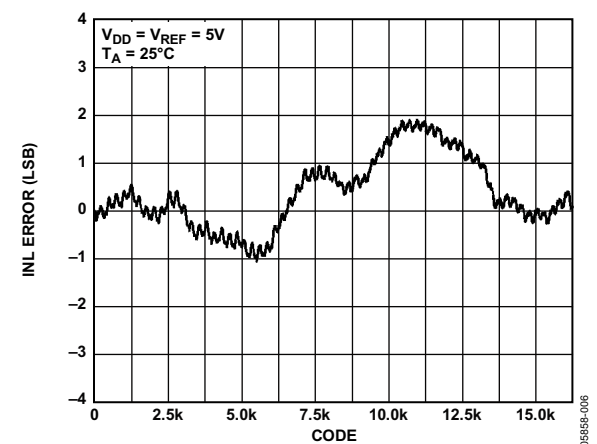


图5. INL—AD5643R, 外部基准电压源

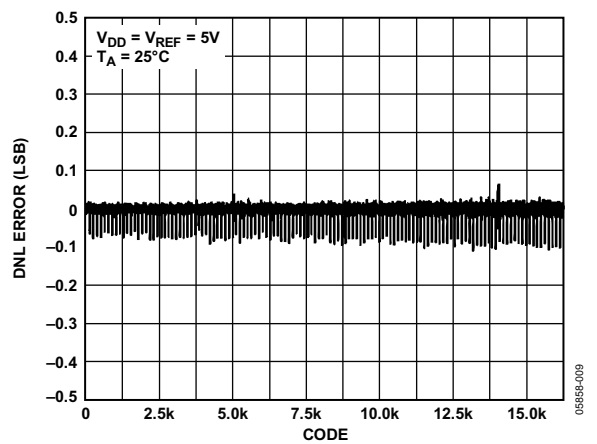


图8. DNL—AD5643R, 外部基准电压源

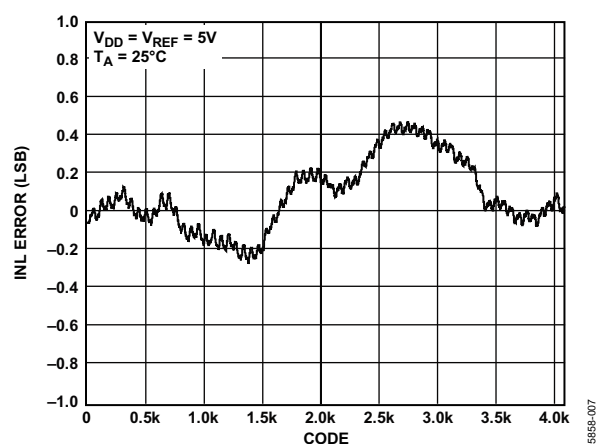


图6. INL—AD5623R, 外部基准电压源

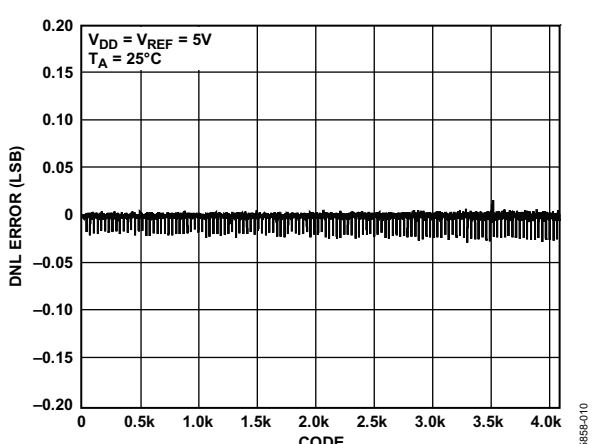


图9. DNL—AD5623R, 外部基准电压源

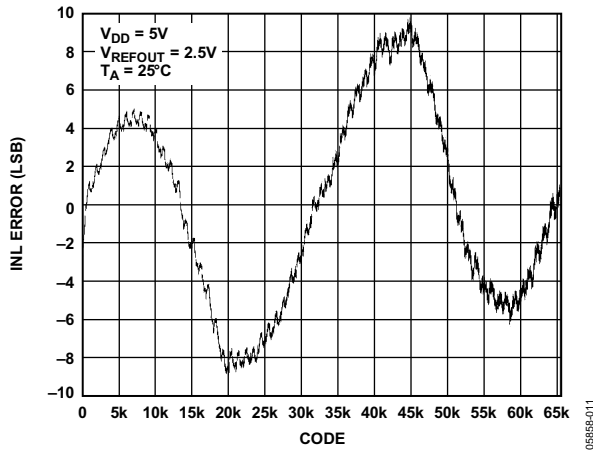


图10. INL—AD5663R-5

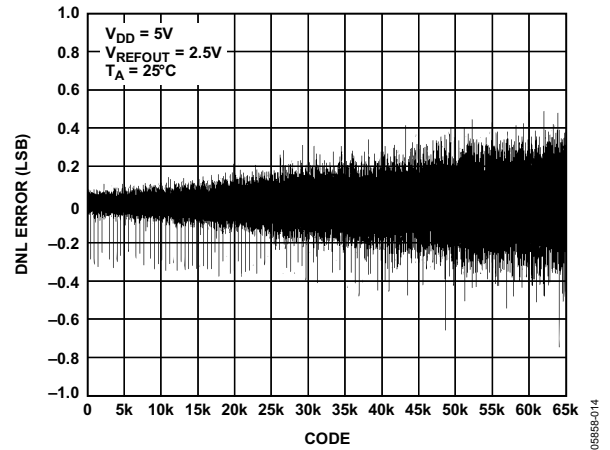


图13. DNL—AD5663R-5

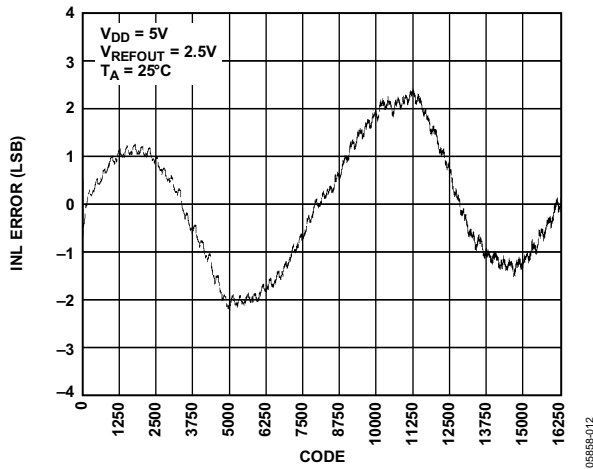


图11. INL—AD5643R-5

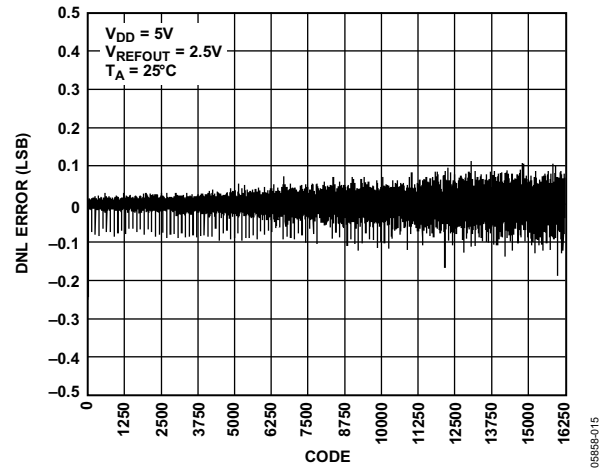


图14. DNL—AD5643R-5

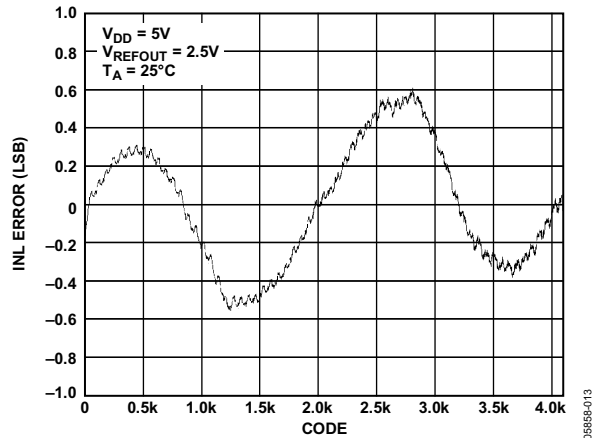


图12. INL—AD5623R-5

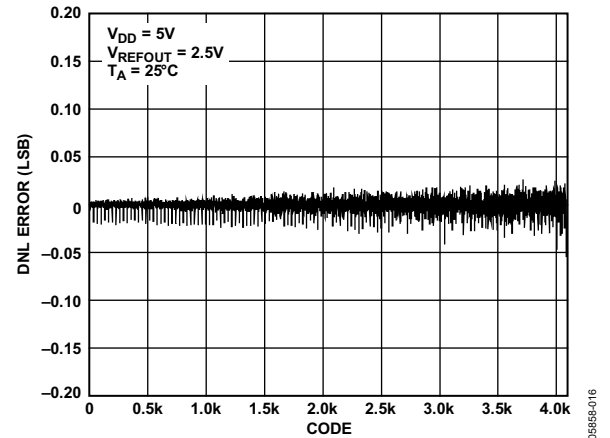


图15. DNL—AD5623R-5

AD5623R/AD5643R/AD5663R

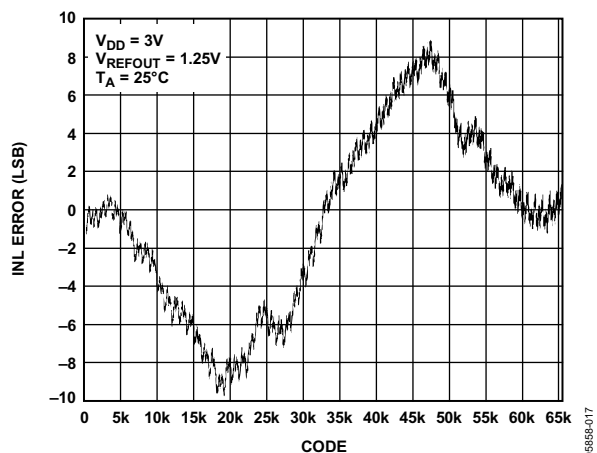


图16. INL—AD5663R-3

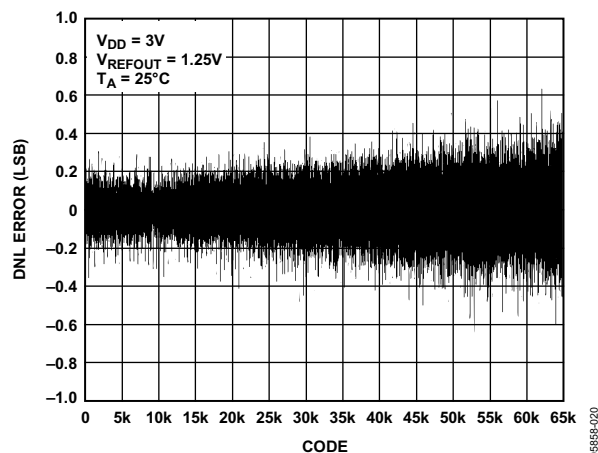


图19. DNL—AD5663R-3

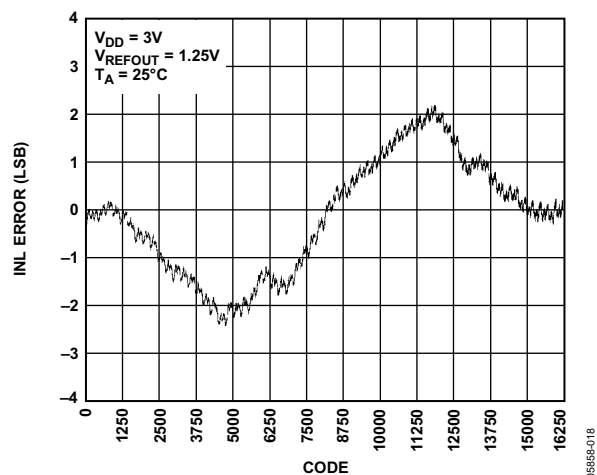


图17. INL—AD5643R-3

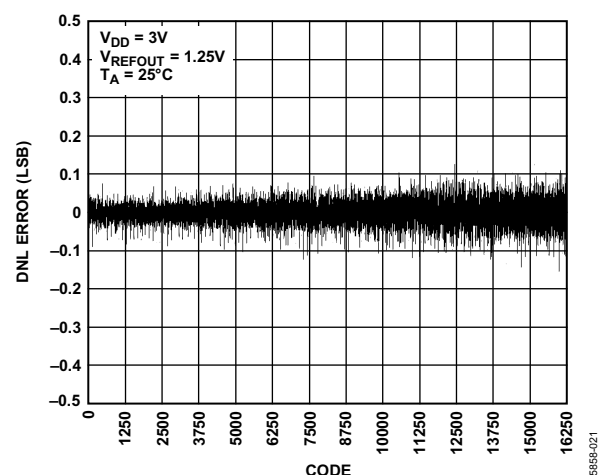


图20. DNL—AD5643R-3

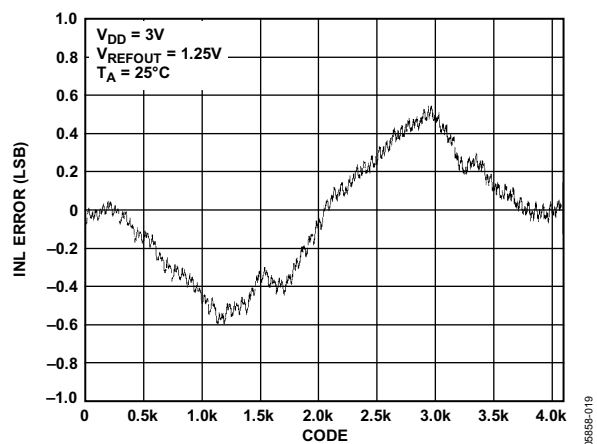


图18. INL—AD5623R-3

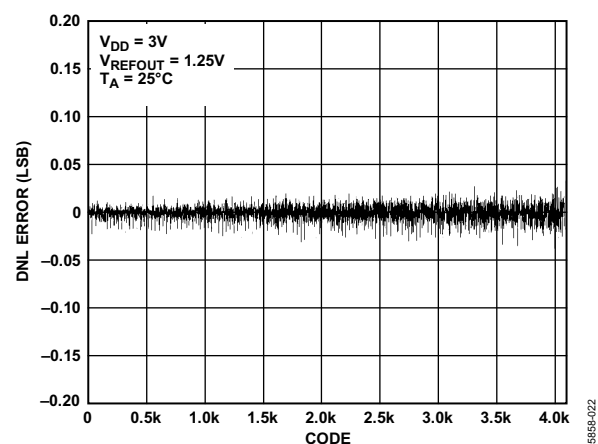


图21. DNL—AD5623R-3

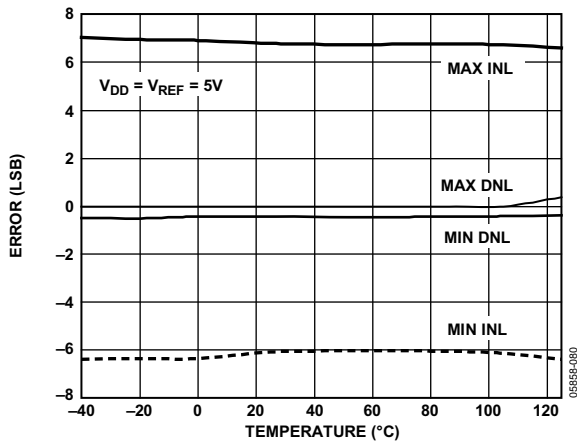


图22. INL误差和DNL误差与温度的关系

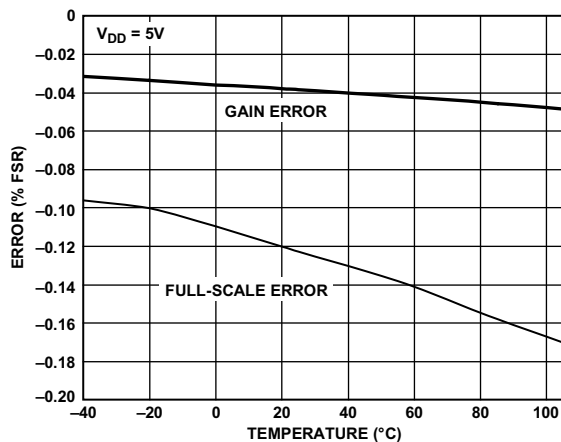


图25. 增益误差和满量程误差与温度的关系

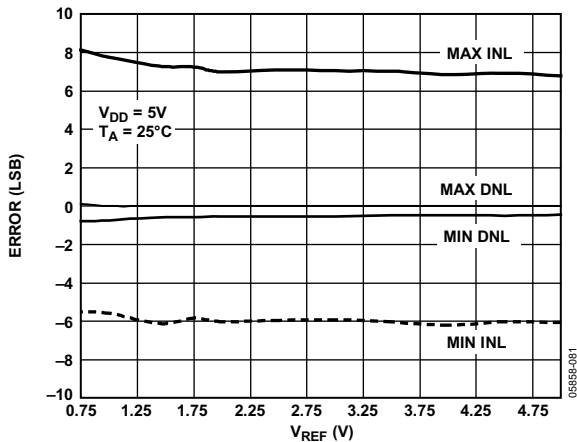


图23. INL误差和DNL误差与 V_{REF} 的关系

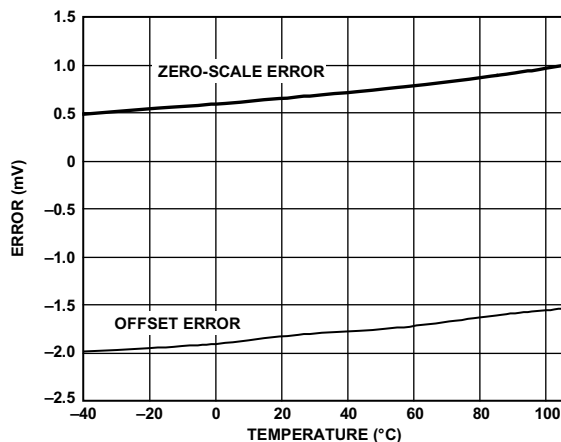


图26. 零电平误差和失调误差与温度的关系

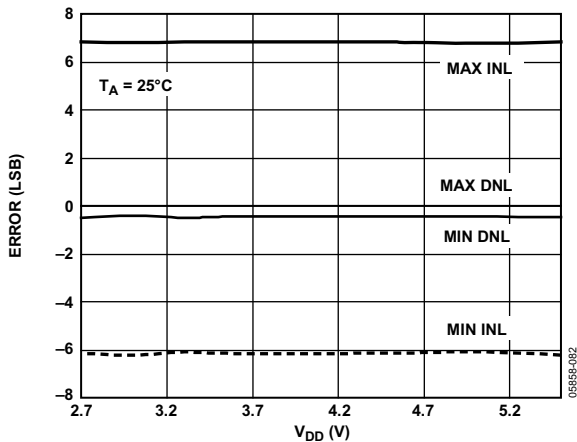


图24. INL误差和DNL误差与电源的关系

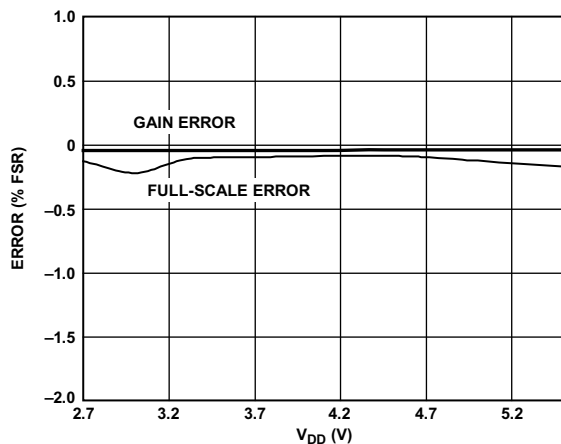


图27. 增益误差和满量程误差与电源的关系

AD5623R/AD5643R/AD5663R

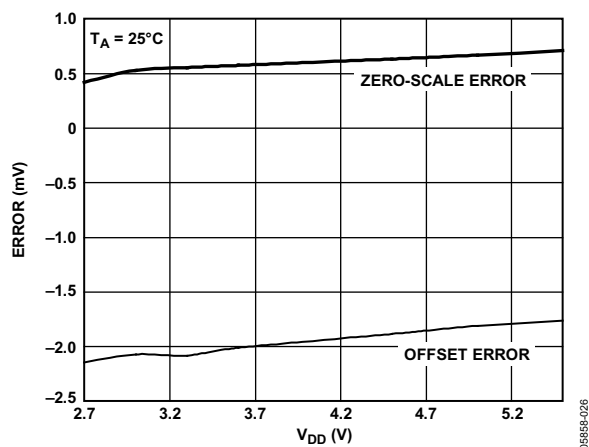


图28. 零电平误差和失调误差与电源的关系

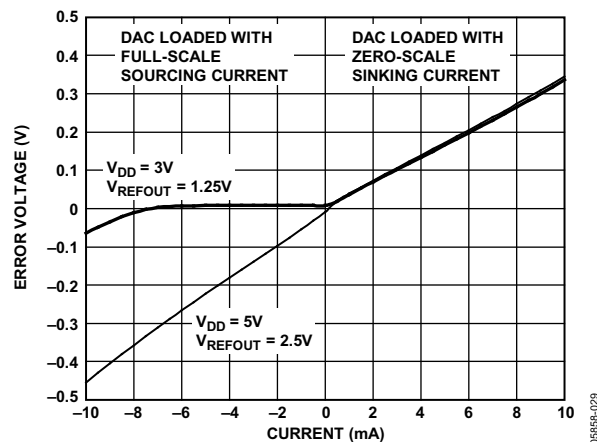


图31. 供电轨裕量与源电流和吸电流的关系

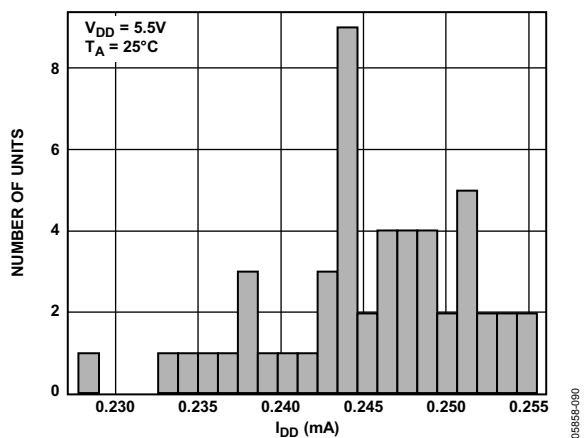


图29. 采用外部基准电压源时的 I_{DD} 直方图

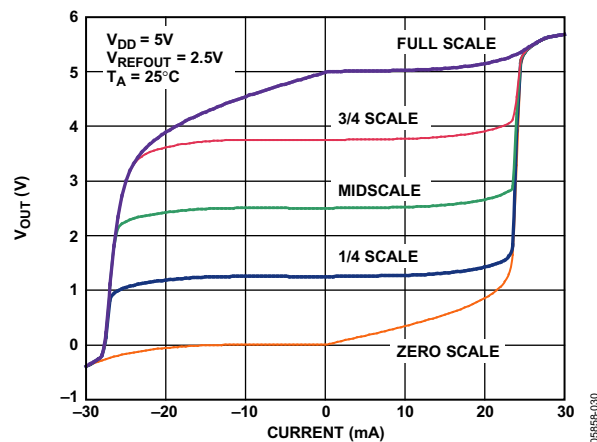


图32. AD56x3R-5的源电流和吸电流能力

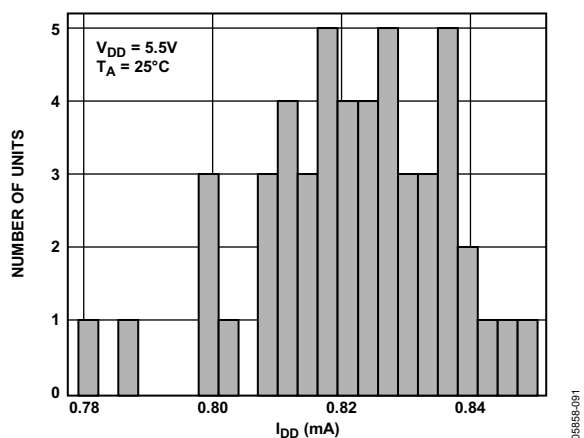


图30. 采用内部基准电压源时的 I_{DD} 直方图

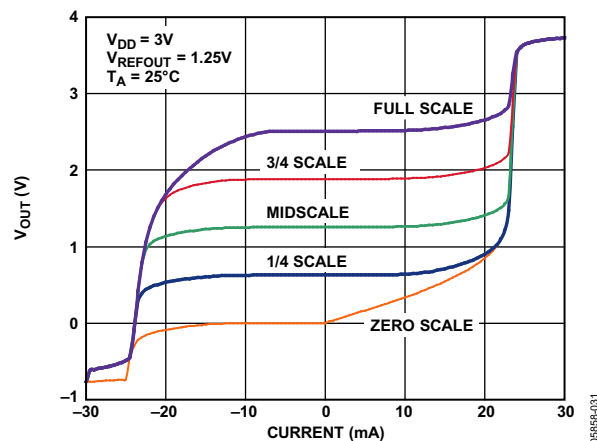


图33. AD56x3R-3的源电流和吸电流能力

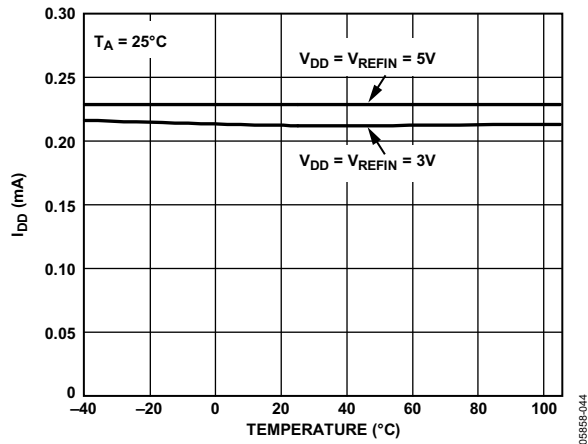


图34. 电源电流与温度的关系

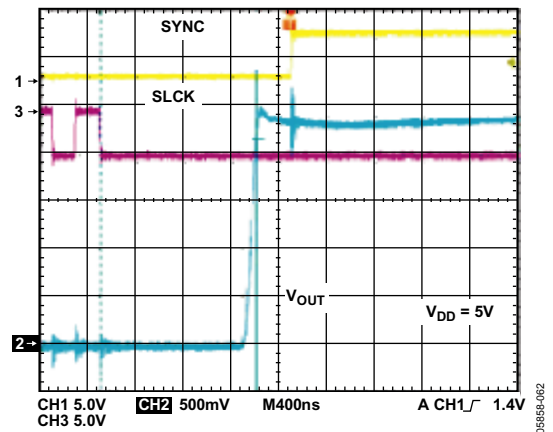


图37. 退出掉电模式进入中间电平

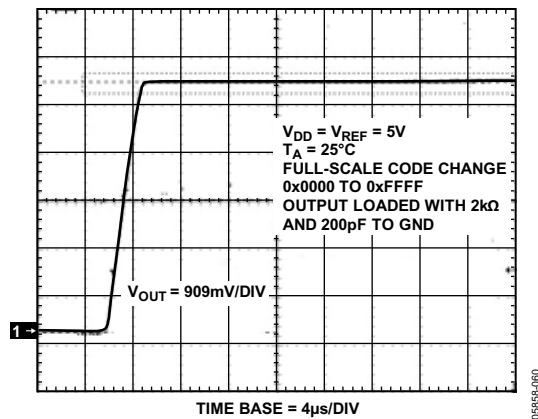


图35. 满量程建立时间(5 V)

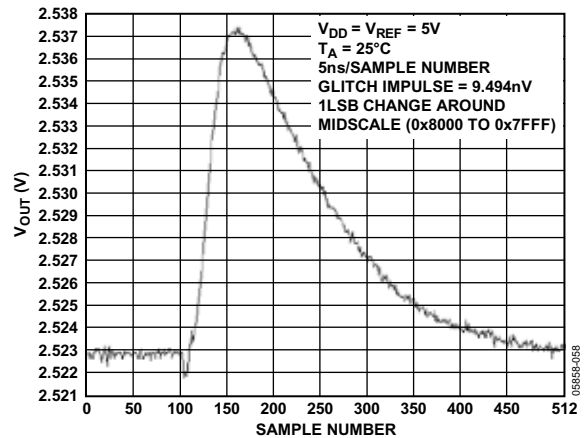


图38. 数模转换毛刺脉冲(负)

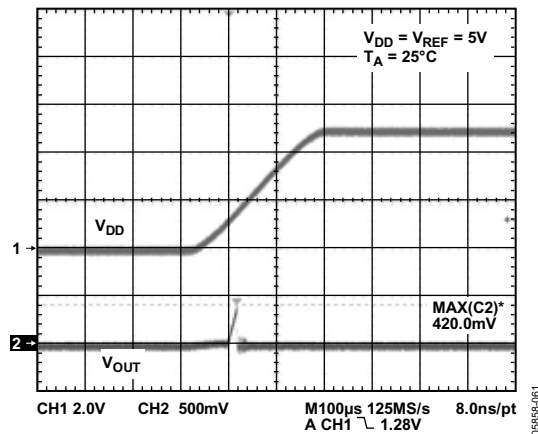


图36. 上电复位至 0 V

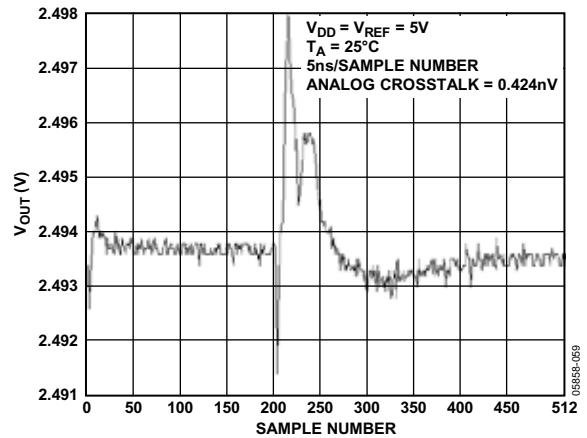


图39. 模拟串扰, 外部基准电压源

AD5623R/AD5643R/AD5663R

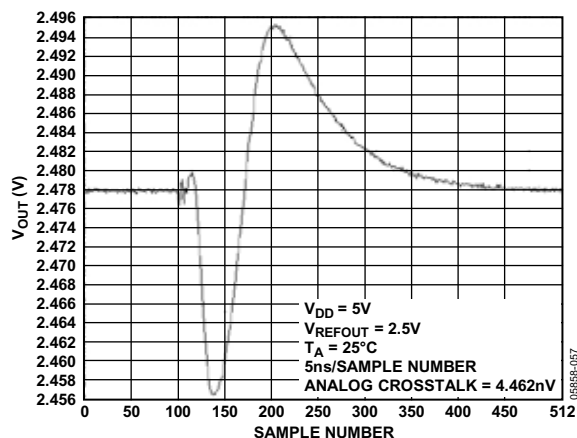


图40. 模拟串扰，内部基准电压源

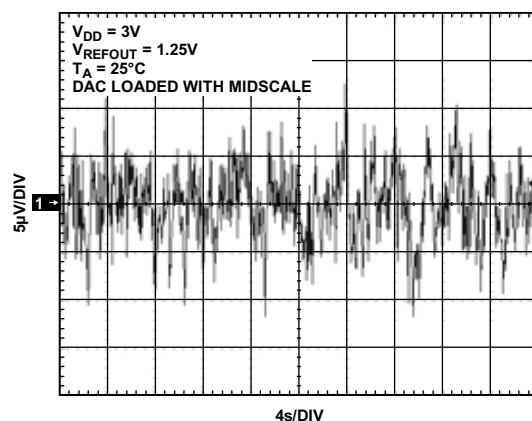


图43. 0.1 Hz至10 Hz输出噪声图，内部基准电压源

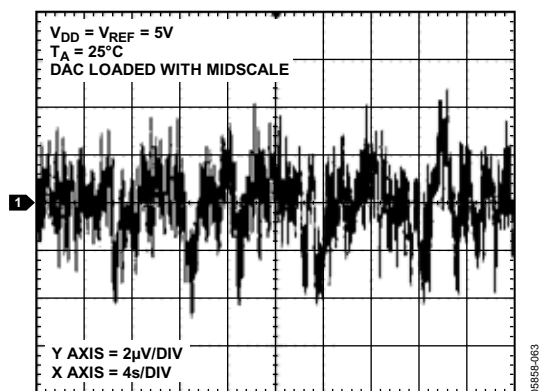


图41. 0.1 Hz至10 Hz输出噪声图，外部基准电压源

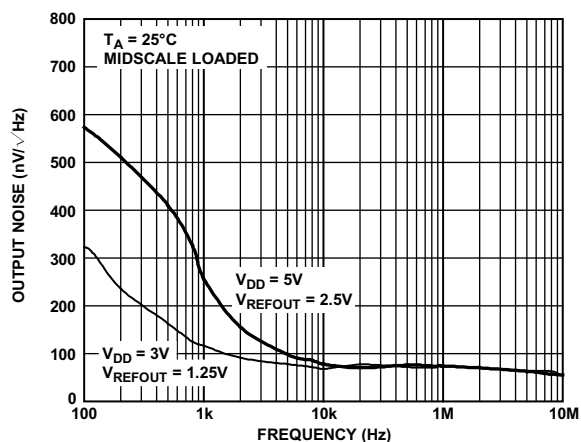


图44. 噪声频谱密度，内部基准电压源

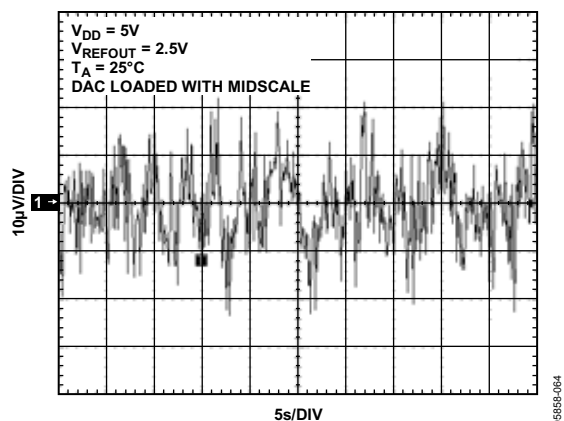


图42. 0.1 Hz至10 Hz输出噪声图，内部基准电压源

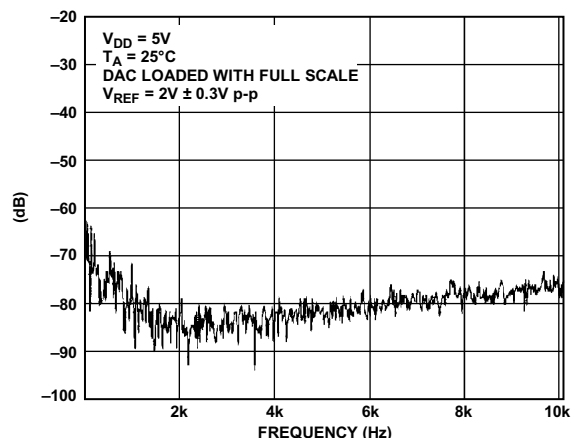


图45. 总谐波失真

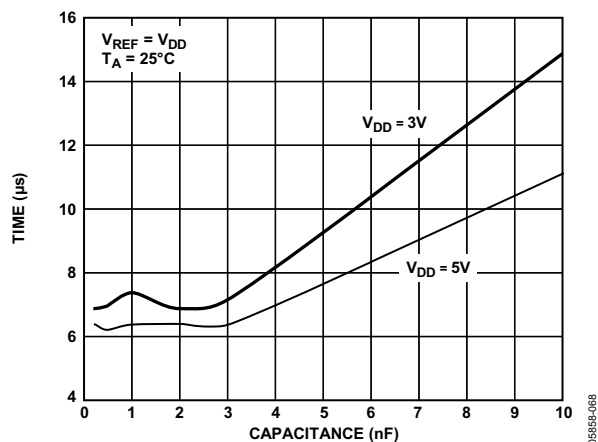


图46. 建立时间与容性负载的关系

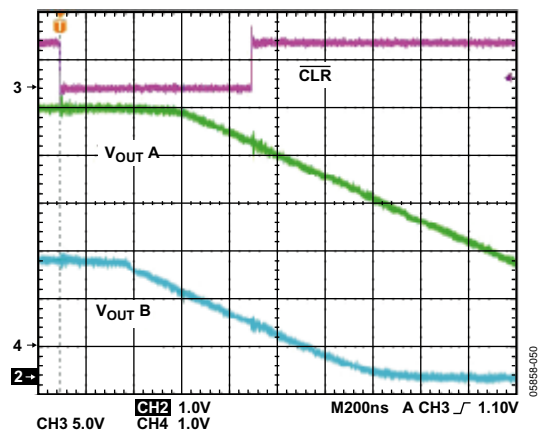


图48. CLR脉冲激活时间

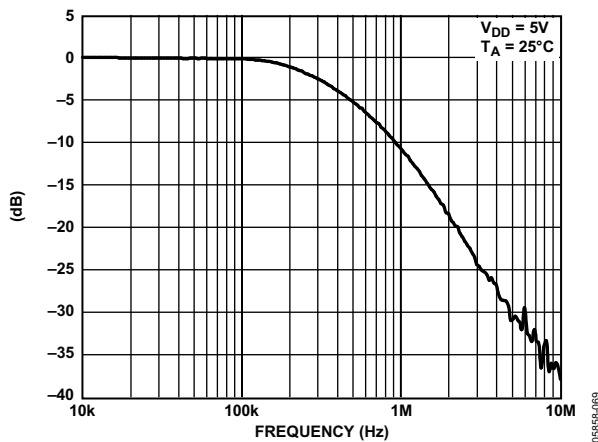


图47. 乘法带宽

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。图5给出了典型的INL与代码的关系图。

差分非线性(DNL)

差分非线性(DNL)是指任意两个相邻码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定差分非线性可确保单调性。本DAC通过设计保证单调性。图9所示为典型的DNL与代码的关系图。

零刻度误差

零电平误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0V。在AD56x3R中，零电平误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零电平误差用mV表示。从图26可以看出零电平误差与温度的关系。

满量程误差

满量程误差衡量将满量程编码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为 $V_{DD} - 1$ LSB。满量程误差用满量程范围的百分比表示。从图25可以看出满量程误差与温度的关系。

增益误差

增益误差衡量DAC的量程误差，它是指DAC传递特性的斜率与理想值之间的偏差，用满量程范围的百分比表示。

零电平误差漂移

零电平误差漂移衡量零电平误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用(满量程范围的ppm)/ $^\circ\text{C}$ 表示。

失调误差

失调误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。失调误差在AD56x3R上是通过将编码512载入DAC寄存器测得。该值可以为正，也可负。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC满量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，单位为dB。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于1/4至3/4满量程输入变化，DAC输出达到并保持在额定电平所需的时间，测量从SCLK的第24个下降沿起进行。

数模转换毛刺脉冲

当DAC寄存器中的输入码状态发生变化时，脉冲被注入到模拟输出。数模转换毛刺脉冲通常规定为毛刺的面积，用nV-s表示，数字输入编码在主进位跃迁中改变1 LSB(0x7FFF至0x8000)时进行测量。参见图38。

数字馈通

数字馈通衡量从DAC的数字输入注入到DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。数字馈通的单位为nV-s；测量数据总线上发生满量程编码变化时的情况，即全0至全1，或相反。

基准馈通

基准馈通是指DAC输出未更新(即LDAC为高电平)时DAC输出端的信号幅度与基准输入之比，单位为dB。

噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度($\text{nV}/\sqrt{\text{Hz}}$)。测量方法是将DAC加载到中间电平，然后测量输出端噪声。噪声频谱密度曲线图如图44所示。

直流串扰

直流串扰是一个DAC输出电平因响应另一个DAC输出变化而发生的直流变化。其测量方法是让一个DAC发生满量程输出变化(或软件关断并上电)，同时监控另一个保持中间电平的DAC。单位为 μV 。

负载电流变化引起的直流串扰用来衡量一个DAC的负载电流变化对另一个保持中间电平的DAC的影响。用 mV/mA ($\mu\text{V}/\text{mA}$)表示。

数字串扰

数字串扰是指一个输出为中间电平的DAC，其输出因响应另一个DAC的输入寄存器的满量程编码变化(全0至全1或相反)而引起的毛刺脉冲，该值在独立模式下进行测量，用nV-s表示。

模拟串扰

模拟串扰是指一个DAC的输出因响应另一个DAC输出的变化引起毛刺脉冲，它的测量方法是，向一个输入寄存器加载满量程编码变化(全0至全1或相反)，同时LDAC保持高电平，然后发送脉冲使LDAC变为低电平，并监控数字编码未改变的DAC输出。毛刺面积用nV-s表示。

DAC间串扰

DAC间串扰是指一个DAC的输出因响应另一个DAC的数字编码变化和后续的模拟输出变化，而引起的毛刺脉冲，包括数字和模拟串扰。它的测量方法是：向一个DAC加载满刻度代码变化(全0至全1或相反)，保持LDAC为低电平，同时监控另一个DAC的输出。毛刺电能用nV-s表示。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

工作原理

数模转换部分

AD5623R/AD5643R/AD5663R DAC采用CMOS工艺制造，由一个电阻串DAC和一个输出缓冲放大器构成。图49为DAC架构框图。

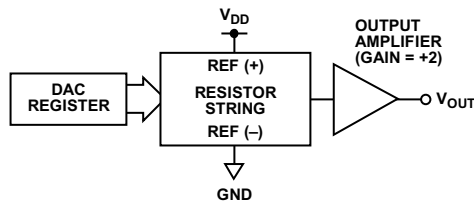


图49. DAC结构

DAC的输入编码为直接二进制，使用外部基准电压源时的理想输出电压为：

$$V_{OUT} = V_{REFIN} \times \left(\frac{D}{2^N} \right)$$

使用内部基准电压源时的理想输出电压为：

$$V_{OUT} = 2 \times V_{REFOUT} \times \left(\frac{D}{2^N} \right)$$

其中：

D 是载入DAC寄存器的二进制编码的十进制等效值：

AD5623R(12位)：0至4095

AD5643R(14位)：0至16,383。

AD5663R(16位)：0至65,535。

N 为DAC分辨率。

电阻串

电阻串部分如图50所示。它只是一串电阻，各电阻的值为 R 。载入DAC寄存器的编码决定抽取电阻串上哪一个节点的电压，以馈入输出放大器。抽取电压的方法是将连接电阻串与放大器的开关之一闭合。由于它是一串电阻，因此可以保证单调性。

输出放大器

输出缓冲放大器可以在其输出端产生轨到轨电压，输出范围为0 V至 V_{DD} 。它能驱动连接至GND的一个2 k Ω 负载和1000 pF电容的并联。输出放大器的源电流和吸电流能力如图31所示。压摆率为1.8 V/ μ s，1/4到3/4满量程建立时间为10 μ s。

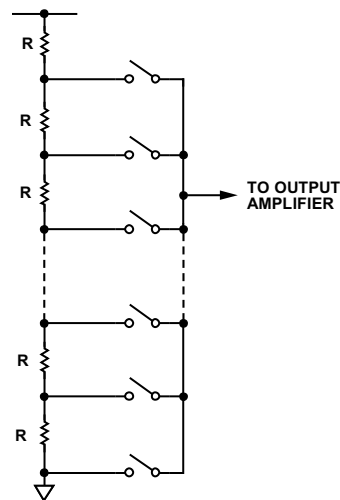


图50. 电阻串

内部基准电压源

AD5623R/AD5643R/AD5663R的片内基准电压源在上电时关闭，可以通过写入控制寄存器予以使能。详见“内部基准电压源设置”部分。

AD56x3R-3内置一个1.25 V、5 ppm/ $^{\circ}$ C基准电压源，满量程输出为2.5 V；AD56x3R-5内置一个2.5 V、5 ppm/ $^{\circ}$ C基准电压源，满量程输出为5 V。各器件的内部基准电压通过 V_{REFOUT} 引脚提供。如果利用基准电压输出驱动外部负载，则需要使用缓冲器。使用内部基准电压源时，建议在基准电压输出与GND之间放置一个100 nF电容，使基准电压保持稳定。

外部基准电压源

根据应用要求，可以通过AD56x3R-3和AD56x3R-5上的 V_{REFIN} 引脚来使用外部基准电压源。片内基准电压源在上电时默认关闭。AD56x3R-3和AD56x3R-5都可以采用2.7 V至5.5 V单电源供电。

串行接口

AD5623R/AD5643R/AD5663R的3线串行接口(SYNC、SCLK和DIN)与SPI、QSPI和MICROWIRE接口标准以及大多数DSP兼容。典型写序列的时序图参见图2。

写序列通过将SYNC线置为低电平来启动。来自DIN线的数据在SCLK的下降沿进入24位移位寄存器。串行时钟频率最高可以达到50 MHz，因而AD5623R/AD5643R/AD5663R能与高速DSP兼容。在第24个时钟下降沿，最后一位数据被读入，编程功能执行完毕，例如DAC寄存器内容和/或工作模式的改变。

在这个阶段，SYNC线可以保持在低电平或置为高电平。在任意一种情况下，必须在下一个写序列之前保持至少15 ns的高电平，这样才能用SYNC下降沿启动下一个写序列。

由于SYNC缓冲在 $V_{IN} = 2\text{ V}$ 时比在 $V_{IN} = 0.8\text{ V}$ 时消耗更多电流，为了进一步降低功耗，SYNC在写序列之间的空闲时应为低电平。然而，如前所述，在下次写序列前它必须被置为高电平。

输入移位寄存器

输入移位寄存器为24位宽(参见图52)。前2位是无关位, 后续三位是命令位C2至C0(参见表8), 然后是3位DAC地址A2至A0(参见表9), 最后是16、14、12位数据字。

AD5663R、AD5643R和AD5623R的数据字分别包括16、14、12位输入代码和后续0、2、4个无关位(参见图51、图52和图53)。这些数据位在SCLK的第24个下降沿被送入DAC寄存器。

表8. 命令定义

C2	C1	C0	命令
0	0	0	写入输入寄存器n
0	0	1	更新DAC寄存器n
0	1	0	写入输入寄存器n, 更新全部(软件LDAC)
0	1	1	写入并更新DAC通道n
1	0	0	关断DAC(上电)
1	0	1	复位
1	1	0	LDAC 寄存器设置
1	1	1	内部基准电压源设置(开启/关闭)

表9. 地址命令

A2	A1	A0	地址(n)
0	0	0	DAC A
0	0	1	DAC B
0	1	0	保留
0	1	1	保留
1	1	1	所有DAC

SYNC 中断

在正常写序列中，SYNC线在至少24个SCLK的下降沿保持为低电平，而DAC会在第24个下降沿更新。但是，如果在第24个下降沿之前SYNC被拉高，写序列就会被中断。移位寄存器会复位，写序列被认为是无效的。不会造成DAC寄存器内容的更新和工作模式的改变(参见图54)。

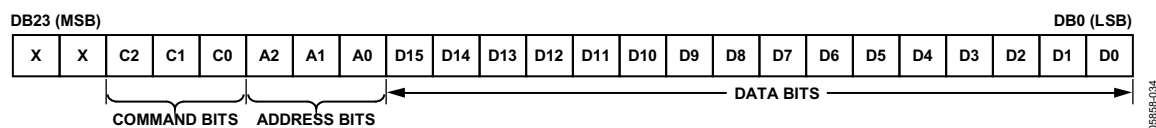


图51. AD5663R输入移位寄存器内容

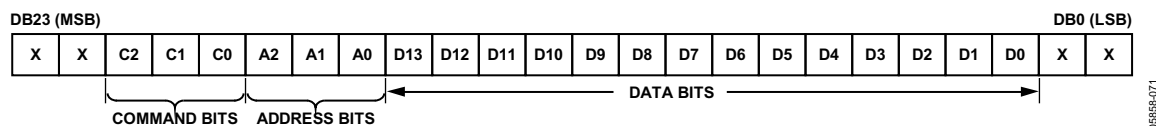


图52. AD5643R输入移位寄存器内容

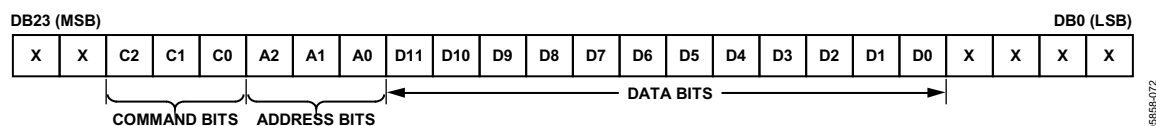
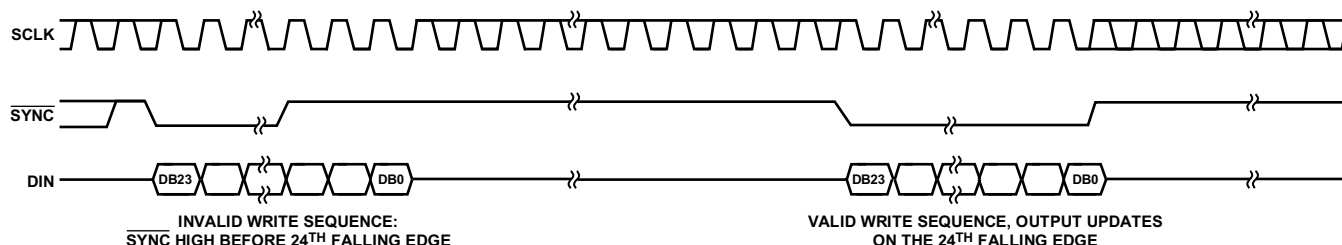


图53. AD5623R输入移位寄存器内容

图54. $\overline{\text{SYNC}}$ 中断设置

AD5623R/AD5643R/AD5663R

上电复位

AD5623R/AD5643R/AD5663R具有上电复位电路，可以在上电时控制输出电压。AD5623R/AD5643R/AD5663R DAC的输出在上电后为0 V，然后保持该电平，直到对DAC执行一个有效的写序列。这对于在上电过程中需要了解DAC输出状态的应用来说很重要。上电复位期间， $\overline{\text{LDAC}}$ 或 $\overline{\text{CLR}}$ 上的所有事件都会被忽略。

软件复位

AD5623R/AD5643R/AD5663R具有软件复位功能。命令101用于软件复位功能(参见表8)。软件复位命令包含两种复位模式，可通过软件编程，设置控制寄存器的DB0位进行选择。表10列出了这些位的状态与器件工作模式的对应关系。表12列出了软件复位工作模式期间输入移位寄存器的内容。

表10. 软件复位模式

DB0	寄存器复位至零
0	DAC寄存器 输入寄存器
1(上电复位)	DAC寄存器 输入寄存器 $\overline{\text{LDAC}}$ 寄存器 关断寄存器 内部基准电压源设置寄存器

掉电模式

AD5623R/AD5643R/AD5663R具有四种独立的工作模式。命令100用于关断功能(参见表8)。这些模式可通过软件编程，设置控制寄存器中的DB5和DB4进行选择。表11列出了这些位的状态与器件工作模式的对应关系。将相应的两位(DB1和DB0)设为1，任意或所有DAC(DAC B和DAC A)都可以关断到选定的模式。

通过执行同一命令100，并将位DB5和DB4设为正常工作模式，任意DAC组合都可以上电。

表12. 软件复位命令的24位输入移位寄存器内容

MSB								LSB
DB23至DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0
x	1	0	1	x	x	x	x	1/0
无关	命令位(C2至C0)			地址位(A2至A0)			无关	决定软件复位模式

若要选择要上电的DAC通道组合，请将相应的位(DB1和DB0)设为1。表13列出了掉电/上电期间输入移位寄存器的内容。

当 $\overline{\text{LDAC}}$ 为低电平时，DAC输出上电至输入寄存器中的值。若 $\overline{\text{LDAC}}$ 为高电平，则在掉电前DAC输出上电至DAC寄存器中的值。

表11. 工作模式

DB5	DB4	工作模式
0	0	正常工作 掉电模式
0	1	1 k Ω 至GND
1	0	100 k Ω 接GND
1	1	三态

当两位(DB1和DB2)均设为0时，器件正常工作，5 V时正常工作模式功耗为250 μA 。但在三种掉电模式下，5 V时电源电流降至480 nA(3 V时为200 nA)。不仅是供电电流下降，输出级也从放大器输出切换为已知值的电阻网络，这是有好处的，因为在掉电模式下器件的输出阻抗是已知的。输出既可以通过一个1 k Ω 或100 k Ω 电阻内部连接到GND，也可以保持开路(三态)，如图55所示。

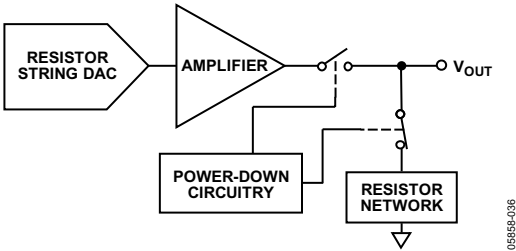


图55. 掉电模式下的输出级

在掉电模式有效时，偏置发生器、输出放大器、电阻串以及其它相关线性电路全部关断。然而，掉电期间DAC寄存器的内容不受影响。对于 $V_{\text{DD}} = 5 \text{ V}$ 和 $V_{\text{DD}} = 3 \text{ V}$ ，退出掉电模式所需时间通常为4 μs (参见图37)。

表13. 掉电/上电功能的24位输入移位寄存器内容

MSB													LSB
DB23至DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB6	DB5	DB4	DB3	DB2	DB1	DB0
x	1	0	0	x	x	x	x	PD1	PD0	x	x	DAC B	DAC A
无关	命令位(C2至C0)			地址位(A2至A0) 无关			无关	掉电模式		无关		掉电/上电通道选择， 相应的位设为1可选择通道	

表14. LDAC设置命令的24位输入移位寄存器内容

DB23至DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB2	DB1	DB0
x	1	1	0	x	x	x	x	DAC B	DAC A
无关	命令位(C2至C0)			地址位(A3至A0) 无关			无关	设置DAC为0或1以 选择所需的工作模式	

LDAC 功能

AD5623R/AD5643R/AD5663R DAC具有由两个寄存器库组成的双缓冲接口：输入寄存器和DAC寄存器。输入寄存器直接连接到输入移位寄存器，有效写序列完成时，数字编码被转移到相关的输入寄存器。DAC寄存器包含电阻串所用的数字编码。

对DAC寄存器的访问由LDAC引脚控制。当LDAC引脚为高电平时，DAC寄存器被锁存，输入寄存器可以改变状态而不会影响DAC寄存器的内容。然而，当LDAC变为低电平时，DAC寄存器变为透明状态，并更新为输入寄存器的内容。当用户需要同时更新所有DAC输出时，双缓冲接口很有用。用户可以分别写入输入寄存器，然后在写入其他DAC输入寄存器时拉低LDAC，所有输出将会同时更新。

这些器件均有额外的功能：除非其输入寄存器自从上一次LDAC被拉低时更新过，否则不会更新。通常情况下，当LDAC被拉低时，器件会使用输入寄存器的内容来填充DAC寄存器。对于AD5623R/AD5643R/AD5663R而言，仅在上次DAC寄存器更新后输入寄存器已经改变时，DAC寄存器才会更新，从而消除不必要的数字串扰。

利用硬件LDAC引脚可以同时更新所有DAC的输出。

同步LDAC

DAC寄存器在读入新数据后，即在第24个SCLK脉冲下降沿更新。LDAC可以永久接为低电平或脉冲形式，如图2所示。

异步LDAC

输出不在写入输入寄存器的同时更新。当LDAC变为低电平时，DAC寄存器更新为输入寄存器的内容。

利用LDAC寄存器，用户可以更加灵活地控制硬件LDAC引脚。该寄存器允许用户选择在执行硬件LDAC引脚时同时更新哪些通道。如果将某一DAC通道的LDAC位寄存器设为0，则意味着该通道的更新受LDAC引脚的控制。如果该位设为1，则该通道同步更新，即DAC寄存器在读入新数据后更新，与LDAC引脚的状态无关，此时LDAC引脚被视为接低电平。有关LDAC寄存器的工作模式，请参见表15。在用户希望同时更新选定的通道，而其余通道同步更新的应用中，这种灵活性十分有用。

使用命令110写入DAC将加载2位LDAC寄存器[DB1:DB0]。各通道的默认值为0，即LDAC引脚正常工作。如果将某一位设为1，则意味着无论LDAC引脚的状态如何，对应的DAC寄存器都会更新。表14列出了LDAC寄存器设置命令期间输入移位寄存器的内容。

表15. LDAC寄存器工作模式

LDAC 位 (DB1至DB0)	LDAC 引脚	LDAC 操作
0	1/0	由LDAC引脚决定。
1	x = 无关	在第24个SCLK脉冲的下降沿读入新数据后，DAC寄存器更新。

AD5623R/AD5643R/AD5663R

内部基准电压源设置

片内基准电压源在上电时默认关闭。通过设置控制寄存器中的软件可编程位DB0，可以开启或关闭此基准电压源。表16列出了该位的状态与工作模式的对应关系。命令111用于内部基准电压源的设置(参见表8)。表16列出了内部基准电压源设置命令期间输入移位寄存器的内容。

表16. 基准电压源设置寄存器

内部基准电压源设置寄存器(DB0)	操作
0	基准电压源关闭(默认)
1	基准电压源开启

表17. 基准电压源设置功能的32位输入移位寄存器内容

MSB								LSB
DB23至DB22	DB21	DB20	DB19	DB18	DB17	DB16	DB15至DB1	DB0
x	1	1	1	x	x	x	x	1/0
无关	命令位(C2至C0)			地址位(A2至A0)			无关	基准电压源设置寄存器

微处理器接口

AD5623R/AD5643R/AD5663R与Blackfin® ADSP-BF53X接口

图56显示的是AD5623R/AD5643R/AD5663R与Blackfin ADSP-BF53X微处理器之间的串行接口。ADSP-BF53X系列处理器集成两个双通道同步串口SPORT1和SPORT0，用于串行和多处理器通信。将SPORT0连接到AD5623R/AD5643R/AD5663R，接口设置如下：DT0PRI驱动AD5623R/AD5643R/AD5663R的DIN引脚，TSCLK0则驱动器件的SCLK。SYNC由TFS0驱动。

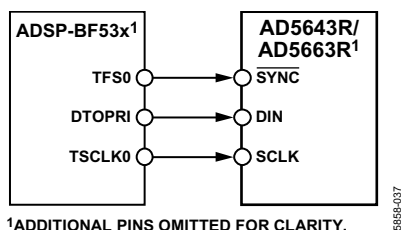


图56. AD5623R/AD5643R/AD5663R与Blackfin ADSP-BF53X接口

AD5623R/AD5643R/AD5663R与68HC11/68L11接口

图57显示的是AD5623R/AD5643R/AD5663R与68HC11/68L11微控制器之间的串行接口。68HC11/68L11的SCK驱动AD5623R/AD5643R/AD5663R的SCLK，MOSI输出则驱动DAC的串行数据线。

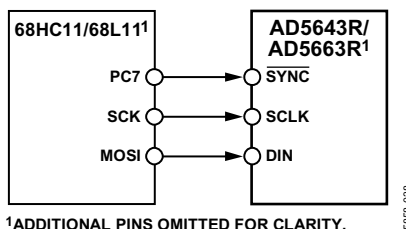


图57. AD5623R/AD5643R/AD5663R与68HC11/68L11接口

SYNC信号由端口线(PC7)产生。该接口正确工作的设置条件如下：68HC11/68L11的CPOL位设为0，CPHA位设为1。当数据发送给DAC时，SYNC线被拉低(PC7)。当68HC11/68L11按照以上所述进行配置时，MOSI输出端上的数据在SCK的下降沿有效。来自68HC11/68L11的串行数据以8位字节进行传送，即在每个发送周期中，仅出现在8个时钟下降沿。

数据以MSB优先方式发送。要将数据载入AD5623R/AD5643R/AD5663R，PC7应在前8个位传输完成后保持低

电平，同时对DAC执行第二次串行写操作。此程序结束后PC7被拉高。

AD5623R/AD5643R/AD5663R与80C51/80L51的接口

图58显示的是AD5623R/AD5643R/AD5663R与80C51/80L51微控制器之间的串行接口。该接口设置如下：80C51/80L51的TxD驱动AD5623R/AD5643R/AD5663R的SCLK，RxD则驱动器件的串行数据线。SYNC信号同样由端口的一个位可编程引脚产生。在这个例子中，使用的是端口线P3.3。向AD5623R/AD5643R/AD5663R发送数据时，P3.3被拉低。80C51/80L51仅以8位字节传送数据，因此在发送周期中只有8个时钟下降沿。要加载数据到DAC，在前8位发送后P3.3保持低电平，第二次写周期开始传输第二个字节的数据。这个周期结束后P3.3被拉高。

80C51/80L51以LSB优先格式输出串行数据。AD5623R/AD5643R/AD5663R必须以MSB优先方式接收数据，80C51/80L51的发送程序需要考虑这一情况。

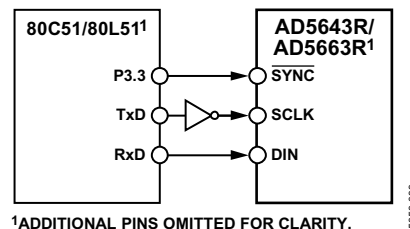


图58. AD5623R/AD5643R/AD5663R与80C51/80L51接口

AD5623R/AD5643R/AD5663R与MICROWIRE接口

图59显示的是AD5623R/AD5643R/AD5663R与MICROWIRE兼容器件之间的接口。串行数据在串行时钟的下降沿输出，并在SK的上升沿进入AD5623R/AD5643R/AD5663R。

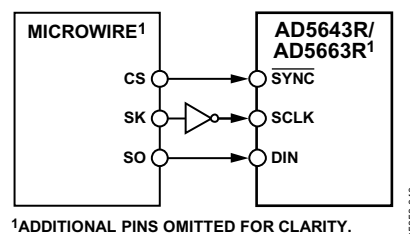


图59. AD5623R/AD5643R/AD5663R与MICROWIRE接口

应用信息

基准电压源用作电源

AD5623R/AD5643R/AD5663R所需的电源电流非常低，因此也可以利用基准电压源提供器件所需的电压(参见图60)。当电源噪声相当高，或者系统电源电压不是5 V或3 V时(例如为15 V)，这种电源方案特别有用。基准电压源输出一个稳定的电源电压用于AD5623R/AD5643R/AD5663R。如果使用低压差型REF195，则在DAC输出端无负载时，它必须向AD5623R/AD5643R/AD5663R提供500 μA的电流。当DAC输出端有负载时，REF195还需要向负载提供电流。所需的总电流(DAC输出端有5 kΩ负载)为：

$$500 \mu\text{A} + (5 \text{ V} / 5 \text{ k}\Omega) = 1.25 \text{ mA}$$

REF195的负载调整率典型值为2 ppm/mA，因此对于1.5 mA电流输出，误差为3 ppm (15 μV)，这相当于0.196 LSB的误差。

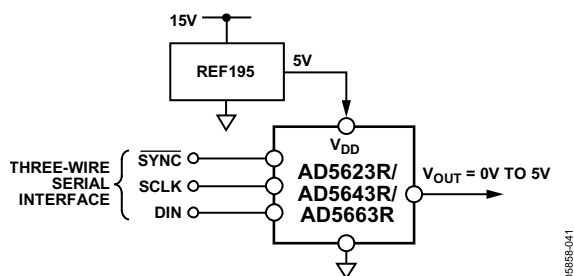


图60. REF195用作AD5623R/AD5643R/AD5663R的电源

使用AD5663R的双极性操作

AD5663R针对单电源供电而设计，但利用图61所示的电路，它也能支持双极性输出范围。该电路提供±5 V的输出电压范围。放大器输出端的轨到轨操作利用AD820或OP295作为输出放大器来实现。

任意输入编码的输出电压可以按如下公式计算：

$$V_O = \left[V_{DD} \times \left(\frac{D}{65,536} \right) \times \left(\frac{R1 + R2}{R1} \right) - V_{DD} \times \left(\frac{R2}{R1} \right) \right]$$

其中D代表十进制输入编码(0至65,535)。当 $V_{DD} = 5 \text{ V}$ 、 $R1 = R2 = 10 \text{ k}\Omega$ 时，

$$V_O = \left(\frac{10 \times D}{65,536} \right) - 5 \text{ V}$$

输出电压范围为±5 V，0x0000对应-5 V输出，0xFFFF对应+5 V输出。

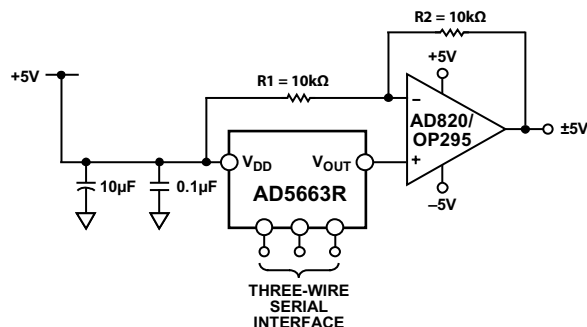


图61. 采用AD5663R的双极性工作模式

AD5663R与电隔离接口的配合使用

在工业环境的过程控制应用中，常常有必要使用电隔离接口以保护和隔离控制电路，使之免受可能出现在DAC工作区域的危险共模电压影响。iCoupler®可以提供超过2.5 kV的隔离电压。AD5663R使用3线串行逻辑接口，因此ADuM1300 3通道数字隔离器可以提供所需的隔离(参见图62)。器件的电源也需要隔离，而这可以通过变压器实现。在变压器的DAC侧，5 V稳压器提供AD5663R所需的5 V电源。

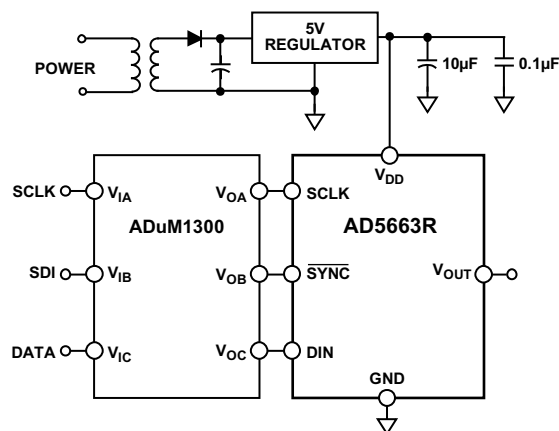


图62. AD5663R与电隔离接口的配合使用

电源旁路和接地

在注重精度的电路中，精心考虑电路板上的电源和接地回路布局很有用。含AD5663R的印刷电路板应具有单独的模拟部分和数字部分，各部分应有自己的板面积。

如果AD5663R所在系统中有其它器件要求AGND至DGND连接，则只能在一个点上进行连接。该接地点应尽可能靠近AD5663R。

AD5663R的电源应使用10 μ F和0.1 μ F电容进行旁路。这些电容应尽可能靠近该器件，且0.1 μ F电容最好正对着该器件。10 μ F电容应为钽珠型电容。0.1 μ F电容必须具有低有效串联电阻(ESR)和低有效串联电感(ESI)，因此，普通的陶瓷型电容是可行的。

针对内部逻辑开关引起的瞬态电流所导致的高频干扰，该0.1 μ F电容可提供低阻抗接地路径。

电源走线本身应尽可能宽，以提供低阻抗路径，并减小电源线路上的毛刺效应。时钟和其它快速开关的数字信号应通过数字地将其与电路板上的其它器件屏蔽开。尽可能避免数字信号与模拟信号交叠。当电路板相反两侧的走线相交时，应确保这些走线彼此垂直，以减小电路板的馈通效应。最佳电路板布局技术是微带线技术，其中电路板的元件侧专用于接地层，信号走线则布设在焊接侧。但是，这种技术对于双层电路板未必可行。

外形尺寸

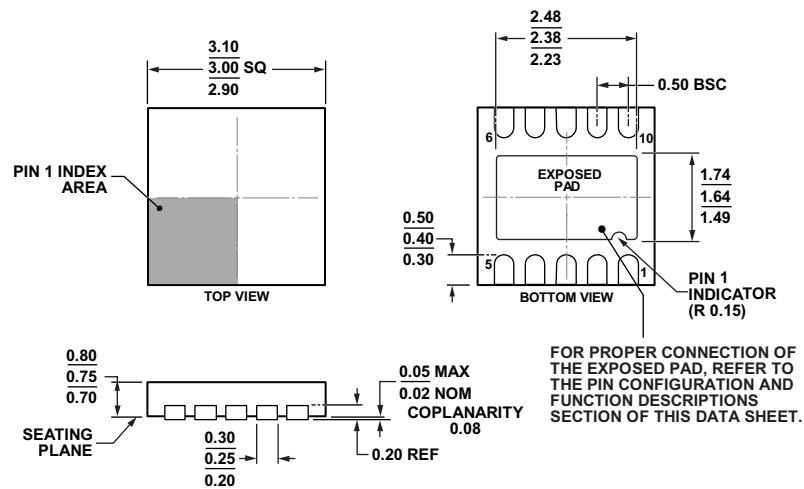
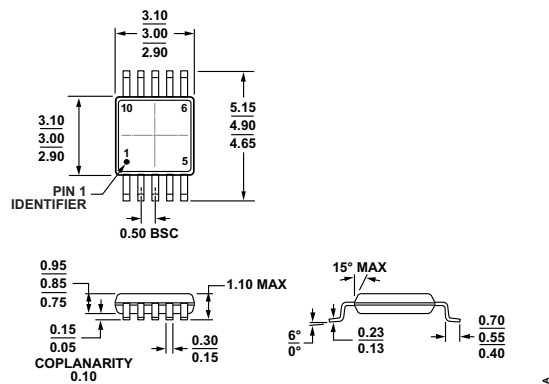


图63. 10引脚引脚架构芯片级封装[LFCSP_WD]

3 mm x 3 mm, 超薄体, 双排引脚

(CP-10-9)

图示尺寸单位: mm



COMPLIANT TO JEDEC STANDARDS MO-187-BA

图64. 10引脚超小型封装[MSOP]

(RM-10)

图示尺寸单位: mm

订购指南

型号 ¹	温度范围	精度	内部基准电压源	封装描述	封装选项	标识
AD5623RBCPZ-3R2	−40°C至+105°C	±1 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D85
AD5623RBCPZ-3REEL7	−40°C至+105°C	±1 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D85
AD5623RBCPZ-5REEL7	−40°C至+105°C	±1 LSB INL	2.5 V	10引脚 LFCSP_WD	CP-10-9	D86
AD5623RBRMZ-3	−40°C至+105°C	±1 LSB INL	1.25 V	10引脚 MSOP	RM-10	D85
AD5623RBRMZ-3REEL7	−40°C至+105°C	±1 LSB INL	1.25 V	10引脚 MSOP	RM-10	D85
AD5623RBRMZ-5	−40°C至+105°C	±1 LSB INL	2.5 V	10引脚 MSOP	RM-10	D86
AD5623RBRMZ-5REEL7	−40°C至+105°C	±1 LSB INL	2.5 V	10引脚 MSOP	RM-10	D86
AD5623RACPZ-5REEL7	−40°C至+105°C	±2 LSB INL	2.5 V	10引脚 LFCSP_WD	CP-10-9	DKB
AD5623RARMZ-5REEL7	−40°C至+105°C	±2 LSB INL	2.5V	10引脚 MSOP	RM-10	DKP
AD5623RARMZ-5	−40°C至+105°C	±2 LSB INL	2.5V	10引脚 MSOP	RM-10	DKP
AD5643RBRMZ-3	−40°C至+105°C	±4 LSB INL	1.25 V	10引脚 MSOP	RM-10	D81
AD5643RBRMZ-3REEL7	−40°C至+105°C	±4 LSB INL	1.25 V	10引脚 MSOP	RM-10	D81
AD5643RBRMZ-5	−40°C至+105°C	±4 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7Q
AD5643RBRMZ-5REEL7	−40°C至+105°C	±4 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7Q
AD5663RBCPZ-3R2	−40°C至+105°C	±16 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D7S
AD5663RBCPZ-3REEL7	−40°C至+105°C	±16 LSB INL	1.25 V	10引脚 LFCSP_WD	CP-10-9	D7S
AD5663RBCPZ-5REEL7	−40°C至+105°C	±16 LSB INL	2.5 V	10引脚 LFCSP_WD	CP-10-9	D7H
AD5663RBRMZ-3	−40°C至+105°C	±16 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7S
AD5663RBRMZ-3REEL7	−40°C至+105°C	±16 LSB INL	1.25 V	10引脚 MSOP	RM-10	D7S
AD5663RBRMZ-5	−40°C至+105°C	±16 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7H
AD5663RBRMZ-5REEL7	−40°C至+105°C	±16 LSB INL	2.5 V	10引脚 MSOP	RM-10	D7H
EVAL-AD5663REBZ				评估板		

¹ Z = 符合RoHS标准的器件。

注释

注释

注释