サンケン電気株式会社

バイポーラステッピングモータ ドライバ IC

A4984S/A4985S シリーズ

アプリケーションノート

2011 年 7 月 Ver.2.3

PPD 事業部モータ技術 2 グループ

本資料は、アレグロマイクロシステムズ社製マイクロステッピング対応モータドライバ A4984S/A4985S シリーズに関する製品の特徴、ご使用方法等をまとめたものです。

本資料は、アレグロマイクロシステムズ社からの情報を日本語のアプリケーションとして作成したものです。

最新の情報に関しては、弊社担当部門まで問い合わせ願います。

〔目次〕

1. はじめに 3
2. 特徴 4
3. セレクションガイド 4
   3.1. 型番命名規則 4
   3.2. シリーズ品のご案内 4
4. 製品仕様 5
   4.1. 絶対最大定格 5
   4.2. 電気的特性 6
5. 外形図 7
   5.1. QFN24 ピンパッケージ（A4984SES-T/A4985SES-T 共通） 7
   5.2. QFN32 ピンパッケージ（A4984SET-T/A4985SET-T 共通） 8
   5.3. eTSSOP24 ピンパッケージ（A4984SLP-T/A4985SLP-T 共通） 9
6. 内部ブロック図＆Pin 配列 10
   6.1. 内部ブロック図 10
   6.2. Pin 配列 11
7. 応用回路例 12
8. 機能説明 14
   8.1. デバイス動作 14
   8.2. Reset Input ($\overline{\text{RESET}}$) 14
   8.3. Step Input (STEP) 15
   8.4. Microstep Select (MS1/MS2) 15
   8.5. Direction Input (DIR) 15
   8.6. Internal PWM Current Control 15
   8.7. Low Current Microstepping 16
   8.8. Fixed Off-Time 16
   8.9. 負荷ショートおよび地絡保護 17
   8.10. Blanking 18
   8.11. チャージポンプ(CP1 and CP2) 18
   8.12. VREG 18
   8.13. Enable Input($\overline{\text{ENABLE}}$) 19
   8.14. Shutdown 19
   8.15. SLEEP MODE($\overline{\text{SLEEP}}$) 19

8.16. 電源シーケンス 19
8.17. Mixed Decay Operation 20
8.18. 同期整流(Synchronous Rectification) 21
8.19. モータのホールドについて 21
8.20. Timing Requirements 21
8.21. 真理値表 21
8.22. 端子部内部回路 22
8.23. A498X シリーズ Pin 互換表 22

9. アプリケーション情報 23
9.1. 参考基板レイアウト 23
9.2. Grounding 25
9.3. Current Sensing 25
9.4. Thermal Protection 25

10. ステップシーケンス 26
10.1. 励磁モードを途中で切り替えた場合について 27
10.2. 各励磁モードでの動作 28
10.3. 励磁シーケンス 32

11. 動作波形図 34

1. はじめに

A4984S シリーズ（A4984SES-T/A4984SET-T/A4984SLP-T）および A4985S シリーズ（A4985SES-T/A4985SET-T/A4985SLP-T）は、ステッピングモータを駆動するシーケンサ機能付モータドライバです。

A4984S/A4985S シリーズは、バイポーラ駆動方式のステッピングモータドライバで、フルステップ（2 相励磁方式）・ハーフステップ（1－2 相励磁方式）・4 分割マイクロステップ（W1－2 相励磁方式）・8 分割マイクロステップ（2W1－2 相励磁方式）に対応できます。

また、出力は 35V、±2.0A（A4984S シリーズ）、35V、±1.0A（A4985S シリーズ）まで対応可能となっています。

A4984S/A4985S シリーズは、固定 OFF 時間方式の電流制御機能を有しています。

この電流制御機能は、SLOW DECAY（低速減衰モード）・MIXED DECAY（高速/低速混合の減衰モード）対応となっております。

A4984S/A4985S シリーズは、シーケンサによって、動作設定が容易にできるようになっております。

STEP 端子にパルスを 1 つ入力するだけで、モータのステップ角が 1 つ進みます（励磁方式は MS1、MS2 の論理によります）。

すなわち、A4984S/A4985S シリーズには励磁シーケンス・高周波制御線およびプログラムのための複雑なインターフェースが必要ありません。

A4984S/A4985S シリーズは、複雑なマイクロプロセッサが使用不可もしくは過負荷になるようなアプリケーションに最適なインターフェースとなっています。

A4984S/A4985S シリーズではチョッピング制御が自動的に行われます。すなわち、電流減衰モード(SLOW DECAY、MIXED DECAY)が自動的に選択されます。

STEP 信号が入力されたときに、モータの各相の電流において、STEP 信号が入力される前の電流より STEP 信号が入力された後の電流の方が高いか低いかで電流減衰モードを選択します。

STEP 信号が入力される前の電流よりも STEP 信号が入力された後の電流のほうが高い場合、電流減衰モードは「SLOW DECAY」に設定されます。

STEP 信号が入力される前の電流よりも STEP 信号が入力された後の電流のほうが低い場合、電流減衰モードは「MIXED DECAY」になります。

A4984S/A4985S シリーズでは、OFF 期間の最初の 31.25%が FAST DECAY、残りの 68.75%が SLOW DECAY に設定されます。

この電流減衰制御により、モータの振動を減らし、ステップ角の精度を上げ、損失の改善を実現しています。

A4984S/A4985S シリーズは、内部の同期整流回路により PWM 動作における損失を改善しています。

A4984S/A4985S シリーズは、内部保護回路として、ヒステリシス付過熱保護回路・低電圧保護回路（UVLO 回路）・貫通電流防止回路・過電流保護回路（OCP 回路）を有しています。

また、電源立ち上げに際し特別な立ち上げシーケンスはありません。

A4984S/A4985S シリーズは、裏面に放熱用シンク Tab を有した 24 ピン MLP パッケージ（4mm×4mm×0.75mm）の A4984SES-T/A4985SES-T、32 ピン MLP パッケージ（5mm×5mm×0.9mm）の A4984SET-T/A4985SET-T と、裏面に放熱用シンク Tab を有した 24 ピン eTSSOP パッケージ（7.8mm×6.4mm×1.2mm）の A4984SLP-T/A4985SLP-T があります。

このパッケージは、鉛フリーで、100%スズメッキをしているリードフレームです。

2. 特徴

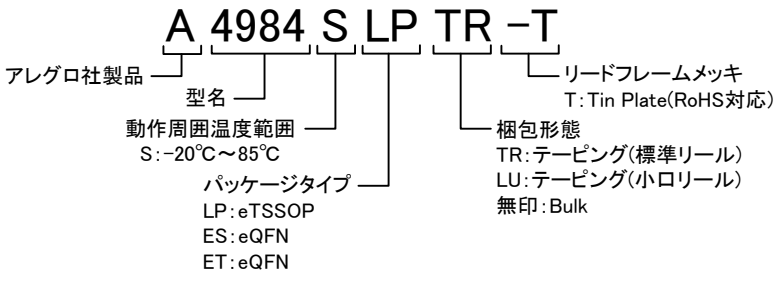
・低 ON 抵抗出力 (4984S シリーズ:source 側 0.43Ωmax、sink 側 0.43Ωmax)
(4985S シリーズ:source 側 0.9Ωmax、sink 側 0.9Ωmax)
・過電流保護(OCP)回路内蔵
・低消費電力のスリープ機能内蔵
・自動電流減衰モード選択／検知機能搭載
・同期整流機能による回生時の熱損失の低減
・低電圧保護機能(UVLO)、過熱保護機能搭載(TSD)
・出力ドライバにおける貫通電流を防ぐデッドタイム機能搭載
・電源の立ち上げ/立ち下げ順序シーケンスフリー

3. セレクションガイド

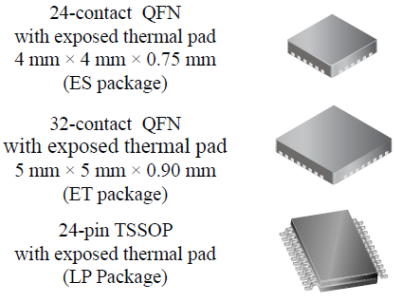
Parts No.	パッケージ	最小梱包単位	梱包状態	対応
A4984SESTR-T	eQFN24	1500	リール(標準)	量産時
A4985SESTR-T				
A4984SETTR-T	eQFN32			
A4985SETTR-T				
A4984SLPTR-T	eTSSOP24	4000		
A4985SLPTR-T				
A4984SLPLU-T	eTSSOP24	500	リール(小口)	
A4985SLPLU-T				
A4984SES-T	eQFN24	1	スティック または IC ケース	サンプル時
A4985SES-T				
A4984SET-T	eQFN32			
A4985SET-T				
A4984SLP-T	eTSSOP24			
A4985SLP-T				

※ リール対応は、量産出荷のみの対応となります。サンプルは、スティックまたは IC ケースでのご提供のみとなります。500 個の小口リールに関しては別途ご相談下さい。

3.1. 型番命名規則



製品外観イメージ
not to scale



3.2. シリーズ品のご案内

小型で保護機能が充実した本製品のシリーズ品として、下記の製品があります。

Parts No.	定格	パッケージ	マイクロステップ励磁パターン			Status
			W1-2	2W1-2	4W1-2	
A4982SET-T	35V/2.0A	eQFN32	○	×	○	量産出荷中
A4982SLP-T		eTSSOP24	○	×	○	
A4988SET-T		eQFN28	○	○	○	

4. 製品仕様

4.1. 絶対最大定格

絶対最大定格（Tj=25℃）

項　　目	記　号	規　格　値	単位	備　考
主電源電圧	V_{BB}	35	V	
出力電流（＊1）	I_{out}	±2.0	A	A4984S, Continuous
		±1.0	A	A4985S, Continuous
ロジック入力電圧	V_{IN}	-0.3～5.5	V	
ロジック電源電圧	V_{DD}	-0.3～5.5	V	
出力電圧	V_{OUT}	35	V	
検　出　電　圧	V_{SENSE}	0.5	V	
		2.5	V	tw<1usec
REF入力電圧	V_{REF}	5.5	V	
パッケージパワー損失（＊2）	P_D	3.38	W	（＊4）
		4.02	W	（＊5）
		4.46	W	（＊6）
動 作 周 囲 温 度	T_A	－20～85	℃	
ジャンクション温　度（＊3）	T_J	150	℃	
保　存　温　度	Tstg	－55～150	℃	

（＊1）出力電流は周囲温度、放熱状態によって制限をうけることがあります。
いかなる使用条件下においても、決して、指定された定格電流および最大接合部温度(TJ=+150℃)を越えないようにして下さい。

（＊2）周囲温度(Ta)が+25℃以上の場合は、-27.02mW/℃(QFN24ピンパッケージ(JEDEC 基準 4 層基板(High K)使用時)、-32.16mW/℃(QFN32 ピンパッケージ(JEDEC 基準 4 層基板(High K)使用時)、-35.71mW/℃(eTSSOP24 ピンパッケージ(JEDEC 基準 4 層基板(High K)使用時)にてディレーティングが必要となります。(減定格の項参照)

（＊3）ジャンクション温度(TJ)が+150℃を越すような異常条件下で使用した場合、デバイス内のサーマルシャットダウン回路が動作しますが、このような条件下での使用は、極力、避けて下さい。

（＊4）QFN24 ピンパッケージ（A4984SES-T/A4985SES-T）JEDEC 基準 4 層基板(High K)にて測定。

（＊5）QFN32 ピンパッケージ（A4984SET-T/A4985SET-T）JEDEC 基準 4 層基板(High K)にて測定。

（＊6）eTSSOP24ピンパッケージ（A4984SLP-T/A4985SLP-T）JEDEC 基準4層基板(High K)にて測定。

4.2. 電気的特性

(特に断りなき場合、Ta=25℃、V_{BB}=35V)

出力部(Output Drivers)

特性項目 Characteristics	記号 Symbol	定格 Limits MIN	TYP	MAX	単位 Units	試験条件 Test Conditions
主電源電圧範囲	V_{BB}	8	-	35	V	動作状態
		0	-	35	V	スリープモード
Logic電源電圧範囲	V_{DD}	3	-	5.5	V	
MOSFET ON抵抗	R_{DSON}	-	0.32	0.43	Ω	Source, I_{out} = -1.5A (A4984S)
		-	0.32	0.43	Ω	Sink, I_{out} = 1.5A (A4984S)
		-	0.7	0.9	Ω	Source, Iout = -0.8A (A4985S)
		-	0.7	0.9	Ω	Sink, Iout = 0.8A (A4985S)
FETボディーDi順電圧	V_F	-	-	1.3	V	Source, Iout = -1.5A (A4984S)
		-	-	1.3	V	Sink, Iout = 1.5A (A4984S)
		-	-	1.3	V	Source, Iout = -0.8A (A4985S)
		-	-	1.3	V	Sink, Iout = 0.8A (A4985S)
主電源電流	I_{BB}	-	-	4	mA	F_{pwm} < 50KHz
		-	-	2	mA	動作状態、出力OFF時
		-	-	10	μA	スリープモード
ロジック電源電流	I_{DD}	-	-	8	mA	F_{pwm} < 50KHz
		-	-	5	mA	出力OFF時
		-	-	10	μA	スリープモード

制御部(Control Logic)

Logic入力電圧	$V_{IN(1)}$	$0.7V_{DD}$	-	-	V	$V_{IN(1)}$
	$V_{IN(0)}$	-	-	$0.3V_{DD}$	V	$V_{IN(0)}$
Logic入力電流	$I_{IN(1)}$	-20	<-1.0	20	μA	$V_{IN}=0.7V_{DD}$
	$I_{IN(0)}$	-20	<1.0	20	μA	$V_{IN}=0.3V_{DD}$
マイクロステップセレクト1	MS1	-	100	-	kΩ	
マイクロステップセレクト2	MS2	-	50	-	kΩ	
Logic入力電圧ヒステリシス	$V_{hys(IN)}$	5	11	19	%	VDD電圧比
ブランキング時間	t_{BLANK}	700	1000	1300	ns	
固定OFF時間	t_{OFF}	20	30	40	μs	OSC > 3V
		23	30	37	μs	R_{OSC}=25KΩ
REF入力電圧範囲	V_{REF}	0	-	4	V	
REF端子入力電流	I_{REF}	-3	-	3	μA	
電流トリップレベルエラー (※3)	err_I	-	-	±15.0	%	V_{REF} = 2V, %$I_{TreipMAX}$=38.27%
		-	-	±5.0	%	V_{REF} = 2V, %$I_{TreipMAX}$=70.71%
		-	-	±5.0	%	V_{REF} = 2V, %$I_{TreipMAX}$=100.00%
クロスオーバーデッドタイム	T_{DT}	100	475	800	ns	

保護機能(Protection)

過電流保護動作電流	I_{OCPST}	2.1	-	-	A	A4984S
		1.1	-	-	A	A4985S
過熱保護動作温度	T_J	-	165	-	℃	
過熱保護ヒステリシス	T_{JHYS}	-	15	-	℃	
低電圧保護動作電圧	UV_{LO}	2.7	2.8	2.9	V	V_{DD}電圧、立ち上がり時
低電圧保護ヒステリシス	UV_{HYS}	-	0.09	-	V	

※1：表中の負電流は製品端子から流れ出る電流を示しております。
※2：Typ データは設計情報として使用して下さい。
※3：err_I={(V_{REF}/8)-V_{SENSE}}/(V_{REF}/8)

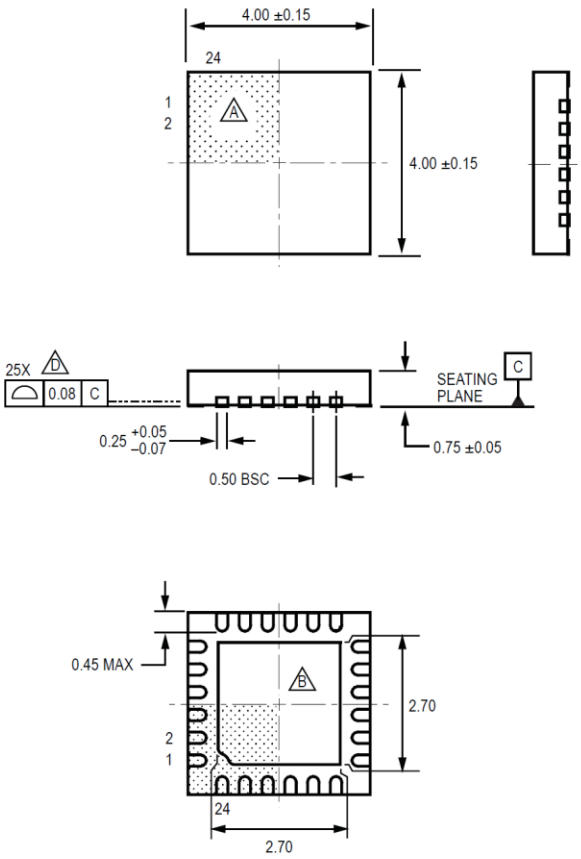
5. 外形図

5.1.QFN24 ピンパッケージ（A4984SES-T/A4985SES-T 共通）

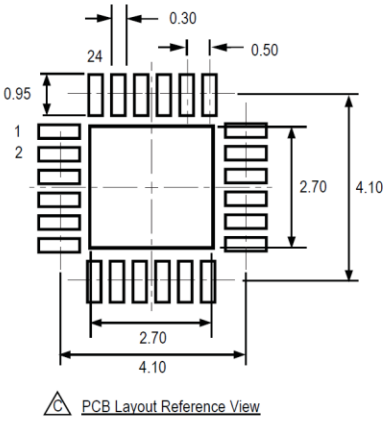
(24 ピン　QFN)

単位：mm

パッケージ外形図



推奨ランド形状



For Reference Only; not for tooling use (reference JEDEC MO-220WGGD)
Dimensions in millimeters
Exact case and lead configuration at supplier discretion within limits shown

A Terminal #1 mark area

B Exposed thermal pad (reference only, terminal #1 identifier appearance at supplier discretion)

C Reference land pattern layout (reference IPC7351 QFN50P400X400X80-25W6M)
All pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances; when mounting on a multilayer PCB, thermal vias at the exposed thermal pad land can improve thermal dissipation (reference EIA/JEDEC Standard JESD51-5)

D Coplanarity includes exposed thermal pad and terminals

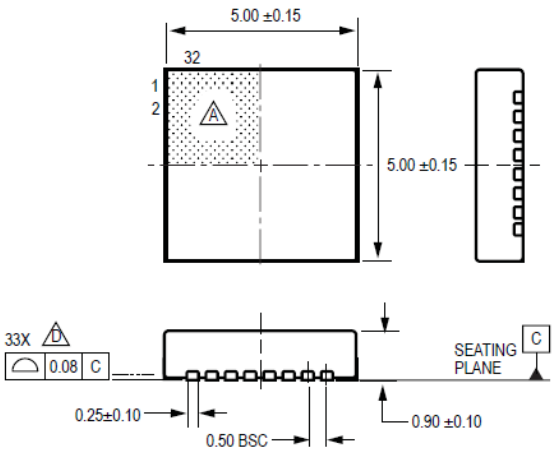
- リード間隔の許容誤差は累積とはなりません。
- 3,16 番端子(GND)と裏面の放熱用ヒートシンクパッドとは、内部 IC チップの P 基板を介して接続されています。
- 端子部材質：銅
- 端子部メッキ処理：Sn100%（ただし、側面はメッキ処理されておりません）

5.2.QFN32 ピンパッケージ（A4984SET-T/A4985SET-T 共通）

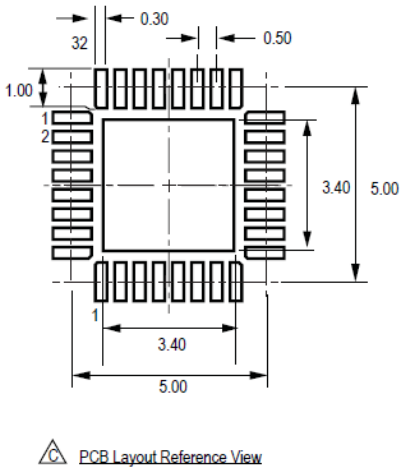
(32 ピン　QFN)

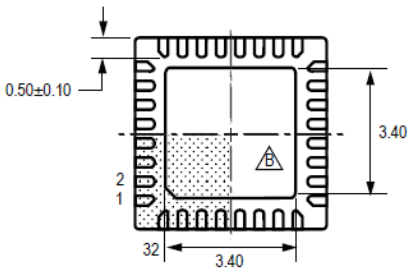
単位：mm

パッケージ外形図



推奨ランド形状





For Reference Only; not for tooling use
(reference JEDEC MO-220VHHD-6)
Dimensions in millimeters
Exact case and lead configuration at supplier discretion within limits shown

A Terminal #1 mark area

B Exposed thermal pad (reference only, terminal #1 identifier appearance at supplier discretion)

C Reference land pattern layout (reference IPC7351 QFN50P500X500X100-33V6M);
All pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances; when mounting on a multilayer PCB, thermal vias at the exposed thermal pad land can improve thermal dissipation (reference EIA/JEDEC Standard JESD51-5)

D Coplanarity includes exposed thermal pad and terminals

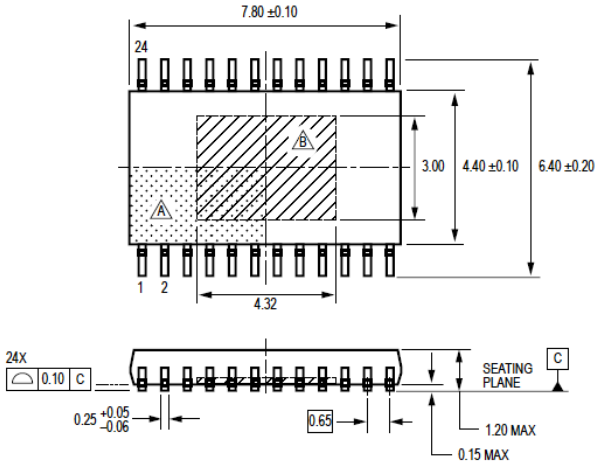
- リード間隔の許容誤差は累積とはなりません。
- 6,19 番端子(GND)と裏面の放熱用ヒートシンクパッドとは、内部 IC チップの P 基板を介して接続されています。
- 端子部材質：銅
- 端子部メッキ処理：Sn100%（ただし、側面はメッキ処理されておりません）

5.3.eTSSOP24 ピンパッケージ（A4984SLP-T/A4985SLP-T 共通）

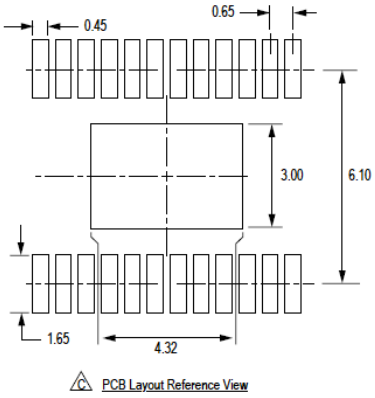
(24 ピン　eTSSOP)

単位：mm

パッケージ外形図



推奨ランド形状



For reference only
(reference JEDEC MO-153 ADT)
Dimensions in millimeters
Dimensions exclusive of mold flash, gate burrs, and dambar protrusions
Exact case and lead configuration at supplier discretion within limits shown

A Terminal #1 mark area

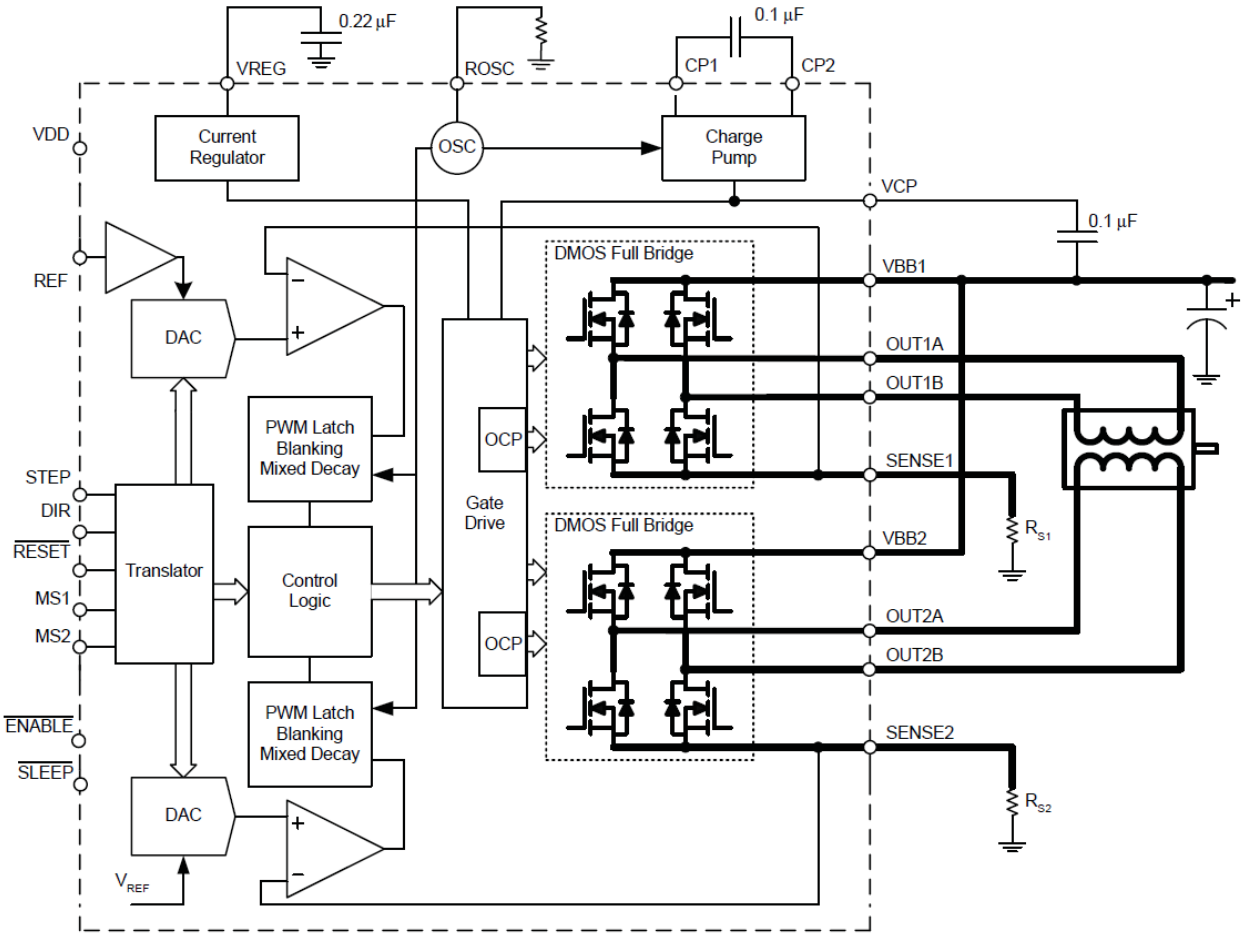
B Exposed thermal pad (bottom surface)

C Reference land pattern layout (reference IPC7351 TSOP65P640X120-25M); all pads a minimum of 0.20 mm from all adjacent pads; adjust as necessary to meet application process requirements and PCB layout tolerances; when mounting on a multilayer PCB, thermal vias at the exposed thermal pad land can improve thermal dissipation (reference EIA/JEDEC Standard JESD51-5)

- リード間隔の許容誤差は累積とはなりません。
- 13,24 番端子(GND)と裏面の放熱用ヒートシンクパッドとは、内部 IC チップの P 基板を介して接続されています。
- 端子部材質：銅
- 端子部メッキ処理：Sn100%

6. 内部ブロック図&Pin 配列

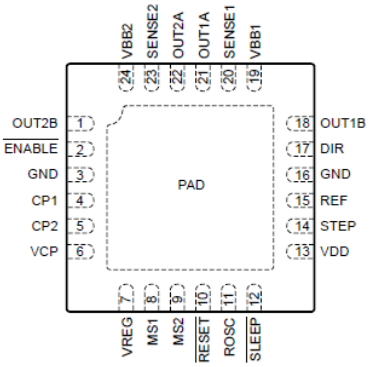
6.1. 内部ブロック図



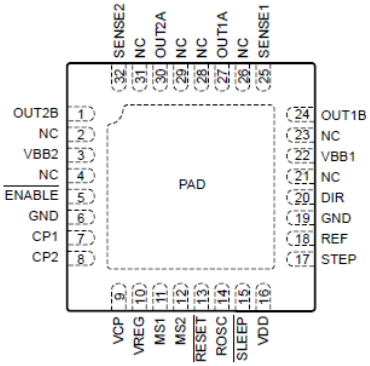
6.2. Pin 配列

Pin番号			記号	機能
QFN24 (ES)	QFN32 (ET)	eTSSOP24 (LP)		
1	1	22	OUT2B	出力端子2B
2	5	23	$\overline{\text{ENABLE}}$	ENABLE/DISABLE切り替え入力端子
3	6	24	GND	グランド端子
4	7	1	CP1	チャージポンプ汲み上げ用端子1
5	8	2	CP2	チャージポンプ汲み上げ用端子2
6	9	3	VCP	チャージポンプ電圧端子
7	10	4	VREG	内部レギュレータ出力端子
8	11	5	MS1	励磁方式設定端子1
9	12	6	MS2	励磁方式設定端子2
10	13	7	$\overline{\text{RESET}}$	リセット入力端子
11	14	8	ROSC	固定OFF時間設定端子
12	15	9	$\overline{\text{SLEEP}}$	スリープ入力端子
13	16	10	VDD	ロジック電源入力端子
14	17	11	STEP	励磁信号入力端子
15	18	12	REF	電流検出基準電圧入力端子
16	19	13	GND	グランド端子
17	20	14	DIR	回転方向入力端子
18	24	15	OUT1B	出力端子1B
19	22	16	VBB1	主電源入力端子1
20	25	17	SENSE1	電流検出端子1
21	27	18	OUT1A	出力端子1A
22	30	19	OUT2A	出力端子2A
23	32	20	SENSE2	電流検出端子2
24	3	21	VBB2	主電源入力端子2
—	2,4,21,23, 26,28,29,31	—	NC	オープン端子

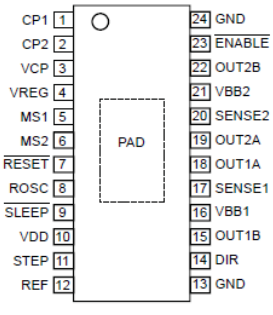
ES Package



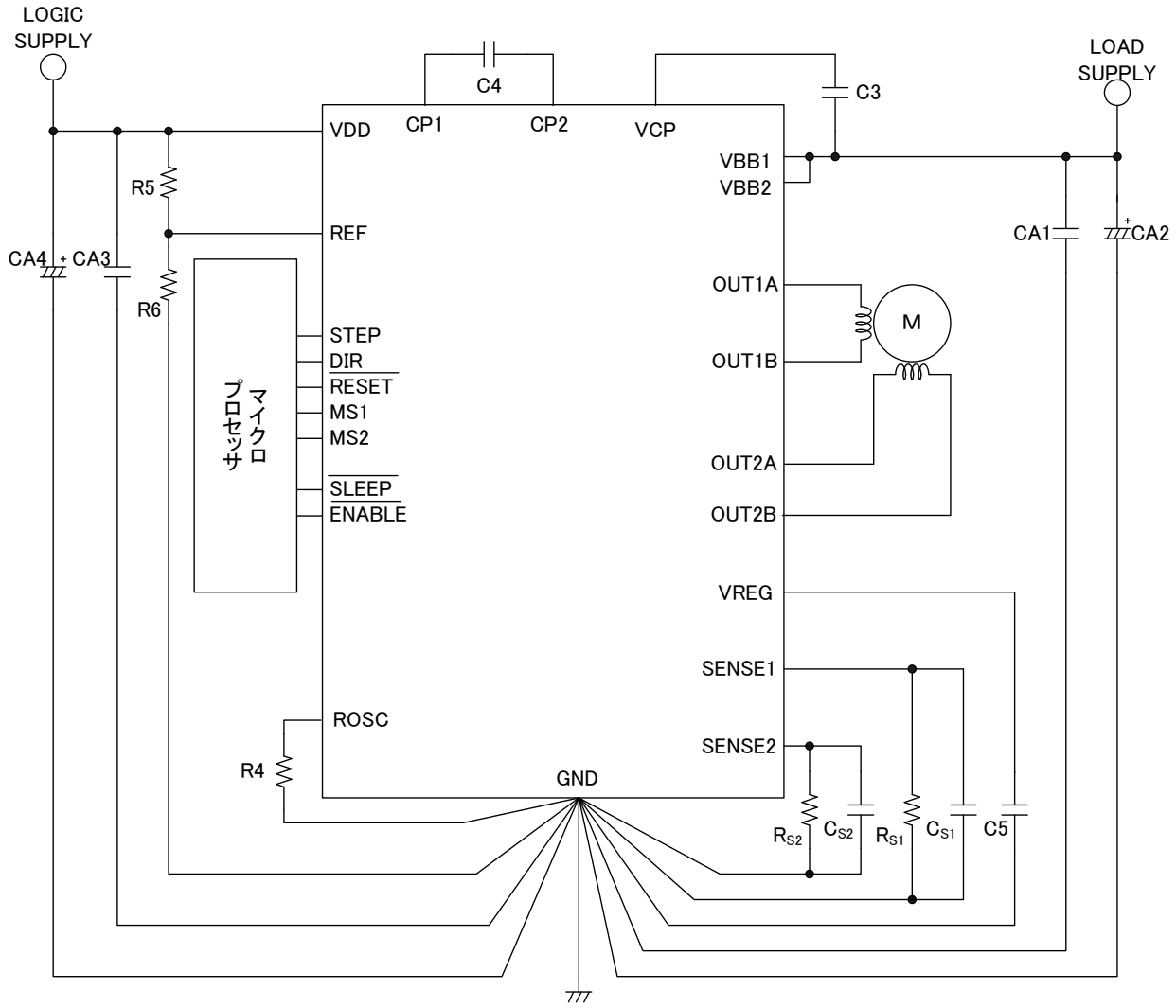
ET Package



LP Package



7. 応用回路例



☆特に V_{DD} /V_{BB} ラインのノイズに注意して下さい。

V_{DD} ラインには必ず製品の直近に電解コンデンサ CA4 およびバイパスコンデンサ CA3 を挿入して下さい。

CA3 および CA4 は、PCB による配線インピーダンス（スルーホールなども含む）をできるだけ避けるために、製品と同一面に挿入されることが望ましいです。

V_{BB} ラインには必ず製品の直近に電解コンデンサ CA2 およびバイパスコンデンサ CA1 を挿入して下さい。

CA1 および CA2 は、PCB による配線インピーダンス（スルーホールなども含む）をできるだけ避けるために、製品と同一面に挿入されることが望ましいです。

R_{S1}/R_{S2} : 0.47Ω(1W)
R4 : 25kΩ(1/8W)
R5 : 22kΩ(1/8W)
R6 : 15kΩ(1/8W)

C_{S1}/C_{S2} : 0.1μF/3V
CA1 : 0.22μF/50V
CA2 : 100μF/50V
CA3 : 0.22μF/10V
CA4 : 10μF/10V
C3 : 0.1μF/50V
C4 : 0.1μF/50V
C5 : 0.22μF/25V

☆検出抵抗 RS 部には電流制御時に過大なスパイク電圧(電流)が発生することがあります。
スパイク電圧が大きい場合、スパイク電圧除去用のコンデンサ（CS1/CS2）を付加して下さい。
このコンデンサは周波数特性の良いものをご使用ください。
また製品に直近かつ製品と同一面内に実装してください。容量値に関しましては、スパイク電圧を確認したうえでご判断ください（目安としましては 0.1μF 程度です）

☆GND パターンの引き回しには十分に注意して下さい。
製品 GND 部から VDD 系 GND(S－GND)と VBB 系 GND(P－GND)を分ける（共通インピーダンスを出来るだけ小さくする）とノイズ低減効果があります（詳しくは 9-1. 参考基板レイアウトに記載されている推奨パターン図を参照ください)。

☆RS1/RS2 で使用する抵抗の定格選定に注意してください。
RS1/RS2 で使用する抵抗の定格につきましては、その抵抗で消費する損失の 2 倍程度の定格のものを推奨いたします（発熱により抵抗値が変化してしまうため)。

☆R5/R6 の抵抗定数の選定について
R5/R6/Rs の抵抗値設定にて VDD=5V の条件で約 540mA（ピーク），VDD=3.3V の条件で約 360mA（ピーク）の設計になっております。
出力電流値を可変されたい場合は、8-6. Internal PWM Current Control を参照ください。

☆コンデンサ容量の選定について
CS1,CS2,CA1,CA2,CA3,CA4,C5 はノイズ除去を目的としたコンデンサになります。
応用回路例にてこれらのコンデンサの容量値を推奨値として掲載しておりますが、容量値の選定につきましては、ユーザー様における実働確認において十分検証を行った上でご判断ください。

8. 機能説明

8.1. デバイス動作

A4984S/A4985S シリーズは、ステッピングモータを駆動するシーケンサ機能付マイクロステッピング対応モータドライバです。

このシーケンサにより、モータを少ない信号線で簡単に制御できます。

A4984S/A4985S シリーズは、バイポーラ駆動方式のステッピングモータドライバで、フルステップ(2 相励磁方式)・ハーフステップ(1－2 相励磁方式)・4 分割マイクロステップ(W1－2 相励磁方式)・8 分割マイクロステップ(2W1－2 相励磁方式に対応できます。

A4984S/A4985S シリーズに搭載されている 2 つの H ブリッジ(全て N 型チャネル DMOSFET で構成されています)のいずれも OFF 時間固定式の PWM 制御回路により電流制御されています。

各ステップにおける H ブリッジに流れる電流は、外付けの電流検出抵抗(Rs)、リファレンス電圧(V_{REF})およびシーケンサからの信号を受けた DAC(DA コンバータ)の出力電圧によって決まります。

電源立ち上がり時もしくはリセット時において、シーケンサにより、各相の DAC 出力と電流の方向は初期の Home State に設定されます。

また両相ともに、電流制御モードは Mixed Decay に設定されます。

STEP 端子に信号が 1 パルス入力されると、シーケンサにより自動的に DAC 出力電圧が次の電圧レベルに移行します。

励磁モードは、下表に示されている MS1 および MS2 のロジック信号によって設定されます。

DAC 出力電圧のレベルが 1 つ前の DAC 出力電圧のレベルよりも低い場合、H ブリッジの電流減衰モードは Mixed Decay に設定されます。

DAC 出力電圧のレベルが 1 つ前の DAC 出力電圧のレベルよりも高いかもしくは等しい場合、H ブリッジの電流減衰モードは Slow Decay に設定されます。

この自動電流減衰モード選択／検知機能により、モータの逆起電圧による電流波形の歪を抑えることができ、マイクロステッピングの動作を正確なものにしています。

A4984S/A4985S シリーズの励磁方式

MS1	MS2	Microstep Resolution	Excitation Mode
L	L	Full Step	2 Phase
H	L	Half Step	1-2 Phase
L	H	Quarter Step	W1-2 Phase
H	H	Eighth Step	2W1-2 Phase

8.2. Reset Input ($\overline{\text{RESET}}$)

$\overline{\text{RESET}}$ 入力(Active Low)はシーケンサーを Home State(10.ステップシーケンスを参照ください)に設定します。また、出力 DMOSFET を全て OFF にします。

このとき、STEP 入力は $\overline{\text{RESET}}$ 端子に High が入力されるまで無視されます。

8.3. Step Input (STEP)

STEP 入力の立ち上がりエッジによって、シーケンサーが動作し、モータを
1 ステップ先に進ませます。
シーケンサーは、DAC への入力信号と各ブリッジに流れる電流の方向を制御します。
1 ステップの大きさは、7-1 の表に示されている MS1、MS2 のロジック信号の結合された状態で決定されます。

8.4. Microstep Select (MS1/MS2)

MS1 および MS2 の入力は、7-1 の表に示されるような励磁方式の選択を行います。
MS1 は 100KΩ で、MS2 は、50kΩ でプルダウンされています。
入力論理の組み合わせの変更は、STEP 入力信号が入るまで無効です。

8.5. Direction Input (DIR)

DIRECTION の入力論理は、モータの回転方向を決めるものです。DIR 信号が L の時、回転方向は CCW となります。一方 DIR 信号が H の時、回転方向は CW となります。
DIR 信号の変化は、STEP 入力信号が入るまで無効です。

8.6. Internal PWM Current Control

各 H ブリッジは、固定 OFF 時間方式の PWM 電流制御回路で制御されます。
この固定 OFF 時間方式の PWM 電流制御回路は、モータへの負荷電流を設定された値(I_{TRIP})に制限します。
最初に、対角に位置する SINK と SOURCE の DMOSFET が ON となり、電流がモータを通って R_S に流れます。
電流検出抵抗による電圧ドロップが DAC の出力電圧と等しくなった時、電流検出コンパレータにより PWM ラッチが RESET されます。
これにより、SLOW-DECAY モードの場合は、SOURCE ドライバが OFF となり、FAST もしくは MIXED-DECAY モードの場合は、SINK と SOURCE のドライバが OFF となります。
電流制限の最大値は R_S と V_{REF} 端子に入力された電圧と IC 内部に設定された分割比で決定されます。

$$I_{TRIP}MAX=V_{REF}/8R_S$$

電流検出コンパレータに対し、DAC 出力は V_{REF} 出力を正確な間隔で減少させます。
（10.ステップシーケンスの表内のそれぞれの Step での $\%I_{tripMax}$ を参照ください）

$$I_{TRIP} = (\%I_{TRIP}MAX/100)\times I_{TRIP}MAX$$

SENSE 電圧の定格である 0.5V は超えないようにしてください。

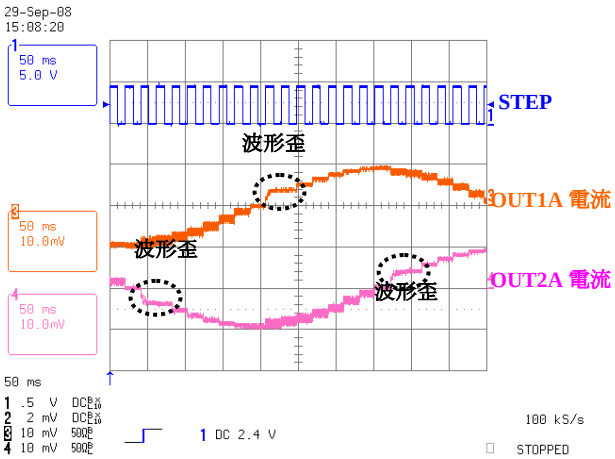
8.7. Low Current Microstepping

電流が低い領域において、電流制御が正常に機能しない（最小 ON 時間でも電流が制御できない）場合、ROSC 端子を直接 GND に接続していただくことで、電流制御が Mixed-Decay にて制御され、Fixed Off-Time は 30µsec に設定されます。

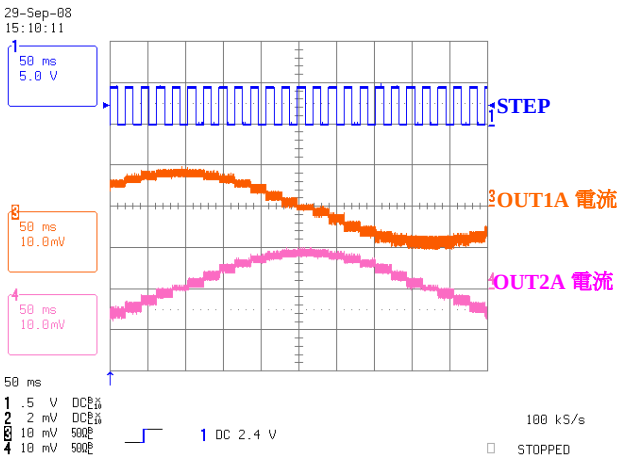
下図に通常使用時と ROSC を GND に接続した場合の波形比較を示します。

下図左のように、低電流領域において波形ひずみが生じてしまう場合、ROSC を GND に接続することで、すべての電流領域において Mixed-Decay にて制御され、波形ひずみが改善されていることがわかります。

通常動作時



ROSC=GND 接続時



8.8. Fixed Off-Time

内部 PWM 電流制御回路は、ワン・ショットを用いて出力の OFF を保持する時間を制御しています。

このワン・ショットの時間(t_{off})は、外付け抵抗(R_4)を直列に ROSC 端子-GND 間に接続することによって決定されます。

もし ROSC の端子に 3V 以上の電圧を入力する場合、Fixed Off-Time は 30µsec になります。このような使い方をする場合、ROSC 端子は V_{DD} 端子に接続することをお薦めします。

また、ROSC を GND に直接接続する場合、Fixed Off-Time は 30µsec に設定され、電流減衰は Mixed-Decay に設定されます。

ROSC 端子から抵抗を介して GND に接続する場合、Fixed Off-Time は下記の式で表されます

$$t_{off}\ [\mu s] = ROSC/825$$

8.9. 負荷ショートおよび地絡保護

負荷ショートもしくは出力端子が地絡した場合、の動作につきまして下記に示します。

① 負荷ショート時における挙動について

下図に負荷ショート時における電流の挙動を示します。

PWM ブランキング時間が OCP ブランキング時間よりも短い設定になっているため、負荷ショート時においては、PWM ブランキング時間終了時点でデバイスが出力 OFF を行い、Fixed-Off 時間が開始されます。

Fixed-Off 時間終了後に再び ON 時間が開始される、いわゆる PWM チョッピングを継続します。

Slow Decay においては、PWM ブランキング終了後に Slow Decay 動作を行うために、Fixed-Off 時間を通してゼロ電流が保持されます。

Mixed Decay においては、PWM ブランキング終了後にデッドタイム期間を経て Fast Decay 動作を行うために、一度ゼロ電流が保持され、その後逆方向に電流が流れた後ゼロ電流を保持します。

なお、負荷ショート時においては PWM チョッピングを保持しますが、デバイスが破壊することはありません。

また、一方のフルブリッジが負荷ショートしている場合でも、もう片方のフルブリッジは通常の動作をおこないます。

Out-Out ショート時における電流の挙動（Bridge2 の出力をショート）

Slow Decay



Mixed Decay



② ショート時における片側のフルブリッジ回路の動作について

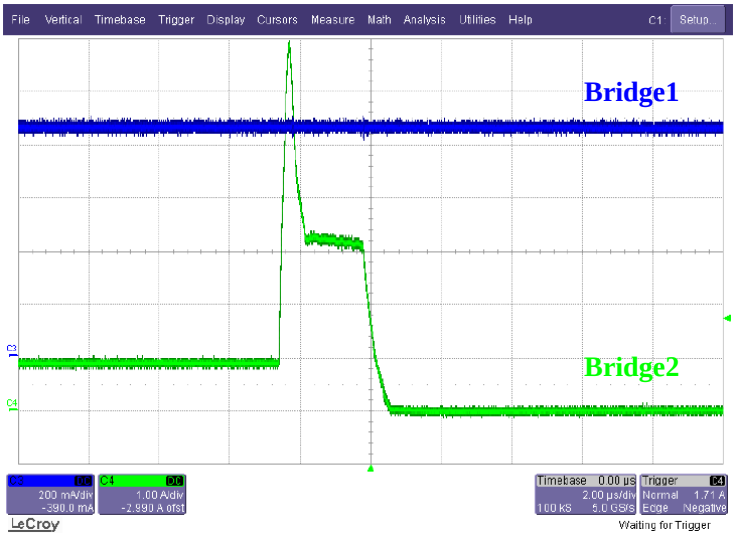
下図に Out-Gnd ショート時における電流の挙動を示します。

Out-Gnd 間ショートにつきましては、ショート検出後 OCP 回路が作動し、出力がラッチ Off されます。

出力シャットダウンは $\overline{\text{SLEEP}}$/$\overline{\text{RESET}}$ 入力に H が入力されるか、VDD が再起動されるまでは保持されます。

また、一方のフルブリッジが Out-Gnd ショートしている場合でも、もう片方のフルブリッジは通常の動作をおこないます。

Out-Gnd ショート時における電流の挙動について（Bridge2 をショート）



8.10. Blanking

この機能は、出力が内部電流制御回路によってスイッチングしている時に電流検出コンパレータをブランクします。

コンパレータをブランクすることによって、クランプダイオードのリカバリー電流やスイッチング過渡現象時の負荷容量成分によるコンパレータの誤検知を防ぐことができます。

ブランキング時間（t_{BLANK}）は、下記で与えられます。

$$t_{BLANK} = 1\mu s$$

8.11. チャージポンプ(CP1 and CP2)

チャージポンプは V_{BB} よりも高い電圧を作るための回路です。この電圧で出力ソース DMOSFET を駆動します。

0.1µF のセラミックコンデンサを CP1-CP2 間に装着してください。

また、同様に 0.1µF のセラミックコンデンサを VCP-VBB 間に装着してください。このコンデンサは出力ソース DMOSFET を駆動するための電源として必要になります。

8.12. VREG

VREG は出力シンク DMOSFET を駆動するために使用されます。

VREG 端子は 0.22µF のコンデンサでグランドに対してデカップリングする必要があります。

VREG は内部で監視されており、異常状態（VREG が低い状態）の場合には出力の DMOSFET が DISABLE（出力 OFF 状態）になります。

8.13. Enable Input($\overline{\text{ENABLE}}$)

ENABLE の入力で、全ての FET の出力をオンもしくは、オフします。
HIGH を入力することにより、全ての出力はディスエーブルとなります。LOW を入力することにより、全ての出力がイネーブルになります。
またこの時、シーケンサへの INPUT(STEP,DIR,MS1,MS2)は全てイネーブルのロジックとは独立しています。
すなわち、ENABLE 入力は出力 DMOSFET のみを OFF する機能であり、ENABLE による出力 OFF 期間であっても、シーケンサへの INPUT(STEP,DIR,MS1,MS2)は保持されます。

8.14. Shutdown

異常状態（過度のジャンクション温度もしくはチャージポンプ低電圧時）の場合、その異常状態が解除されるまで、デバイスの出力 DMOSFET が DISABLE(出力 OFF 状態)となります。
電源立ち上げ時および V_{DD} 低電圧時には、UVLO 回路により出力が DISABLE（出力 OFF 状態）となり、シーケンサーは HOME にリセットします。

8.15. SLEEP MODE($\overline{\text{SLEEP}}$)

SLEEP モードは消費電力を低減させます。また、SLEEP 状態においては、DMOSFET 出力、内部レギュレータ、チャージポンプを含め、内部回路の多くが DISABLE となります。$\overline{\text{SLEEP}}$ 端子に LOW を入力することで、SLEEP モードになります。
HIGH を入力することで、通常動作を行い、HOME ポジションからデバイスがスタートします。
HIGH を入力することでスリープモードが解除になります。スリープモード解除後は STEP 信号入力を 1msec 待つ必要があります。この 1msec という時間はチャージポンプが安定動作に入るまでの時間となっています。

8.16. 電源シーケンス

ロジック入力および電源（VBB,VDD）の立ち上げ、立ち下げに際し特別な立ち上げシーケンスはありません。

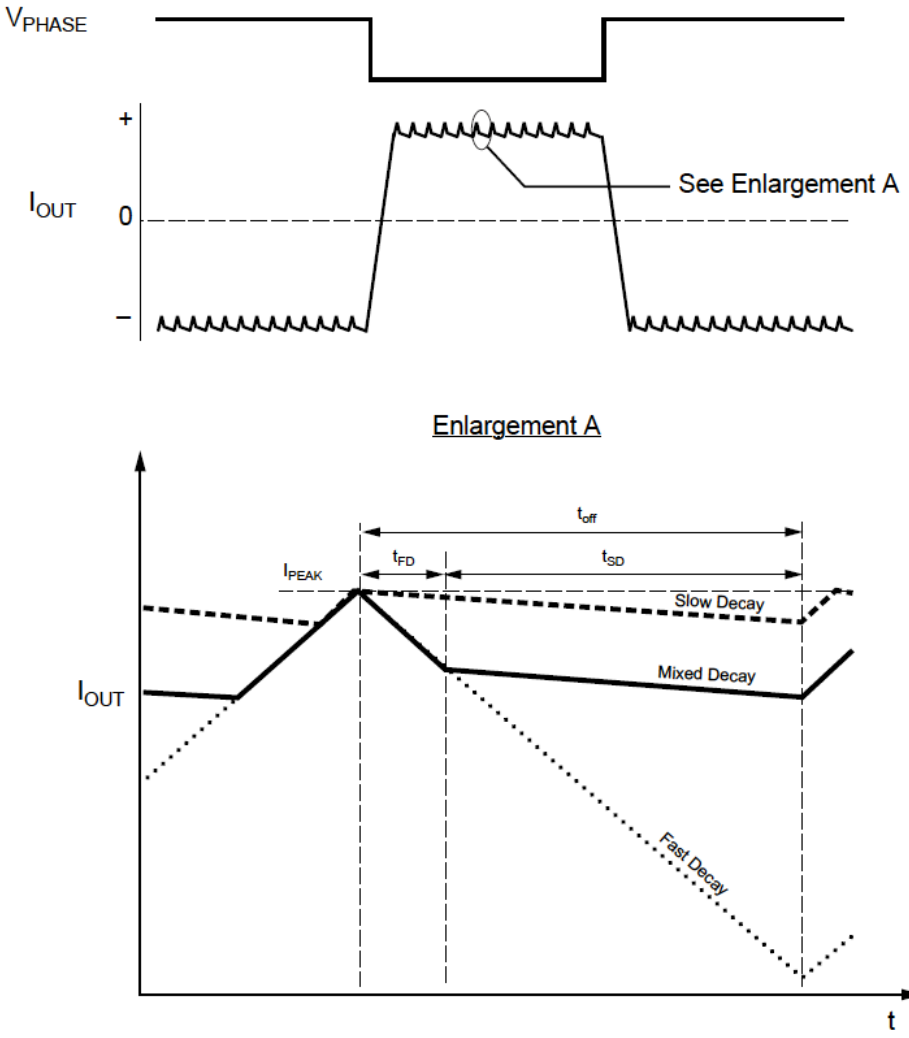
8.17. Mixed Decay Operation

H ブリッジはシーケンサに従って自動的に MIXED DECAY で動作します。

MIXED DECAY で動作する場合において、出力電流がトリップポイント(Itrip)に達した後、FAST DECAY に移行し、Fixed Off Time の 31.25%の期間 FAST DECAY を維持します。

FAST DECAY が終了すると、残りの Fixed Off Time(Fixed Off Time の 68.75%)で SLOW DECAY を維持します。

Decay Mode のタイミングチャート



Symbol	Characteristic
t_{off}	Device fixed off-time
I_{PEAK}	Maximum output current
t_{SD}	Slow decay interval
t_{FD}	Fast decay interval
I_{OUT}	Device output current

8.18. 同期整流(Synchronous Rectification)

ドライバが内部 PWM チョッピングによって Off 時間設定されているとき、負荷電流はシーケンサによって設定されている電流回生モード(Slow, Mixed Decay Mode)で電流回生を行います。

同期整流の特徴は、電流回生期間に適切な DMOSFET を ON させることです。

すなわち、DMOSFET のボディダイオードに電流を流す代わりに、低 Rdson である DMOSFET 自身に電流を流します。

これにより、ドライバの損失を低減させ、外付けショットキーダイオードを削減することができます。

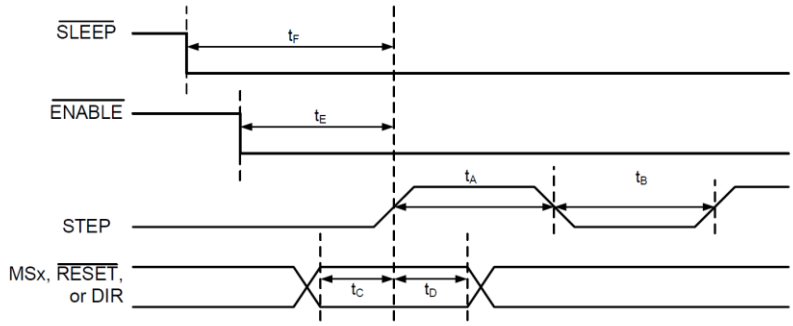
出力電流が 0 になることを検知して同期整流を OFF にすることで、出力電流が逆方向に流れることを防いでいます。

8.19. モータのホールドについて

Step 入力を H もしくは L に固定することで、モータをホールドできます。モータをどの電気角でホールドさせるかは、10. ステップシーケンスをご確認ください。

8.20. Timing Requirements

（Ta=+25℃、V_{DD}=5V、論理レベルは V_{DD} と GND です）



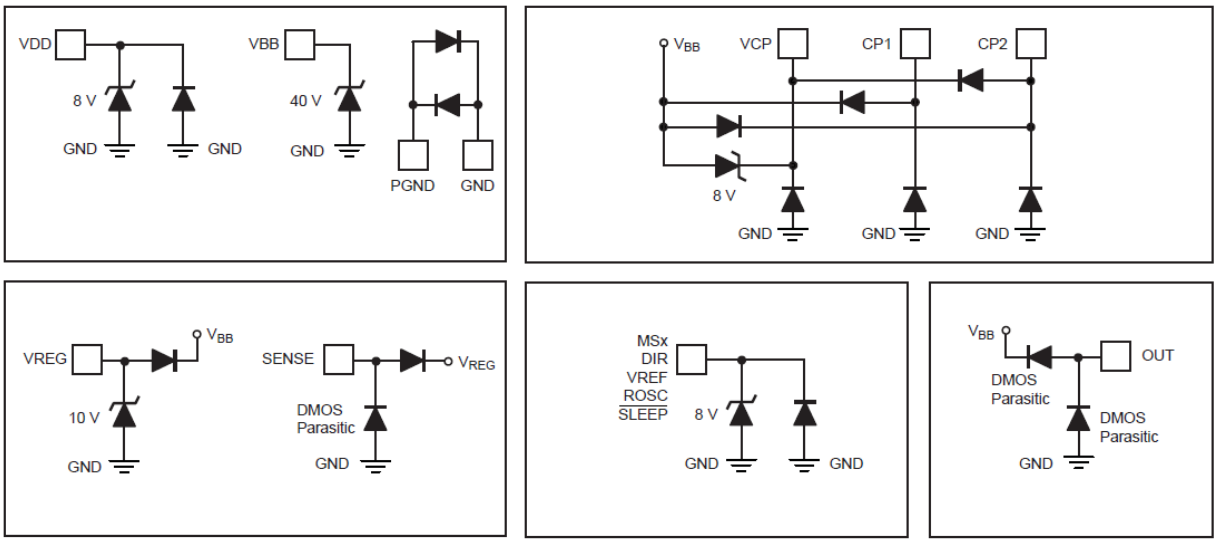
Time Duration	Symbol	Typ	Unit
STEP minimum, HIGH pulse width	t_A	1	us
STEP minimum, LOW pulse width	t_B	1	us
Setup time, input change to STEP	t_C	200	ns
Hold time, input change to STEP	t_D	200	ns
Setup time, input change to STEP	t_E	5	us
Setup time, input change to STEP	t_F	1	ms

8.21. 真理値表

Direction	ENABLE	SLEEP	OUTA	OUTB	Function
X	X	L	Hi-Z	Hi-Z	スリープモード
X	H	H	Hi-Z	Hi-Z	ディスエーブルモード
H	L	H	H	L	CW(Forward)
L	L	H	L	H	CCW(Reverse)

※X=Don't Care

8.22. 端子部内部回路



8.23. A498X シリーズ Pin 互換表

A498X シリーズのピン互換表を示します。
各パッケージにおいて、ロジックの入力のみが違うだけですので、ロジック信号を組み替えるだけで、Clock タイプ Phase タイプのデバイスを入れ替えることができます。

A498Xシリーズ Pin配列比較表

Pin#	eQFN24		eQFN32		eTSSOP24	
	A4984SES-T	A4986SES-T	A4984SET-T	A4986SET-T	A4984SLP-T	A4986SLP-T
1	OUT2B	OUT2B	OUT2B	OUT2B	CP1	CP1
2	ENABLE	PH2	NC	NC	CP2	CP2
3	GND	GND	VBB2	VBB2	VCP	VCP
4	CP1	CP1	NC	NC	VREG	VREG
5	CP2	CP2	ENABLE	PH2	MS1	IN02
6	VCP	VCP	GND	GND	MS2	IN12
7	VREG	VREG	CP1	CP1	RESET	IN11
8	MS1	IN02	CP2	CP2	ROSC	ROSC
9	MS2	IN12	VCP	VCP	SLEEP	SLEEP
10	RESET	IN11	VREG	VREG	VDD	VDD
11	ROSC	ROSC	MS1	IN02	STEP	IN01
12	SLEEP	SLEEP	MS2	IN12	REF	REF
13	VDD	VDD	RESET	IN11	GND	GND
14	STEP	IN01	ROSC	ROSC	DIR	PH1
15	REF	REF	SLEEP	SLEEP	OUT1B	OUT1B
16	GND	GND	VDD	VDD	VBB1	VBB1
17	DIR	PH1	STEP	IN01	SENSE1	SENSE1
18	OUT1B	OUT1B	REF	REF	OUT1A	OUT1A
19	VBB1	VBB1	GND	GND	OUT2A	OUT2A
20	SENSE1	SENSE1	DIR	PH1	SENSE2	SENSE2
21	OUT1A	OUT1A	NC	NC	VBB2	VBB2
22	OUT2A	OUT2A	VBB1	VBB1	OUT2B	OUT2B
23	SENSE2	SENSE2	NC	NC	ENABLE	PH2
24	VBB2	VBB2	OUT1B	OUT1B	GND	GND

9. アプリケーション情報

9.1. 参考基板レイアウト

プリント基板の配線は GND 領域を強化するようにして下さい。

電気的および熱的な動作を最適にするために、デバイスはプリント基板の上に直接はんだ付けしてください。

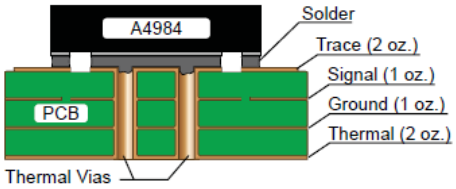
A4984S/A4985S シリーズの裏面は放熱板になっており、放熱経路として使用されます。

この放熱板は、PCB の銅箔部分に直接はんだ付けしてください。PCB にスルーホールを設けていただくと、デバイスで発生した熱を中間層や裏面の銅箔部分に放熱することができます。

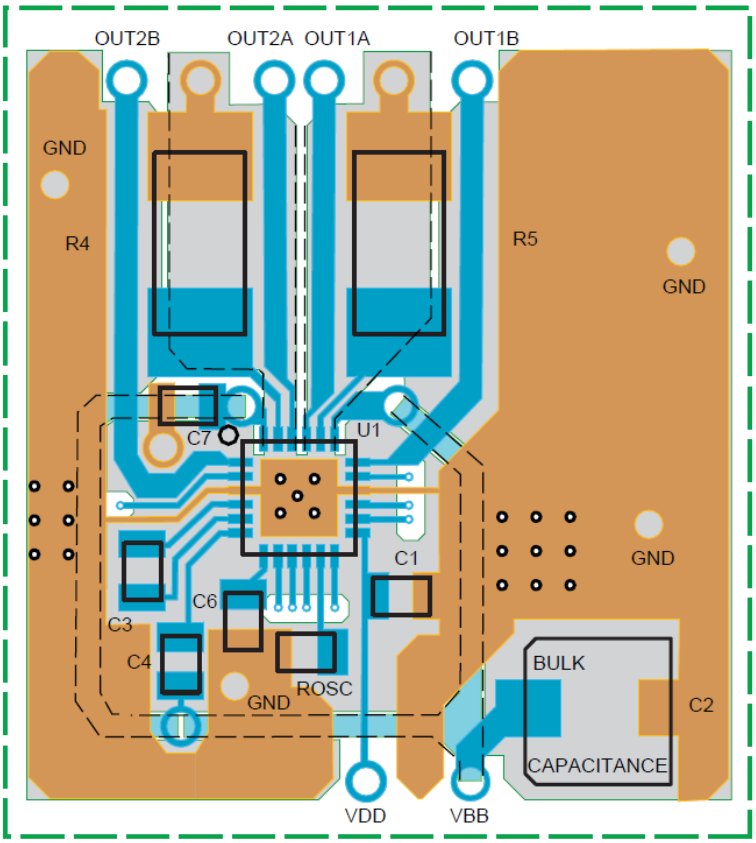
電源供給端子（V_{BB} 端子）は電解コンデンサ（100μF 以上のものが望ましい）でデカップリングしてください。またその電解コンデンサはなるべくデバイスの近くに装着してください。

高い dv/dt スイッチング時における容量性結合による問題を避けるために、H ブリッジの出力ラインと敏感なロジック入力ラインは離すように配線してください。通常、LOGIC 入力はノイズを回避するために、低いインピーダンスでドライブして下さい。

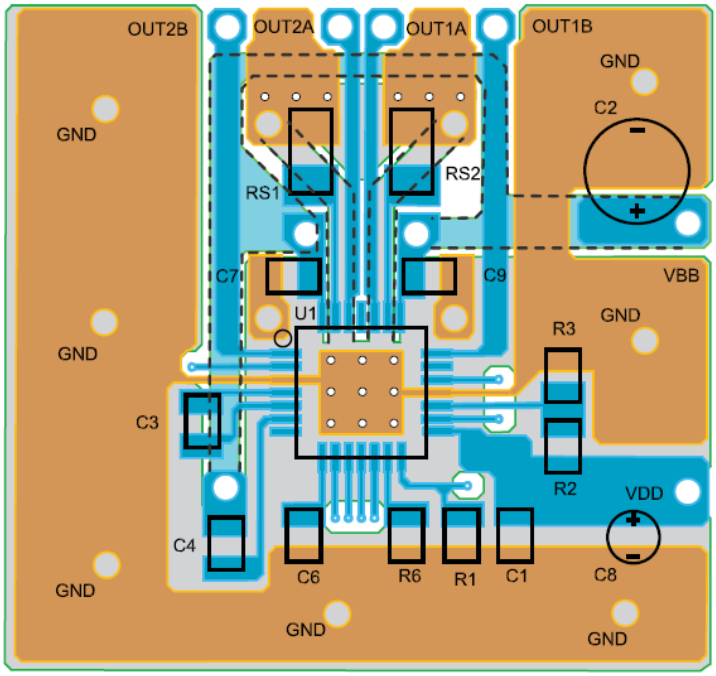
A4984S/A4985S シリーズの参考パターン図を下図に示します。



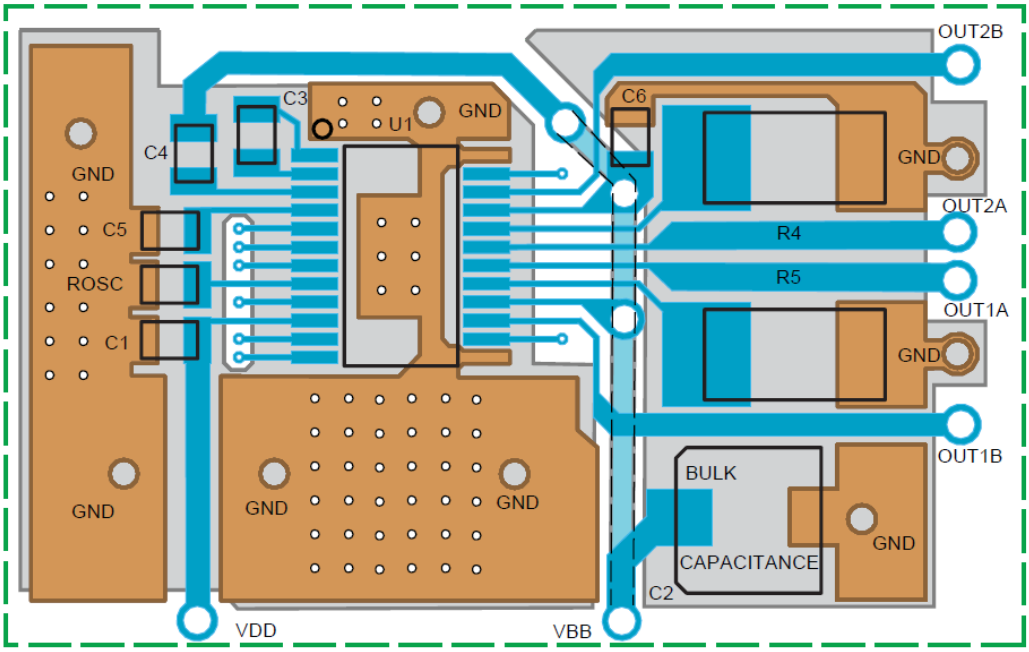
A4984SES-T/A4985SES-T 参考パターン図



A4984SET-T/A4985SET-T　参考パターン図



A4984SLP-T/A4985SLP-T　参考パターン図



9.2. Grounding

デバイスの GND に 1 点 GND 配線になるようにして下さい。
GND 端子（24 ピン QFN については 3,16 番ピン；32 ピン QFN については 6,19 番ピン；24 ピン eTSSOP については 13,24 番ピン）が放熱用ヒートシンクパッドと絶縁されていますので、パッケージの外部（PCB 上）で接続するようにしてください。

9.3. Current Sensing

出力電流レベルの検出における、GND 配線での電圧降下による誤差を最小限にするために、電流検出抵抗はデバイスの 1 点 GND に独立で接続してください。
また、配線はなるべく短くしてください。検出抵抗値が低いものに関しては、プリント基板配線抵抗による電圧降下が大きな割合を占めるため、プリント基板上での配線引き回しを考慮する必要があります。
ソケットの使用は、その接触抵抗により検出抵抗のバラツキの原因ともなりますので避けてください。

9.4. Thermal Protection

ジャンクション温度が 165℃(Typical)に達すると、保護回路により、全てのドライバーが OFF になります。これは、接合部温度の超過からドライバーを保護するためのもので、出力回路のショートは保護できません。過熱保護回路はおよそ 15℃のヒステリシスを持っております。

10. ステップシーケンス

A4984S/A4985S シリーズ

	Full Step #	Half Step #	1/4 Step #	1/8 Step #	Phase 1 Current [% $I_{tripMax}$] (%)	Phase 2 Current [% $I_{tripMax}$] (%)	Step Angle (°)
		1	1	1	100.00	0.00	0.0
				2	98.08	19.51	11.3
			2	3	92.39	38.27	22.5
				4	83.15	55.56	33.8
HOME POSITION→	1	2	3	5	70.71	70.71	45.0
				6	55.56	83.15	56.3
			4	7	38.27	92.39	67.5
				8	19.51	98.08	78.8
		3	5	9	0.00	100.00	90.0
				10	–19.51	98.08	101.3
			6	11	–38.27	92.39	112.5
				12	–55.56	83.15	123.8
	2	4	7	13	–70.71	70.71	135.0
				14	–83.15	55.56	146.3
			8	15	–92.39	38.27	157.5
				16	–98.08	19.51	168.8
		5	9	17	–100.00	0.00	180.0
				18	–98.08	–19.51	191.3
			10	19	–92.39	–38.27	202.5
				20	–83.15	–55.56	213.8
	3	6	11	21	–70.71	–70.71	225.0
				22	–55.56	–83.15	236.3
			12	23	–38.27	–92.39	247.5
				24	–19.51	–98.08	258.8
		7	13	25	0.00	–100.00	270.0
				26	19.51	–98.08	281.3
			14	27	38.27	–92.39	292.5
				28	55.56	–83.15	303.8
	4	8	15	29	70.71	–70.71	315.0
				30	83.15	–55.56	326.3
			16	31	92.39	–38.27	337.5
				32	98.08	–19.51	348.8

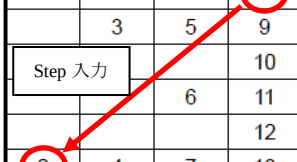
10.1. 励磁モードを途中で切り替えた場合について

細かい励磁モードから、荒い励磁モードに移行する場合は、回転方向に沿った、一番近いポジションに移行します。

例えば 2W1-2 相励磁で 8 番のポジションにいた時に 2 相励磁に切り替える場合、次の Step 入力で CW であれば 2 相励磁の 2 番に、CCW であれば 2 相励磁の 1 番に移行します。

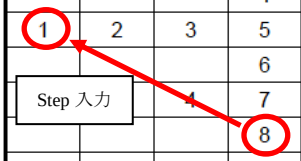
DIR=H(CW)の時

Full Step #	Half Step #	1/4 Step #	1/8 Step #	Phase 1 Current [% $I_{tripMax}$] (%)	Phase 2 Current [% $I_{tripMax}$] (%)	Step Angle (°)
	1	1	1	100.00	0.00	0.0
			2	98.08	19.51	11.3
		2	3	92.39	38.27	22.5
			4	83.15	55.56	33.8
1	2	3	5	70.71	70.71	45.0
			6	55.56	83.15	56.3
		4	7	38.27	92.39	67.5
			8	19.51	98.08	78.8
	3	5	9	0.00	100.00	90.0
			10	–19.51	98.08	101.3
		6	11	–38.27	92.39	112.5
			12	–55.56	83.15	123.8
2	4	7	13	–70.71	70.71	135.0
			14	–83.15	55.56	146.3
		8	15	–92.39	38.27	157.5
			16	–98.08	19.51	168.8
	5	9	17	–100.00	0.00	180.0
			18	–98.08	–19.51	191.3
		10	19	–92.39	–38.27	202.5
			20	–83.15	–55.56	213.8
3	6	11	21	–70.71	–70.71	225.0
			22	–55.56	–83.15	236.3
		12	23	–38.27	–92.39	247.5
			24	–19.51	–98.08	258.8
	7	13	25	0.00	–100.00	270.0
			26	19.51	–98.08	281.3
		14	27	38.27	–92.39	292.5
			28	55.56	–83.15	303.8
4	8	15	29	70.71	–70.71	315.0
			30	83.15	–55.56	326.3
		16	31	92.39	–38.27	337.5
			32	98.08	–19.51	348.8



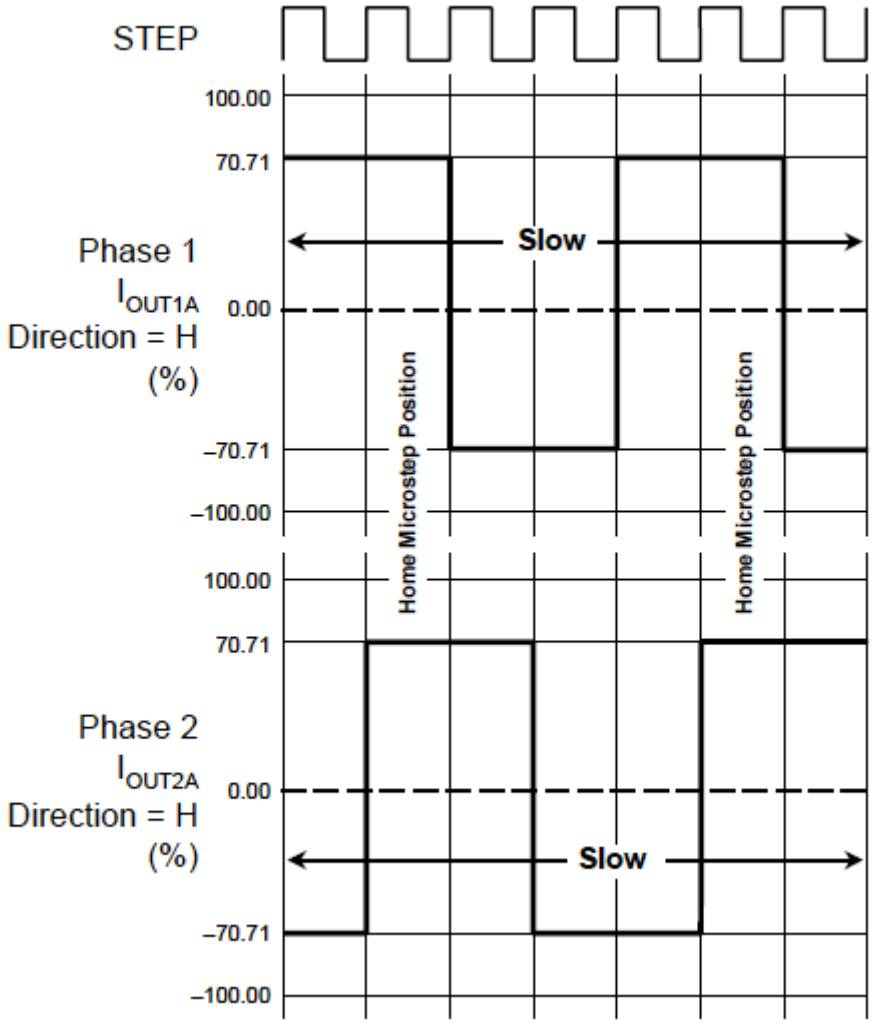
DIR=L(CCW)の時

Full Step #	Half Step #	1/4 Step #	1/8 Step #	Phase 1 Current [% $I_{tripMax}$] (%)	Phase 2 Current [% $I_{tripMax}$] (%)	Step Angle (°)
	1	1	1	100.00	0.00	0.0
			2	98.08	19.51	11.3
		2	3	92.39	38.27	22.5
			4	83.15	55.56	33.8
1	2	3	5	70.71	70.71	45.0
			6	55.56	83.15	56.3
		4	7	38.27	92.39	67.5
			8	19.51	98.08	78.8
	3	5	9	0.00	100.00	90.0
			10	–19.51	98.08	101.3
		6	11	–38.27	92.39	112.5
			12	–55.56	83.15	123.8
2	4	7	13	–70.71	70.71	135.0
			14	–83.15	55.56	146.3
		8	15	–92.39	38.27	157.5
			16	–98.08	19.51	168.8
	5	9	17	–100.00	0.00	180.0
			18	–98.08	–19.51	191.3
		10	19	–92.39	–38.27	202.5
			20	–83.15	–55.56	213.8
3	6	11	21	–70.71	–70.71	225.0
			22	–55.56	–83.15	236.3
		12	23	–38.27	–92.39	247.5
			24	–19.51	–98.08	258.8
	7	13	25	0.00	–100.00	270.0
			26	19.51	–98.08	281.3
		14	27	38.27	–92.39	292.5
			28	55.56	–83.15	303.8
4	8	15	29	70.71	–70.71	315.0
			30	83.15	–55.56	326.3
		16	31	92.39	–38.27	337.5
			32	98.08	–19.51	348.8



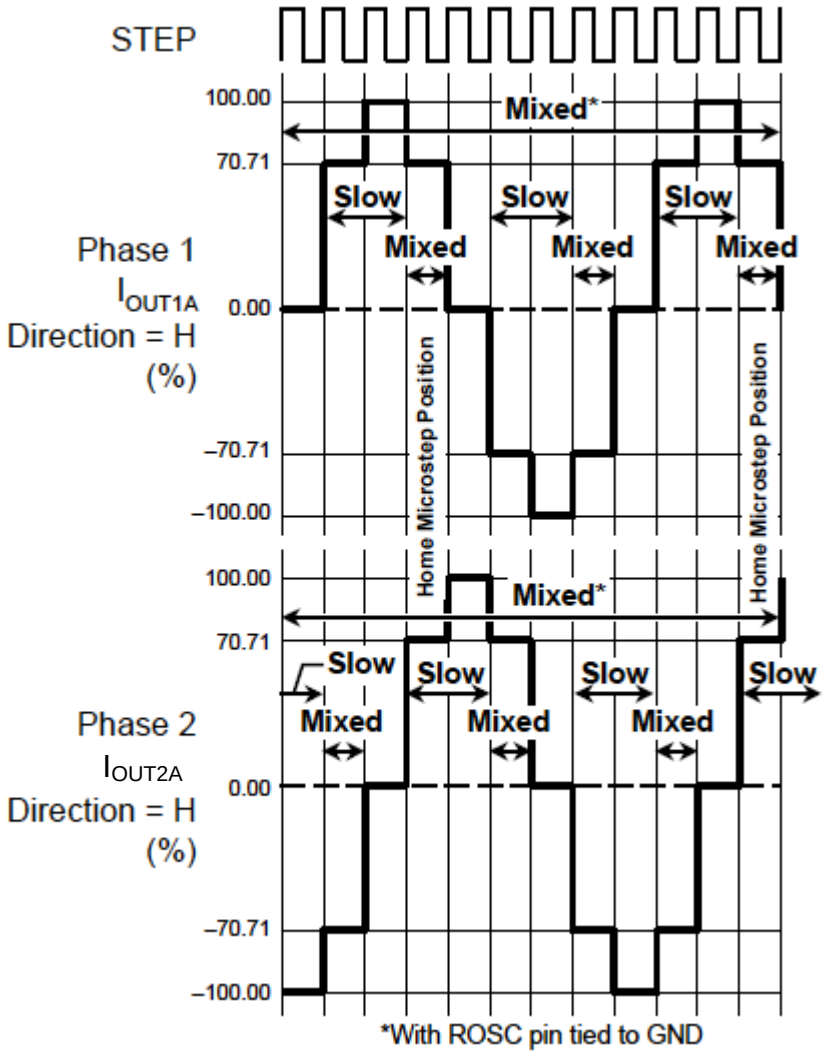
10.2. 各励磁モードでの動作

① Full Step Operation



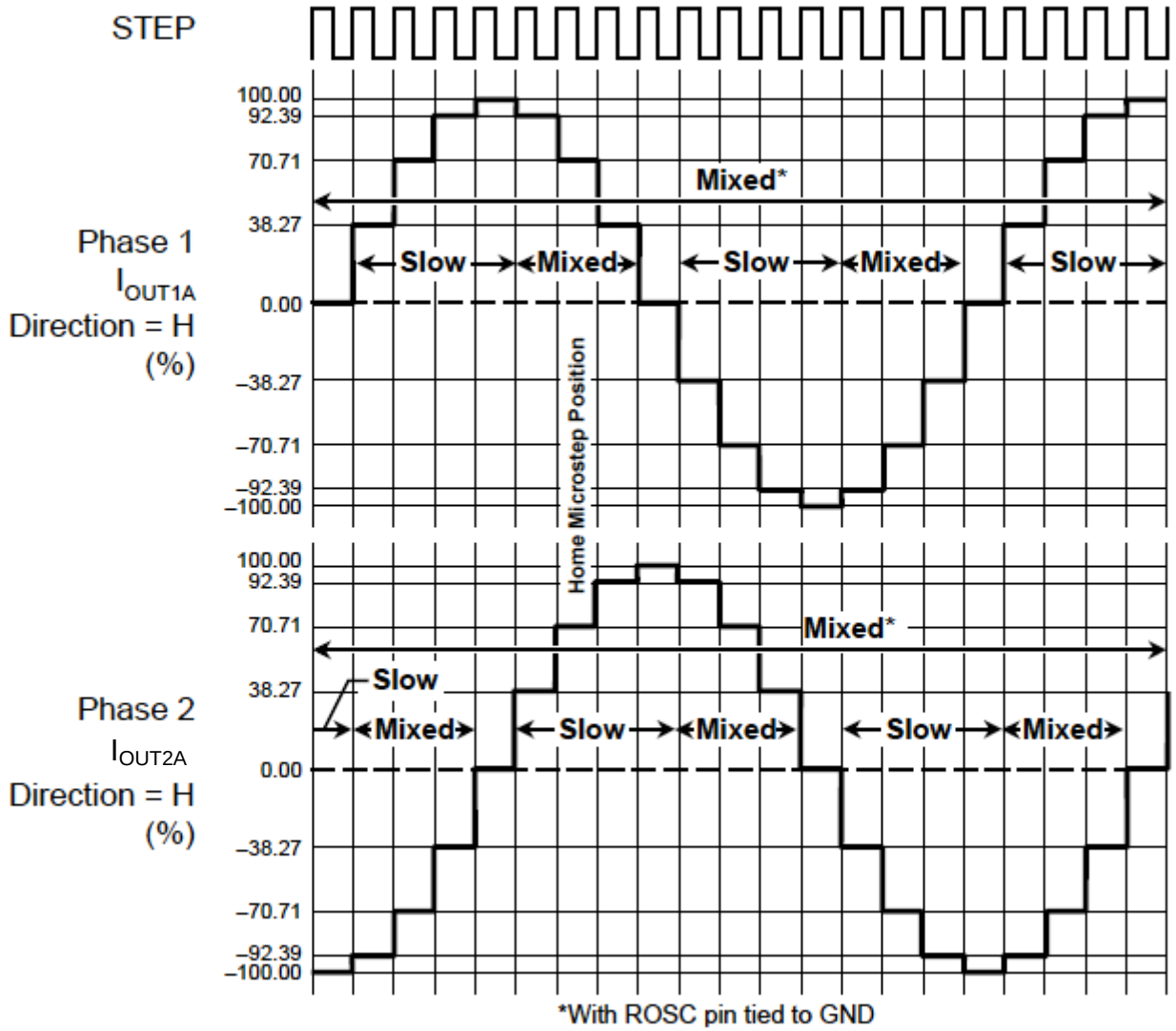
※ 各相の出力電流は Itrip の 70.71%に設定され、出力電流のベクトル合成値はいずれのステップにおいても 100%となるようにしています。
※ OUTA→OUTB に電流が流れている時をプラスとしています。

② Half Step Operation



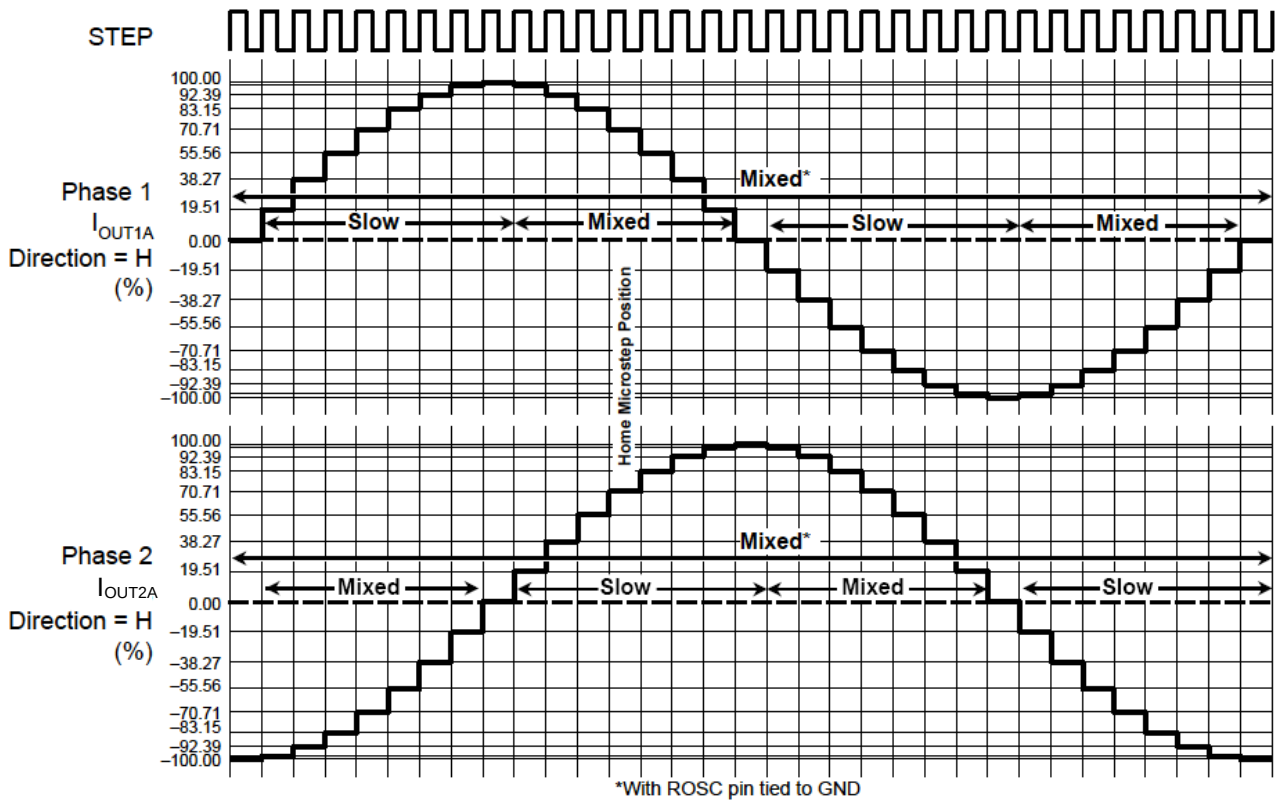
※ OUTA→OUTB に電流が流れている時をプラスとしています。

③ Quarter Step Operation



※ OUTA→OUTB に電流が流れている時をプラスとしています。

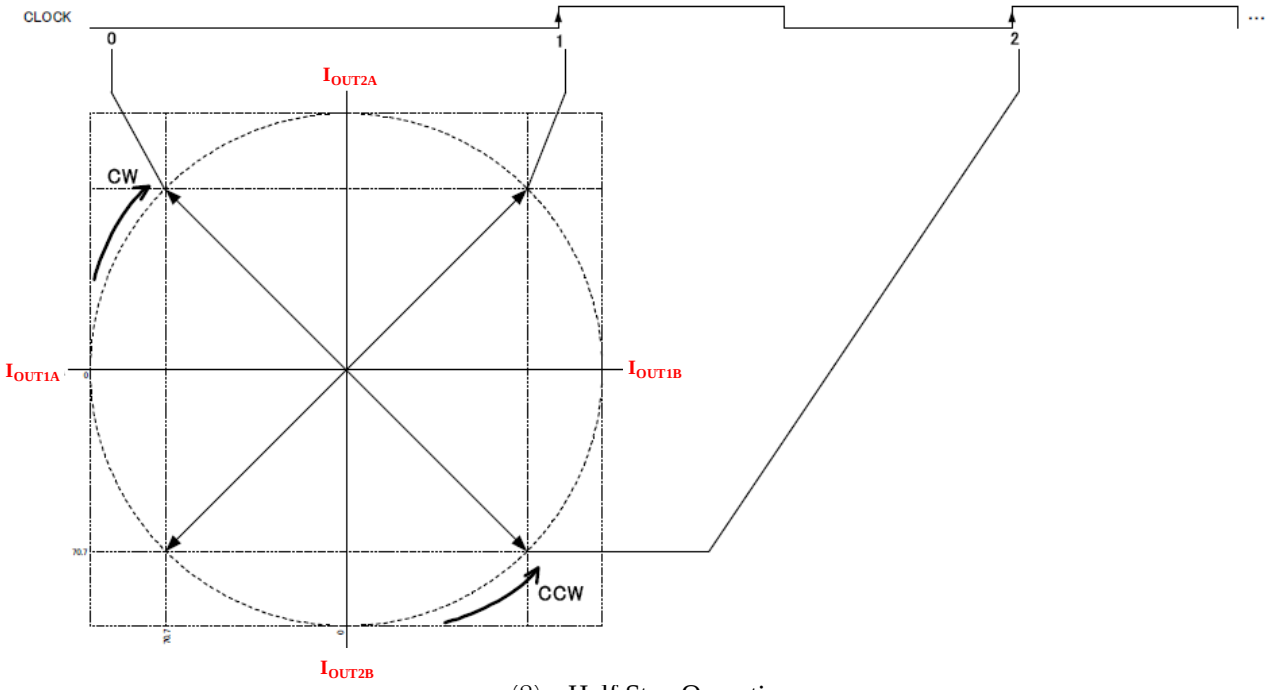
④ Eighth Step Operation



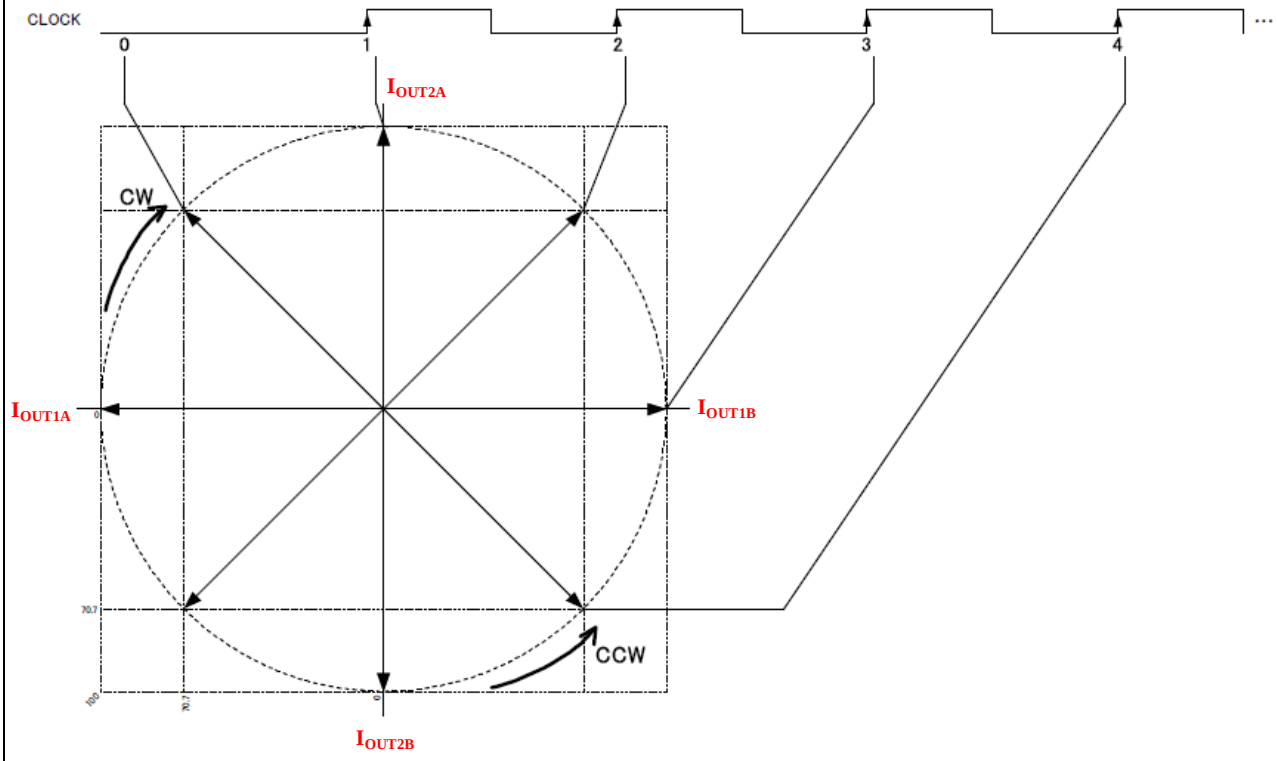
※ OUTA→OUTB に電流が流れている時をプラスとしています。

10.3. 励磁シーケンス

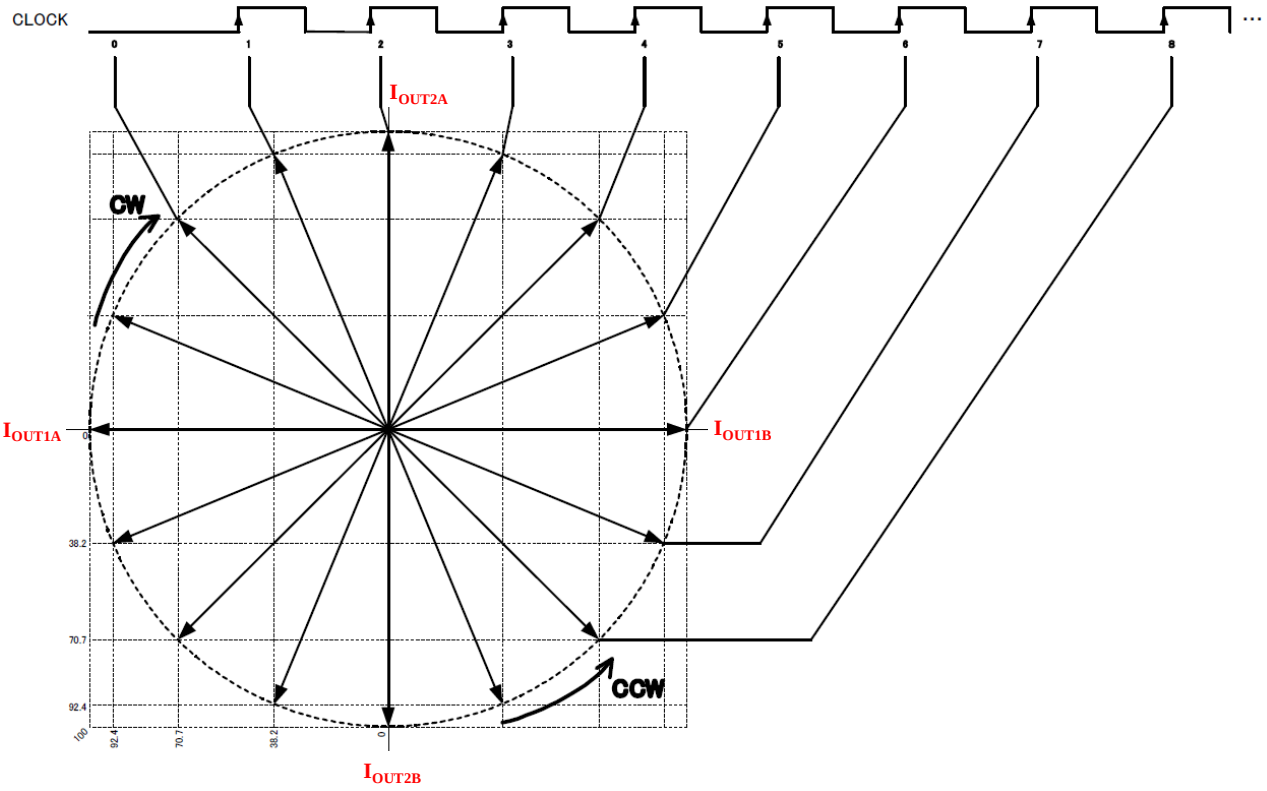
① Full Step Operation



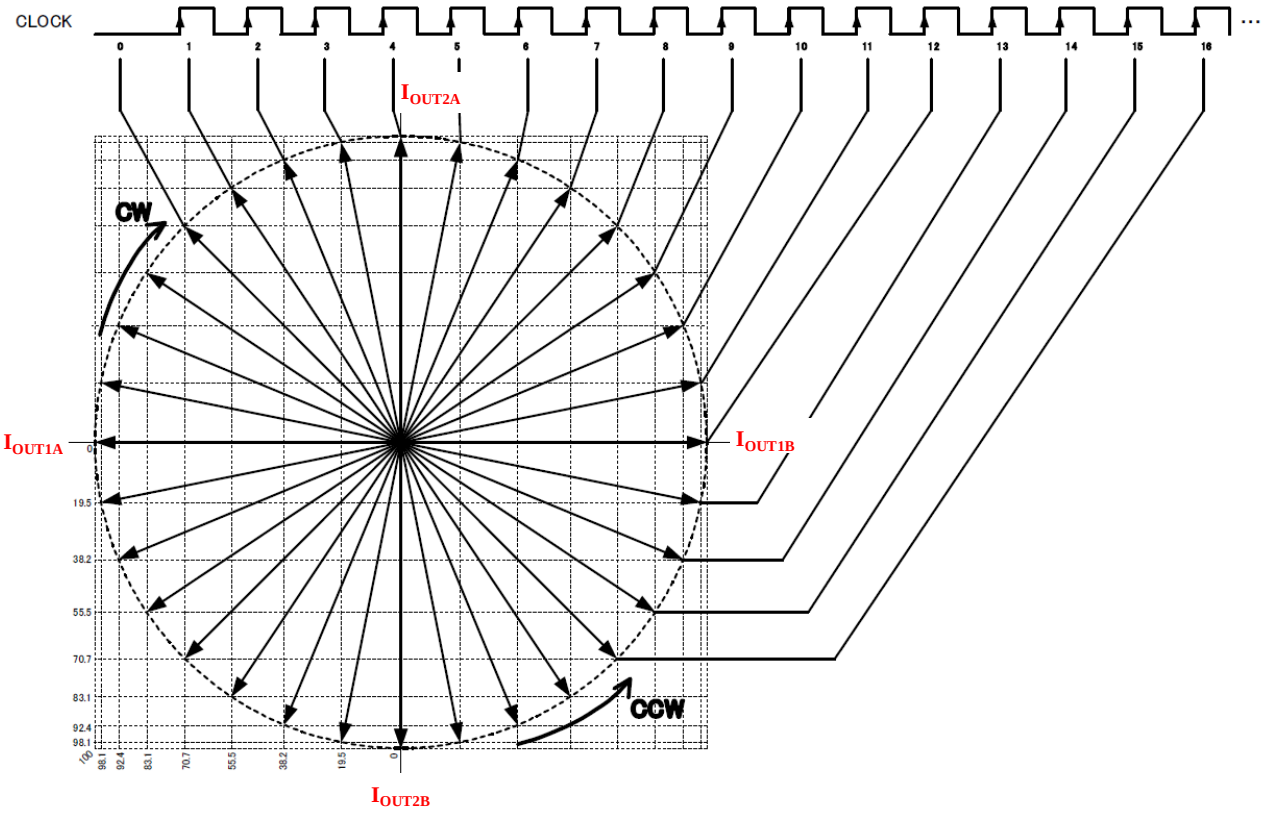
② Half Step Operation



③ Quarter Step Operation



④ Eighth Step Operation

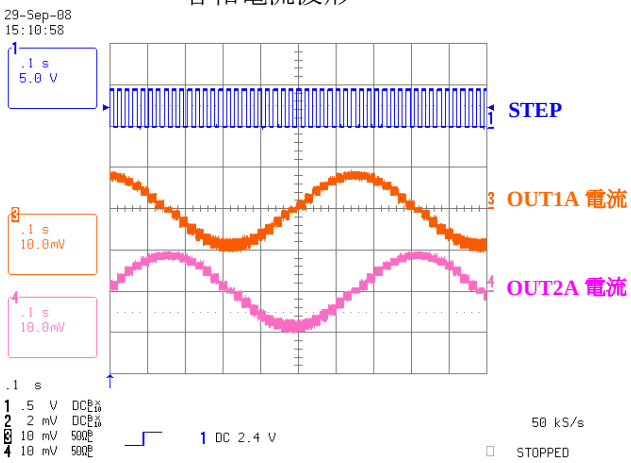


11. 動作波形図

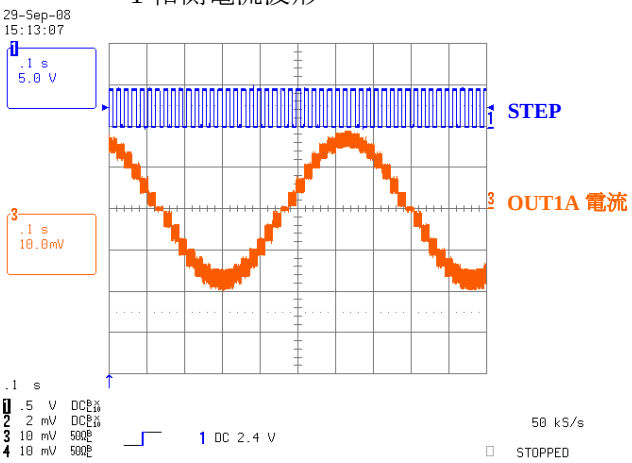
VBB=24V, VDD=3.3 V

2W1-2 相励磁（MS1=MS2=H）

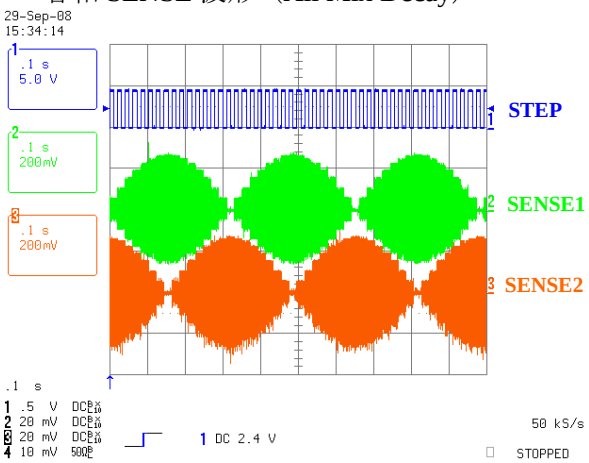
各相電流波形



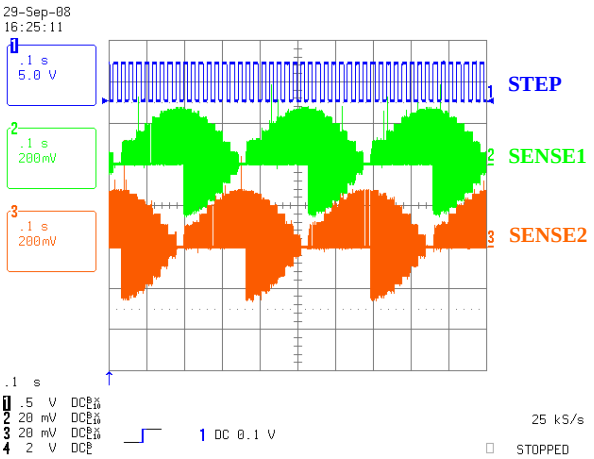
1 相側電流波形



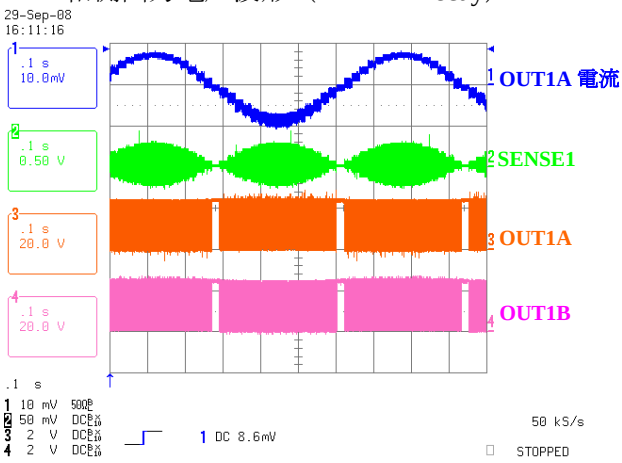
各相 SENSE 波形（All Mix Decay）



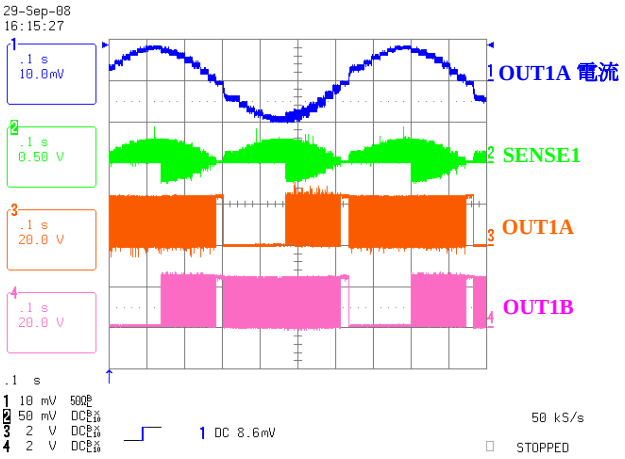
各相 SENSE 波形（Normal）



1 相側出力電圧波形（All Mix Decay）

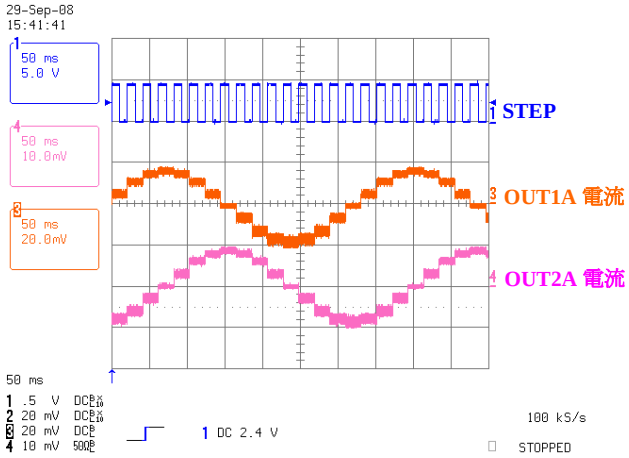


1 相側出力電圧波形（Normal）

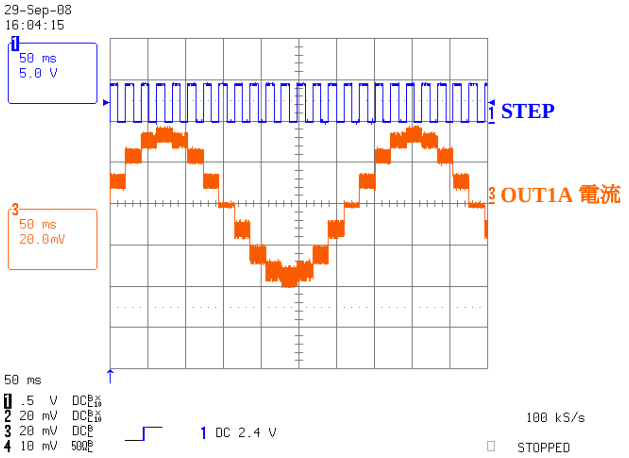


W1-2 相励磁（MS1=L, MS2=H）

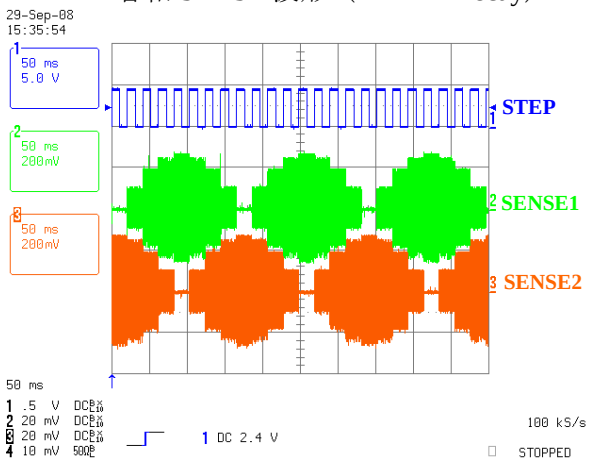
各相電流波形



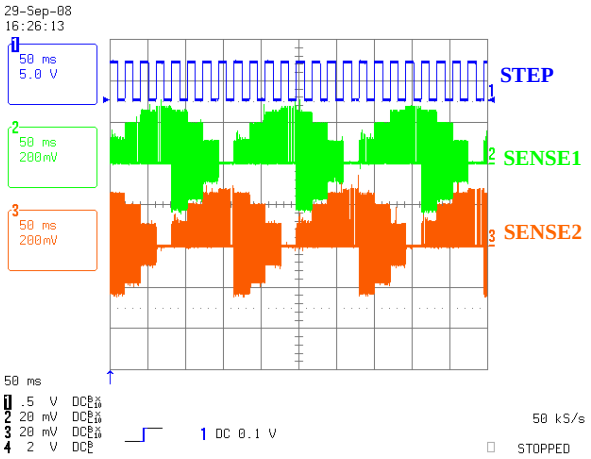
1 相側電流波形



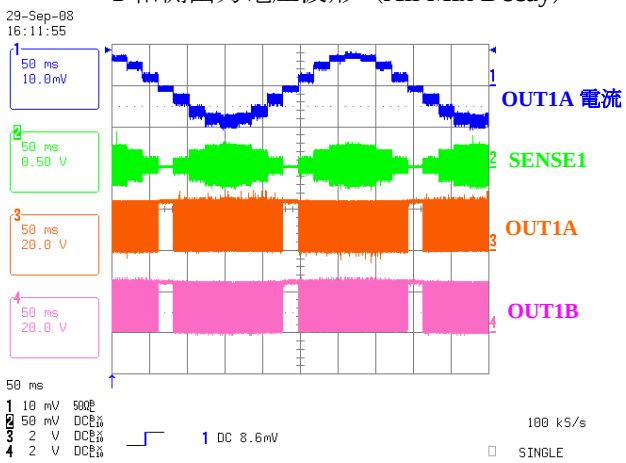
各相 SENSE 波形（All Mix Decay）



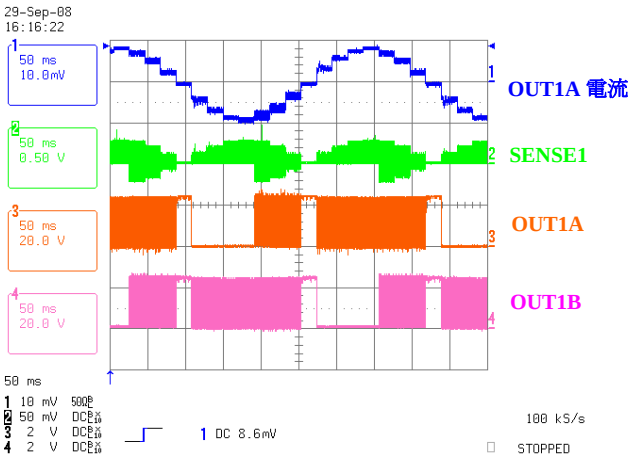
各相 SENSE 波形（Normal）



1 相側出力電圧波形（All Mix Decay）

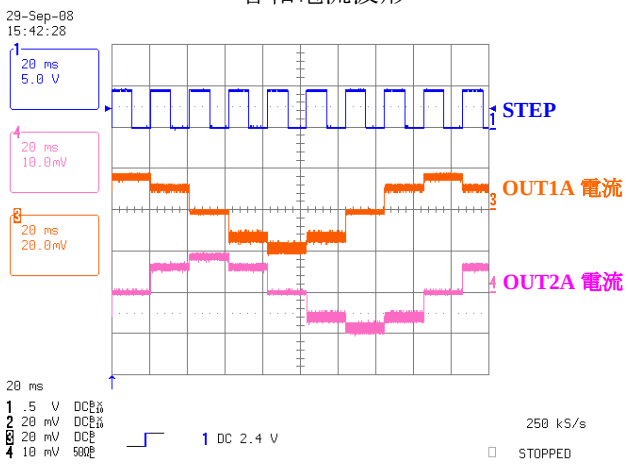


1 相側出力電圧波形（Normal）

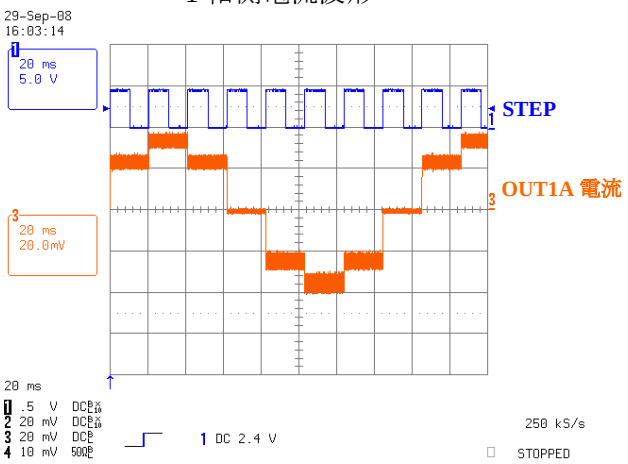


1-2 相励磁（MS1=H, MS2=L）

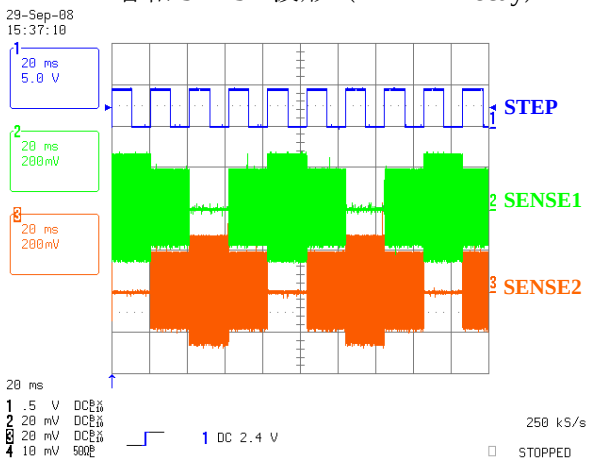
各相電流波形



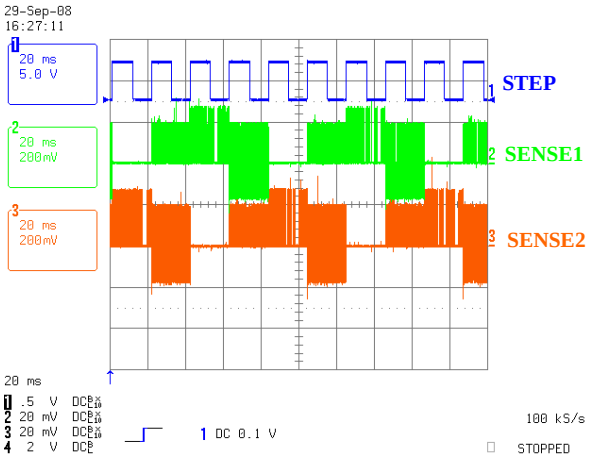
1 相側電流波形



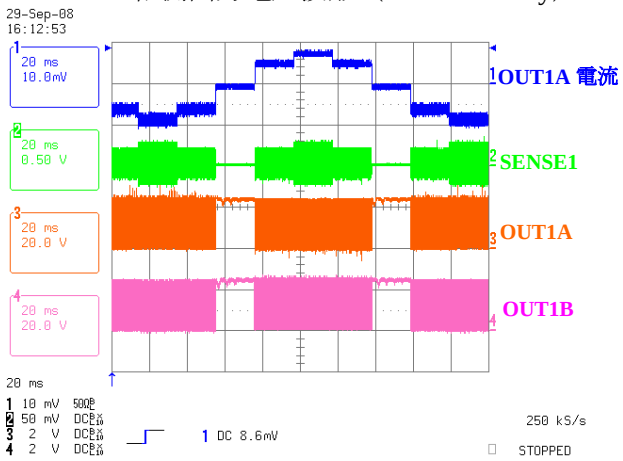
各相 SENSE 波形（All Mix Decay）



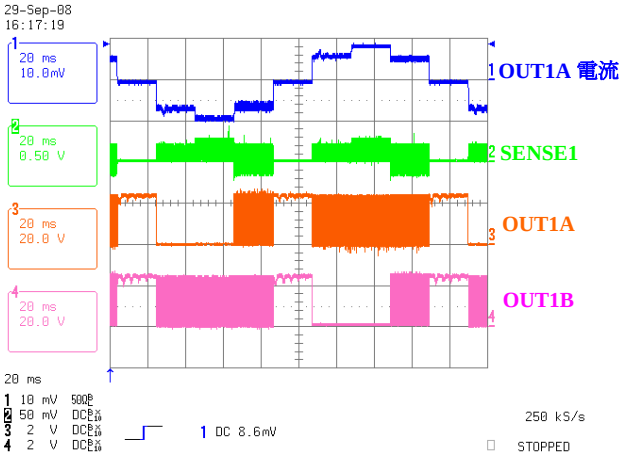
各相 SENSE 波形（Normal）



1 相側出力電圧波形（All Mix Decay）

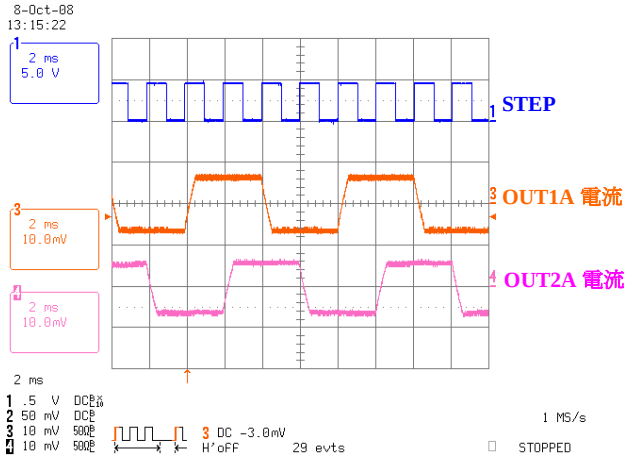


1 相側出力電圧波形（Normal）

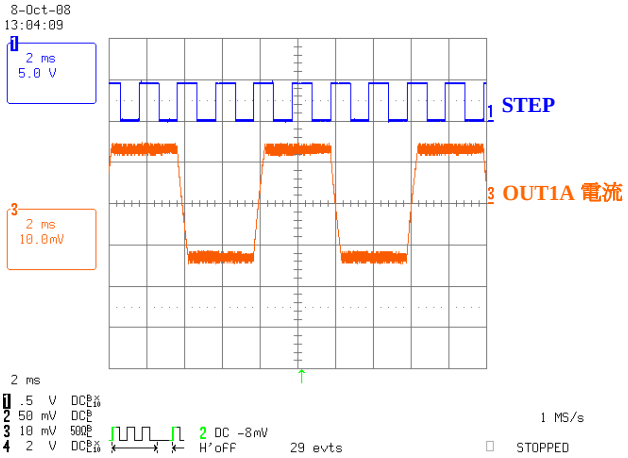


2 相励磁（MS1=MS2=L）

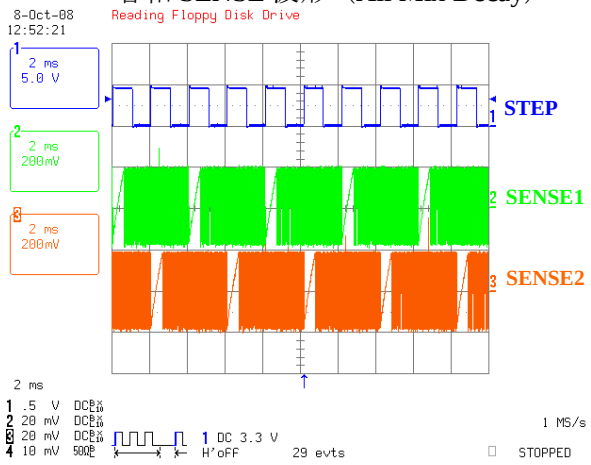
各相電流波形



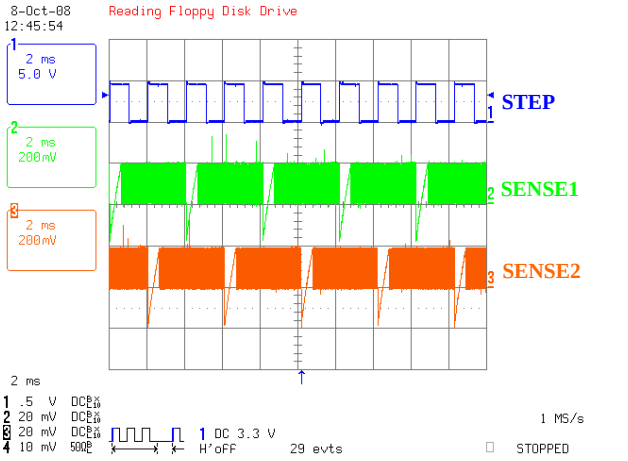
1 相側電流波形



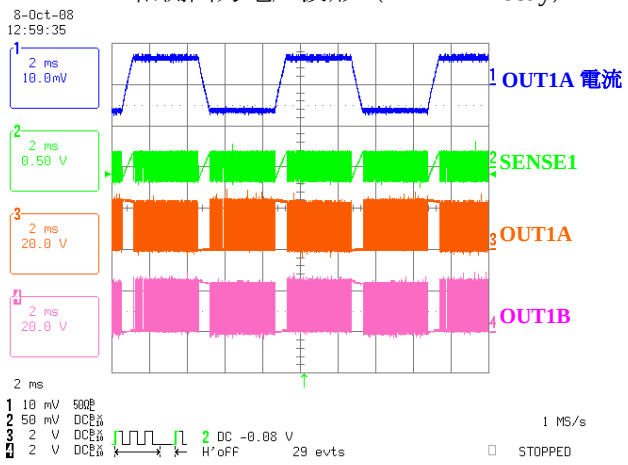
各相 SENSE 波形（All Mix Decay）



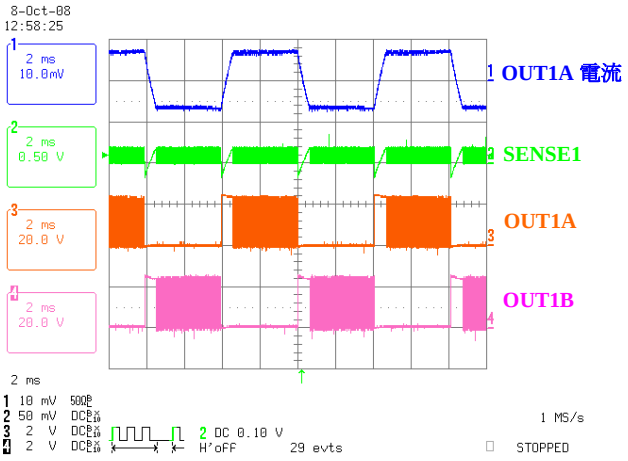
各相 SENSE 波形（Normal）



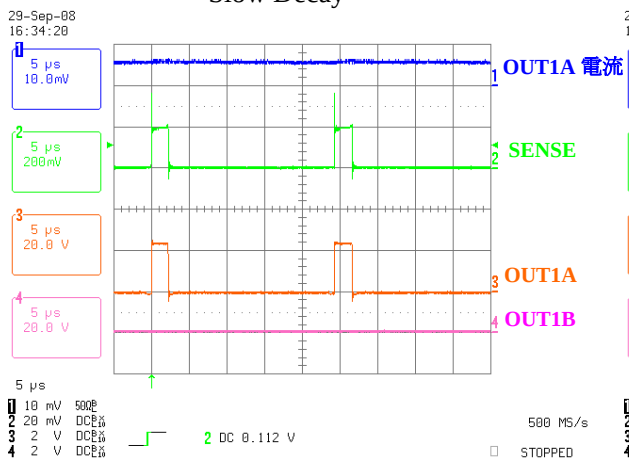
1 相側出力電圧波形（All Mix Decay）



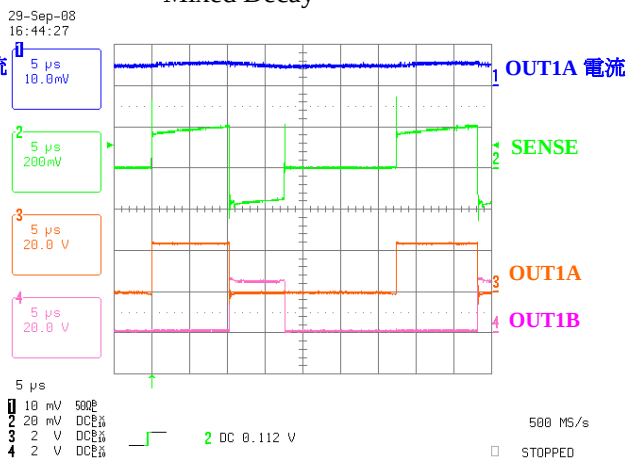
1 相側出力電圧波形（Normal）



Slow Decay



Mixed Decay



＊ 使用上の注意　　ＣＡＵＴＩＯＮ／ＷＡＲＮＩＮＧ

●本書に記載されている動作例及び回路例は、使用上の参考として示したもので、これらに起因する弊社もしくは第三者の工業所有権、知的所有権、その他の権利の侵害問題について弊社は一切責任を負いません。
Application and operation examples described in this document are quoted for the sole purpose of reference for the use of the products herein and Sanken can assume no responsibility for any infringement of industrial property rights, intellectual property rights or any other rights of Sanken or any third party which may result from its use.

●弊社は品質、信頼性の向上に努めていますが、半導体製品では、ある確率での欠陥、故障の発生は避けられません。部品の故障により結果として、人身事故、火災事故、社会的な損害等を発生させないよう、使用者の責任に於いて、装置やシステム上で十分な安全設計及び確認を行ってください。
Although Sanken undertakes to enhance the quality and reliability of its products, the occurrence of failure and defect of semiconductor products at a certain rate is inevitable. Users of Sanken products are requested to take, at their own risk, preventative measures including safety design of the equipment or systems against any possible injury, death, fires or damages to the society due to device failure or malfunction.

●本書に記載されている製品は、一般電子機器(家電製品、事務機器、通信端末機器、計測機器など)に使用されることを意図しております。ご使用の際は、納入仕様書に署名または押印の上ご返却をお願いいたします。
高い信頼性が要求される装置(輸送機器とその制御装置、交通信号制御装置、防災･防犯装置、各種安全装置など)への使用をご検討の際には、必ず弊社販売窓口へご相談及び納入仕様書に署名または押印の上、ご返却をお願いいたします。
極めて高い信頼性が要求される装置(航空宇宙機器、原子力制御、生命維持のための医療機器など)には弊社の文書による合意が無い限り使用しないでください。
Sanken products listed in this document are designed and intended for the use as components in general purpose electronic equipment or apparatus (home appliances, office equipment, telecommunication equipment, measuring equipment, etc.). Please return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
When considering the use of Sanken products in the applications where higher reliability is required (transportation equipment and its control systems, traffic signal control systems or equipment, fire/crime alarm systems, various safety devices, etc.), please contact your nearest Sanken sales representative to discuss, and then return to us this document with your signature(s) or seal(s) prior to the use of the products herein.
The use of Sanken products without the written consent of Sanken in the applications where extremely high reliability is required (aerospace equipment, nuclear power control systems, life support systems, etc.) is strictly prohibited.

●弊社のデバイスをご使用、またはこれを使用した各種装置を設計する場合、定格値に対するディレーティングをどの程度行うかにより、信頼性に大きく影響いたします。
ディレーティングとは信頼性を確保または向上するため、各定格値から負荷を軽減した動作範囲を設定したり、サージやノイズなどについて考慮することを言います。ディレーティングを行う要素には、一般的には電圧、電流、電力などの電気的ストレス、周囲温度、湿度などの環境ストレス、半導体デバイスの自己発熱による熱ストレスがあります。これらのストレスは、瞬間的数値あるいは最大値、最小値についても考慮する必要があります。
なおパワーデバイスやパワーデバイス内蔵 IC は、自己発熱が大きく接合部温度(Tj)のディレーティングの程度が、信頼性を大きく変える要素となりますので充分にご配慮ください。
In the case that you use our semiconductor devices or design your products by using our semiconductor devices, the reliability largely depends on the degree of derating to be made to the rated values. Derating may be interpreted as a case that an operation range is set by derating the load from each rated value or surge voltage or noise is considered for derating in order to assure or improve the reliability. In general, derating factors include electric stresses such as electric voltage, electric current, electric power etc., environmental stresses such as ambient temperature, humidity etc. and thermal stress caused due to self-heating of semiconductor devices. For these stresses, instantaneous values, maximum values and minimum values must be taken into consideration.
In addition, it should be noted that since power devices or IC's including power devices have large self-heating value, the degree of derating of junction temperature (Tj) affects the reliability significantly.

●本書に記載されている製品のご使用にあたって、これらの製品に他の製品・部材を組み合わせる場合、或いは、これらの製品に物理的、化学的その他何らかの加工・処理を施す場合には、使用者の責任に於いてそのリスクをご検討の上行ってください。
When using the products specified herein by either (i) combining other products or materials therewith or (ii) physically, chemically or otherwise processing or treating the products, please duly consider all possible risks that may result from all such uses in advance and proceed therewith at your own responsibility.

●本書に記載された製品は耐放射線設計をしておりません。
Anti radioactive ray design is not considered for the products listed herein.

●弊社物流網外での輸送、製品落下等によるトラブルについて弊社は一切責任を負いません。
Sanken assumes no responsibility for any troubles, such as dropping products caused during transportation out of Sanken's distribution network.